

多通道振动传感器高精度同步采集方法

刘 鹏,王 茜,王西泉,李鹏勃

(中国兵器工业试验测试研究院,陕西 华阴 714200)

摘 要:复杂结构体在高速运动时受力复杂,分结构之间的受力互为耦合,结构体多点位振动数据的高精度同步采集对结构体力学仿真和仿实一致性分析至关重要。为满足结构体高速运动时振动数据的高精度同步采集,基于 AD7656+FPGA 的设计思路,该文使用主控芯片 FPGA 产生一组采集控制信号,同时对 8 片 AD7656 进行控制,确保各片 AD7656 间的同步精度,同时为提高回读速度,采用三 DOUT 输出模式,大大降低 FPFA 的资源要求和布线难度,对同一时刻采集的 48 路振动传感器数据,按照遥测帧格式,编成一个数据帧,形成 PCM 码流,通过遥测发射机实时发送至遥测地面站,通过遥测地面站对数据进行实时显示和存储;设计了同步采集精度实验室验证方法,使用一台高采样率的数据采集设备同时对采集触发信号、片选信号、8 个 AD 时钟信号进行采集,通过对比片选信号后的第一个时钟信号的相位差,就可以测量出 8 片 AD7656 之间的同步采集时间精度。最终验证的多路同步采集时间精度小于 $1\ \mu\text{s}$,可满足系统设计的要求。该方法已实际应用于相关试验测试。

关键词:AD7656;多路同步采集;振动传感器;遥测;FPGA

中图分类号:TP212.9;TJ06

文献标识码:A

文章编号:1673-629X(2022)01-0170-05

doi:10.3969/j.issn.1673-629X.2022.01.029

High Precision Synchronous Acquisition Method of Multi-channel Vibration Sensor

LIU Peng, WANG Qian, WANG Xi-quan, LI Peng-bo

(Test and Measuring Academy of China Ordnance Industries, Huayin 714200, China)

Abstract: The force of complex structure is complex when it is moving at high speed, and the forces of sub structures are coupled with each other. High precision synchronous acquisition of multi-point vibration data is quite important for mechanical simulation and simulation consistency analysis of structure. In order to meet the high-precision synchronous acquisition of vibration data when the structure is moving at high speed, based on the design idea of AD7656+FPGA, we use the main control chip FPGA to generate a group of acquisition control signals, and control eight AD7656 to ensure the synchronization accuracy among them. At the same time, in order to improve the read back speed, three DOUT output mode is adopted, which greatly reduces the resource requirements and wiring difficulty of FPFA. 48 channels of vibration sensor data collected at the same time are compiled into a data frame according to the telemetry frame format to form PCM code stream, which is sent to the telemetry ground station in real time through the telemetry transmitter, and the data is displayed and stored in real time through the telemetry ground station. A high sampling rate data acquisition device is used to collect trigger signal, chip selection signal and eight ad clock signals at the same time. By comparing the phase difference of the first clock signal after chip selection signal, the synchronous acquisition time accuracy between eight AD7656 can be measured. Finally, the multi-channel synchronous acquisition time accuracy is less than $1\ \mu\text{s}$, which can meet the requirements of system design. This method has been applied to the related test.

Key words: AD7656; multi-channel synchronous acquisition; vibration sensor; telemetry; FPGA

0 引言

结构体运行过程中结构体的力学数据对结构体的结构设计仿真优化至关重要。在仿真分析中,同一类型的传感器数据要做到同步采集,才能准确地反映结构体在同一时刻整体的受力情况,分析结构体各部件

之间的受力关系,为结构体结构的设计仿真提供更好的数据支撑^[1-3]。当前数据采集系统采用多种控制器方案,例如嵌入式微控制器、嵌入式微处理器、虚拟化仪表等,不同的处理器有不同的优点,都可以实现不同功能的数据采集系统,但是对于一般的单核处理器来

收稿日期:2021-02-04

修回日期:2021-06-04

基金项目:国防基础科研计划资助(JCKY2016208A006)

作者简介:刘 鹏(1987-),男,助理研究员,主要从事计算机嵌入式系统设计工作。

讲,处理器只能同时处理一个任务,其处理速度受限于主频,并且无法实现多通道信号高精度的同步采集^[4-6]。FPGA的一个明显优势是时序控制简单,可以对多任务进行并行处理,有丰富的外部引脚资源,并且有大量的内部IP核资源,有强大的可扩展性,在多通道高精度同步采集的实现上有着先天的优势。因此,该文提出了一种基于FPGA的多传感器数据高精度同步采集方法,通过一组控制信号同时控制8片AD7656的方式,可以完成48路的传感器同步采集,满足结构体高速运动多路传感器数据的同步采集要求。

1 系统总体设计

该文设计的同步数据采集系统采用遥测的方式,将结构体振动数据无线发送至遥测地面站,可分为采集编码模块、发射机模块、电源模块等,其中发射机模块和电源模块作为通用技术,这里不做详细介绍,对采集编码模块的同步采集方法进行详细介绍。系统实现原理框图如图1所示,采集编码模块主要完成传感器信号调理、模数转换、数据组帧、数据编码等功能。

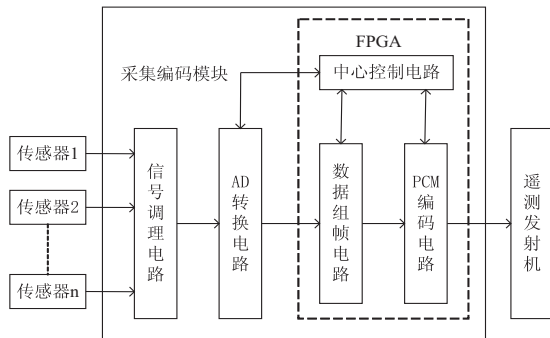


图1 同步采集系统原理框图

2 硬件电路设计

2.1 信号调理电路设计

信号调理电路是将来自各传感器的信号进行放大、滤波,将信号幅度、频率调整到AD转换芯片要求的范围内^[7-8]。该文主要选取ICP型三轴振动传感器,其型号为J10519,对其输出信号进行调理电路设计。

传感器指标如下:

加速度范围: $\pm 5\,000\text{ g}$;

直流供电: $18 \sim 30\text{ V}$;

恒流电流: $2 \sim 20\text{ mA}$;

灵敏度: 1.02 mV/g ;

频率范围(10%): $5\text{ Hz} \sim 10\text{ kHz}$ 。

根据传感器指标,需给传感器提供 24 V 电压、 4 mA 恒流电流的恒流源电路,采用三端可调式电源芯片LM314,设计高精度的恒流源,通过调节高精度电

阻R1和R2使恒流源输出为 4 mA ^[9],其电路设计如图2所示。

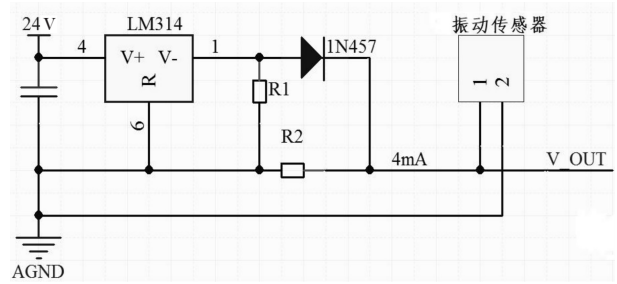


图2 恒流源电路设计

由于振动传感器具有较高的频率响应 ($5\text{ Hz} \sim 10\text{ kHz}$),而撬体设计仿真需要 3 kHz 以下的低频振动数据,因此采用LTC1569型通用滤波器对传感器输出信号进行 3 kHz 低通滤波,滤波电路设计原理如图3所示。LTC1569的时钟工作方式外部时钟,其截至频率 f_{CUTOFF} 由外部输入时钟 f_{CLK} 和内部分频设置决定,其关系式为: $f_{\text{CUTOFF}} = f_{\text{CLK}} / 64$,传感器的频响范围为 $0 \sim 3\text{ kHz}$,经过计算 $f_{\text{CLK}} = 192\text{ kHz}$, f_{CLK} 由FPGA产生^[10]。

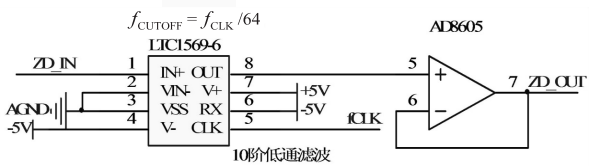


图3 滤波电路

2.2 AD转换电路设计

针对多传感器信号同步采集的要求,采用AD7656进行实现。AD7656是基于iCMOS工艺的一款多通道高分辨率模数转换芯片。内置六个16位、快速、低功耗逐次逼近型ADC,并行吞吐速率最高可达 250 kSPS ,有6个独立的通道,每个通道由1个16位SAR模数转换器和1个采样保持电路组成^[11]。由逻辑控制电路按照对分原理完成转换中的逐次逼近。图4为AD7656原理图,其部分引脚的功能描述如下:

VSS、VDD、AVcc、AGND:模拟电源和地,AVcc只对AD7656内核供电;

DRIVE、DVcc、DGND:数字电源和数字地,其作为数字电路的参考点,须在每个电源的引脚,使用1个 $10\text{ }\mu\text{F}$ 和1个 $1\text{ }\mu\text{F}$ 的电容将其接到相应的地,用于去耦;

V1 ~ V6:输入信号管脚,其输入范围由RANGE决定;

REFIN/REFOUT:参考电压电平的输入/输出管脚;

REFCAPA,REFCAPB,REFCAPC:ADC参考电压去耦管脚,用于电压缓冲,须分别接1个 $0.1\text{ }\mu\text{F}$ 、1个 $10\text{ }\mu\text{F}$ 的去耦电容;

CONVST A/B/C:启动转换信号的输入管脚,每个引脚连接其对应的 CONVST 信号,当 CONVST 从低电平变为高电平时,对应的一组采样保持器从跟踪模式变为保持模式,同时启动转换,由于三个控制启动信号 CONVST A/B/C 分别控制 3 对通道采样和转换,因此将 3 个 CONVST 管脚并联,可实现 6 路输入模拟信号并行采样转换,与此同时,使用 CONVST 信号可将 ADC 同时转入低功耗状态;

STBY:待机模式控制输入管脚,当端口变为低电平时,6 路 ADC 转换通道同时变为待机模式;

BUSY:忙信号输出管脚。输出为高电平时表示转换正在进行;

RESET:复位信号输入管脚。在上电时,需要 1 个大于 100 ns 的方波信号用于芯片复位;

CS,RD:片选信号管脚和读使能信号管脚,有效电平为低电平;

DOUT A/B/C:串行输出接口。可通过单、双或三 DOUT 线路从各器件回读数据。

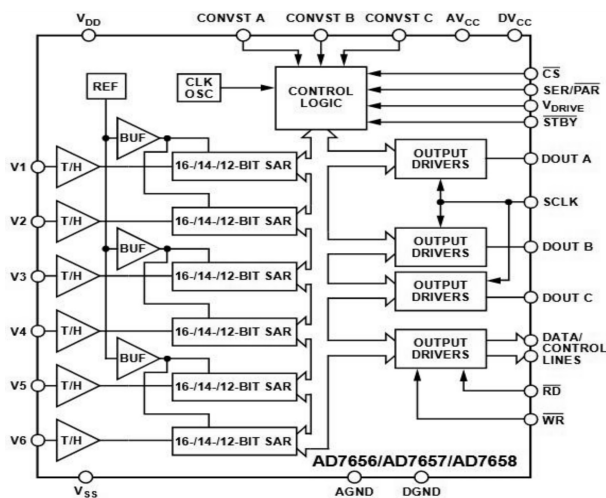


图 4 AD7656 原理图

通过配置管脚可使 AD7656 的工作模式设置为并行模式和串行模式,由管脚 SER/PAR、DB0/SELA、DB1/SELB、DB2/SELC 共同配置其工作模式,如表 1 所示。

表 1 AD7656 配置方式

SER/ PAR	DB0/ SELA	DB1/ SELB	DB2/ SELC	输出状态
0	X	X	X	16 位并行输出
1	1	0	0	1 路串行输出
1	1	1	0	1、2 路串行输出
1	1	1	1	1、2、3 路串行输出

设置 AD7656 工作在 3 路串行输出模式,对管脚 SER/PAR、DB0/SELA、DB1/SELB、DB2/SELC 直接以 +5 V 进行拉高。系统设计 48 路信号输入,须至

少 8 片 AD7656。AD7656 的数据输出采用串行接口,其具有三个 DOUT 引脚:DOUT A、B、C,可通过单双或三 DOUT 线路从期间回读数据,可大大降低 FPGA 的资源需求和布线难度。本系统为了提高回读速度,采用三 DOUT 输出模式^[12]。图 5 为六个同步转换以及采用三 DOUT 线路的读时序,通过脉冲发出 3 个全部 CONVST x 信号,AD7656 就可利用其片上调整振荡器,在 CONVST x 上升沿后,BUSY 信号变为高电平,表明已开始转换,完成转换后(3 μs 后),BUSY 信号恢复低电平,此时输出寄存器载入新转换结果,并可从 AD7656 读取数据,通过 32 个 SCLK 时钟获取 AD7656 的数据,其中 DOUT A 逐位输出 V1、V2 的数据,DOUT B 逐位输出 V3、V4 的数据,DOUT C 逐位输出 V5、V6 的数据,高位在前低位在后^[13]。

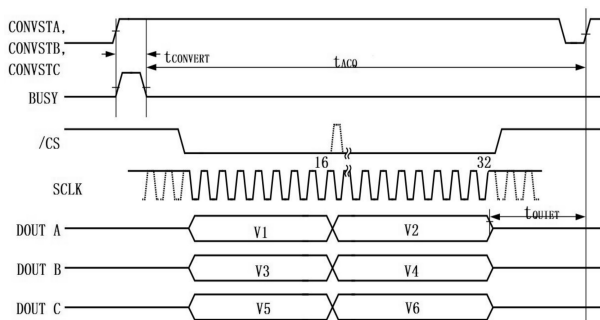


图 5 采用三路 DOUT 线的串行读取时序

8 片 AD7656 的控制共用一套控制信号,采用同样的配置,其同步转换由一个 CONVST 信号控制,一次保证所有通道可同时采集。其中,将 24 个 CONVSTx 信号短接使用一个 CONVST 转换信号,并且 8 片 AD7656 也共用 RESET 复位信号、/CS 片选、BUSY 忙信号,一起接入主控芯片 FPGA 中,时序信号由 FPGA 提供,根据配置需要将其其他模式配置管脚接入相对应的电平。

在 AD7656 的输入端口前,需要对输入信号进行低通滤波和电平调整。需要根据有用信号的频率范围进行滤波器设计,该文的滤波电路采用有源运放设计,根据系统采样要求,设计截至频率为 10 kHz,图 6 为滤波电路,由 $f_c = 1/RC$ 计算截至频率。

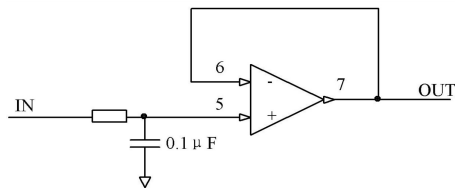


图 6 有源滤波电路

根据输入模拟信号的电压范围和 AD7656 输入端口的输入电平范围确定输入模拟信号的放大倍数,在信号输入端口须考虑去除噪声,同时要防止引入其他噪声。可采用以下措施:所有电子元器件保证良好接

地,对电路板进行覆铜铺地;同类型的各路输入输出通道保持设计上的一致,确保隔离和避免相互干扰;将各个电源的管脚要滤波和去耦。

在设计 PCB 电路板时,需将 AD8656 的数字部分和模拟部分布局分开,并将两个部分分别放置于电路板的特定区域,就可以很容易将地层分开,便于使用。使用 $0\ \Omega$ 电阻或磁珠在电路板的合适位置将数字地和模拟地单点连接。电路板布线时为防止信号和噪声混在一起,不能在器件的正下方布设数据线。为减少电源线的脉冲干扰,布线时应尽量加粗。为减小感抗,去耦电容与器件尽量靠近,连线尽可能短。

3 多通道并行采集的软件设计

FPGA 软件设计主要分成 AD 采样、数据组帧、PCM 编码 3 个模块。

3.1 AD 采样模块

FPGA 对 AD7656 的控制主要是通过对转换 CONVST、复位 RESET、片选 $\overline{CS}$ 、时钟信号 SCLK 进行控制,完成采样频率调整和采样启停控制,其控制时序如图 5 所示。8 片 AD 的时钟信号由 FPGA 的一个锁相环 PLL 倍频产生,同步输出,保证 8 片 AD 之间的采集同步性。

CONVST 管脚在 FPGA 的控制下由低电平变为高电平,并保持,模数转换开始,AD7656 的 BUSY 管脚自动由低电平变为高电平,用于指示处于繁忙状态,此时任何控制指令无法写入器件,经过不少于 $3\ \mu s$ 的转换时间后,FPGA 可读取到 BUSY 的管脚为低电平,此时 AD 芯片已完成一次模数转换。可由 FPGA 控制写入控制时序信号,获取转换后数据,通过 FPGA 的 IO 口将 $\overline{CS}$ 变为低电平,转换后 2 个通道的 32 bit 数据在采样时钟 SCLK 的上升沿依次读出,32 个 SCLK 时钟后,FPGA 将 $\overline{CS}$ 变为高电平,结束读数据过程。经过采样结束后的平稳时间段后,FPGA 控制

CONVST 从高电平变为低电平,并保持低电平,一次模数转换和数据读取结束,之后 FPGA 产生上升沿重新控制 CONVST,新的模数转换开始。其中,可独立控制 AD7656 的 3 个 CONVST 管脚,也可以同时控制,2 路 16 bit 数据由 32 个 SCLK 时钟信号读取,对应规定的模拟信号的两路转换结果,将读取的数据可缓存至 FPGA 内部 FIFO,便于后续处理。

根据时序图,利用 Verilog 语言设计 8 片 AD7656 的同步采样设计,8 片 AD7656 的 24 个 CONVST 信号全部连在一起,可对 48 路模拟信号进行同步采样。根据时序要求,FPGA 产生上升沿控制 CONVST 管脚启动 AD7656 开始转换。FPGA 控制 CONVST 管脚从低电平变为高电平后,AD7656 的采样保持器变为保持状态,模数转换开始。CONVST 管脚变为高电平后,BUSY 管脚为高电平输出,指示芯片为模数转换状态。由 FPGA 提供 AD7656 的转换时钟,转换时间为 $3\ \mu s$ 。一次模数转换结束后 BUSY 管脚变为高电平输出,采样保持器在 BUSY 管脚的下降沿返回跟踪模式,通过 DOUT A/B/串行接口将转换后的数据从 AD7656 的寄存器读出。

3.2 数据组帧模块

数据组帧模块将 48 路数据按照遥测数据帧格式进行打包,要求同一包数据中的各路数据的采集时刻是一致的。各路信号的采样顺序决定了帧结构,而本设计帧结构编写的关键是保证所有通道模拟信号的均匀采样。在设计帧结构的时候,不但要使各个通道的信号满足各自的采样率,还要使总的数量尽可能减少,以降低采集数据的冗余度。本设计中每个通道的采样率均为 10 kHz,在帧结构开始位置添加 EB90 作为帧开始标志,以及帧计数标志,数据采集精度为 16 bit。由此设计的帧结构如表 2 所示,帧长度为 100 Byte,在 10 kHz 的数据采样速率下,传输码速率为 8 Mbps。

表 2 帧结构设计

帧同步		帧计数		通道 1		通道 2		...		通道 47		通道 48	
EB	90	IDH	IDL	H8	L8	H8	L8			H8	L8	H8	L8

利用 FPGA 上的片上资源生成 1 个双口 RAM 存储器,存储器位宽为 8 bit,深度 100,将 AD 采样模块的各个通道数据流按照顺序依次写入双口 RAM 中^[14]。

3.3 PCM 编码模块

PCM 编码模块主要完成遥测数据 PCM 编码。如图 7 所示,PCM 编码模块根据中心控制电路设定的码率、码型等信息,从双口 RAM 中按照地址顺序按位读取数据进行 PCM 编码、码型变换、极性变换等处理,输出 PCM 信号到发射机模块^[15]。

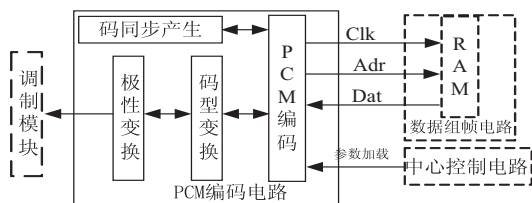


图 7 PCM 编码原理图

4 采集同步性验证

48 路信号同步采集的关键在于 8 片 AD7656 之间

的同步采集,影响 8 片 AD7656 之间同步采集的因素主要是其 8 片 AD 芯片的时钟信号是否同步,因此验证的关键是测试其 8 路 SCLK 时钟信号的同步性。

4.1 验证方案

同步采集验证方案如图 8 所示,验证系统所用设备及其功能如下:

(1)信号发生器:产生上升沿或下降沿触发信号;

(2)通用数据采集设备:对触发信号、片选信号 $\overline{CS}$ 、8 个 AD 时钟信号 SCLK 进行同步采样。

信号发生器产生一个下降沿信号,作为采集编码模块的触发信号,FPGA 采集到触发信号 $t_{\text{convert}} = 3 \mu\text{s}$ 后,片选信号/ $\overline{CS}$ 使能,AD7656 寄存器中的数据就可以在 SCLK 时钟的控制下按位读出。使用一台高采样率的通用型数采设备同时采集触发信号、片选信号/ $\overline{CS}$ 、8 个 AD 时钟信号 SCLK,通过对比片选信号/ $\overline{CS}$ 使能后的第一个时钟信号的相位差,就可以判断出 8 片 AD 之间的同步采集时间精度。

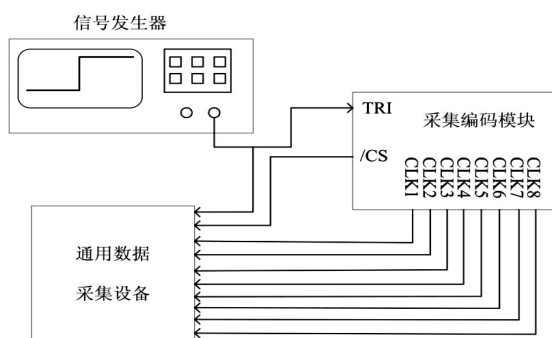


图 8 同步采集验证方案

4.2 验证结果

系统设计时,要求同步采集时间小于 $1 \mu\text{s}$,因此选用的数据采集设备的采样率为 10 MHz ,采样周期为 $0.1 \mu\text{s}$,系统验证现场图如图 9 所示。经过多次测试验证,片选信号/ $\overline{CS}$ 使能后,8 个 AD7656 时钟的第一个时钟相位差全部控制在 $0.3 \mu\text{s} \sim 0.5 \mu\text{s}$,这样就保证了 8 片 AD7656 在一个数据读取周期内的时间同步误差是 $0.3 \mu\text{s} \sim 0.5 \mu\text{s}$,满足系统设计要求的 $1 \mu\text{s}$ 的要求。

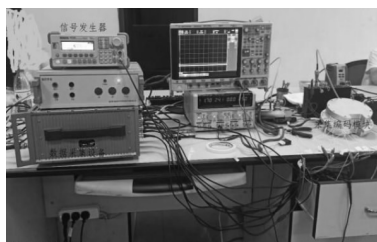


图 9 系统验证现场图

5 结束语

针对结构体高速运动多路振动传感器信号同步采

集的需求,提出了一种基于多片 AD7656+FPGA 的 48 路振动传感器高精度同步采集方法。设计了 ICP 型振动传感器的恒流源电路及低通滤波电路,可根据需求将滤波截至频率控制在 3 kHz ;8 片 AD7656 共用一套控制信号,可保证 8 片 AD7656 之间数据采集的同步性;数据组帧打包时,将同一个采集周期的 48 路传感器数据按顺序依次写入 FPGA 上的双口 RAM 中,一个采集周期一个数据包,保证了一个数据包的数据是同时刻采样的数据。同时设计实验验证了多路同步采集的时间精度小于 $1 \mu\text{s}$ 。

参考文献:

- [1] 顾凯旋,龚明生,王磊,等. 双轨火箭橇全时程动力学仿真分析研究[J]. 航空工程进展,2020,11(2):245-250.
- [2] 周晓军. 基于 Simpack 的火箭橇动力学分析[D]. 南京:南京理工大学,2018.
- [3] 范坤,王西泉,杨珍. 火箭橇结构动力学仿真分析技术研究[J]. 导航与控制,2015,14(6):21-26.
- [4] XIAO Yongfu, ZHANG Hao, ZOU Hao. Design of a quad-channel analog data acquisition system based on FPGA[J]. Open Access Library Journal,2020,7(12):1-6.
- [5] 郝少帅,杨玉华,王淑琴. 基于 FPGA 的高精度采集系统的研究与实现[J]. 电子测量技术,2020,43(19):154-158.
- [6] GAO Shanghua, XUE Bing, LI Jiang, et al. High-resolution data acquisition technique in broadband seismic observation systems[J]. Science China (Technological Sciences), 2016, 59(6):961-972.
- [7] 邵刚,田泽,刘敏侠,等. 一种传感器信号调理的补偿系统的设计及实现[J]. 计算机技术与发展,2015,25(6):189-192.
- [8] 袁小康,焦新泉,储成群,等. 振动传感器信号调理电路设计及分析[J]. 测试科学与仪器,2018,9(2):174-179.
- [9] 杨志,张志杰,夏永乐,等. 基于多测点环境下的增益可调 ICP 调理电路设计[J]. 仪表技术与传感器,2017(5):67-70.
- [10] 李霞,马喜宏,任勇峰,等. 基于抗混叠滤波的 LTC1569-7 低频特性探究[J]. 电子器件,2019,42(5):1221-1224.
- [11] 李艳平,徐海贤. 基于 FPGA 的 36 通道同步数据采集存储控制器设计与实现[J]. 工业控制计算机,2016,29(11):20-21.
- [12] 易志强,韩宾,江虹,等. 基于 FPGA 的多通道同步实时高速数据采集系统设计[J]. 电子技术应用,2019,45(6):70-74.
- [13] 许孟杰,刘文臣,刘云. 基于 FPGA 的 AD 采样设计[J]. 舰船电子工程,2015,35(1):114-118.
- [14] 焦新泉,翟菲,刘东海. 高精度温度采编设备的稳定性优化设计[J]. 兵器装备工程学报,2020,41(2):139-142.
- [15] 石晓玲,边文宾,高阳,等. 航天遥测系统集成式信号采集装置设计[J]. 遥测遥控,2020,41(6):63-68.