

国产FPGA在存储刀片中的应用验证与设计实现

马小鹏, 聂本明, 杭平平

(中国电子科技集团公司第五十二研究所, 浙江 杭州 311100)

摘要: FPGA作为信号处理器件,在通信、航天、军工等领域中起到了关键作用,长期以来,高端FPGA器件被国外厂商垄断;伴随国家对半导体产业的扶持,国产信号处理器件在近些年取得了重大进展,尤其是大规模可编程逻辑器件FPGA,在规模、集成度、功能及性能等方面取得了长足进步,并在存储刀片中得到了广泛应用。然而在国产FPGA器件的推广应用过程中,也暴露出了一些设计与性能上的差异。为评估国产化FPGA器件是否能够满足存储刀片的应用需求,设计了国产FPGA器件的电路验证平台。平台采用国产飞腾4核CPU加国产高端FPGA及NVMe大容量电子盘实现,其中FPGA负责采集Rapid IO接口数据,同时在软件的协同控制下实现数据的缓存、DMA数据传输以及数据存储功能;通过该平台初步验证了国产FPGA器件的功能、性能、功耗以及环境适应性等情况,验证结果表明,国产FPGA器件在各方面基本满足了存储刀片的应用需求。

关键词: FPGA; 国产; 存储; 设计; 应用; 验证

中图分类号: TP39

文献标识码: A

文章编号: 1673-629X(2022)01-0117-06

doi: 10.3969/j.issn.1673-629X.2022.01.020

Application Verification and Design Realization of Domestic FPGA in Storage Blade

MA Xiao-peng, NIE Ben-ming, HANG Ping-ping

(The 52th Research Institute of China Electronics Technology Group Corporation, Hangzhou 311100, China)

Abstract: As a signal processing device, FPGA plays a key role in communication, aerospace, military industry and other fields. For a long time, high-end FPGA devices have been monopolized by foreign manufacturers. With the state support for the semiconductor industry, domestic signal processing devices have made great progress in recent years, especially the large-scale programmable logic device FPGA, which has made great progress in scale, integration, function and performance, and has been widely used in memory blades. But in the process of the application of FPGA device in domestic, some differences in design and performance are exposed. To assess whether the localization of the FPGA device can meet the application requirements of storage blades, domestic device FPGA with circuit platform is designed. The platform adopts domestic FT four cores CPU and domestic high-end FPGA and NVMe high-capacity electronic disk, the FPGA is responsible for Rapid IO interface, data cache, the DMA data transmission and data storage function under the cooperative control of CPU software. Through this platform, the function, performance, power consumption and environment adaptability of domestic FPGA devices are preliminarily verified. The verification results show that domestic FPGA device can basically meet the application requirements in various aspects of the storage blades.

Key words: FPGA; domestic; storage; design; application; validation

0 引言

近年来,国外对我国的半导体产品与技术出口进行封锁和禁运,使得我国多个科研领域都受到制约,面临的形势十分严峻,因此,电子器件产品的自主要求就越来越高,FPGA器件产品亦是如此。

FPGA器件作为通信、航天、军工等领域的关键核心处理器件,被运用于电子侦察、雷达、采集存储系统

等领域,是装备制造的重要基础元器件。国内半导体产业链的不断成熟完善以及芯片设计能力的不断加强,在一定程度上实现了自我供给。

在存储系统领域,依赖丰富的接口类型和可编程资源,FPGA也得到了广泛应用,因此,有必要开展国产FPGA应用验证工作,为系统提供有效的验证数据,并保障系统的自主安全。

收稿日期:2021-01-27

修回日期:2021-05-27

基金项目:国家重大专项基金(编号xxxx)

作者简介:马小鹏(1980-),男,高级工程师,研究方向为FPGA及电路设计。

1 项目需求

国内各研制单位对国产 FPGA 器件的进行了持续的研究和创新,推出了各类系列产品,在各个装备系统中得到了推广和应用。总体上来看,无论是逻辑资源规模,还是对外接口种类、运行性能,国产 FPGA 器件都达到了装备系统的基本应用需求。

现阶段国产 FPGA 器件由于研制起步晚,在芯片研制及装备应用验证上不够充分,与进口器件使用相比存在使用及上装经历少等问题。因此,国产器件的选用需要通过不断地应用验证来优化,从而进一步促使 FPGA 器件设计能力的提高和装备应用的推广。

该文提出了国产 FPGA 应用上存在的问题,给出在存储刀片产品上的一种应用验证实现方法,重点阐述在存储刀片上集成国产 FPGA 器件后板卡的功能性能技术指标情况,以供用户和研制单位参考。

2 国产 FPGA 应用上存在的不足

经过对国产 FPGA 器件的技术分析与应用情况梳理,国产 FPGA 在实际应用时还有改进空间,具体包括:

(1) 国产 FPGA 器件本身设计存在改进空间。

(2) 使用国产 FPGA 器件后应用电路设计尚不够完善。高性能国产 FPGA 器件为近两年内才流片上市,在项目工程运用时照搬进口器件的设计思路,导致存在不稳定的硬件隐患,相应的设计要求有待明确。

(3) 采用国产 FPGA 器件进行逻辑设计时,应用设计方法没有根据国产 FPGA 性能差异做出相应的更改和适配,设计方法有待进一步适应调整和优化。

(4) 利用 EDA 工具开发国产 FPGA 器件有待改进。FPGA 设计特有的逻辑综合和布局布线算法及相关配置参数与国产 FPGA 器件需要适配和修正,时序综合报告以反映器件运行的实际状态。

由此可见,电子元器件 FPGA 的国产化设计实现和应用验证工作需要继续推进。

3 国产 FPGA 器件在存储刀片上的设计实现

为验证国产 FPGA 器件的功能性能,尤其是 PCIe、RapidIO、DDR 等 IP 核集成了多个高速收发器、串并 IO、时钟驱动器等资源情况,通过构建最简数据采集存储刀片,覆盖芯片内部的这些特殊资源对国产 FPGA 器件进行验证。

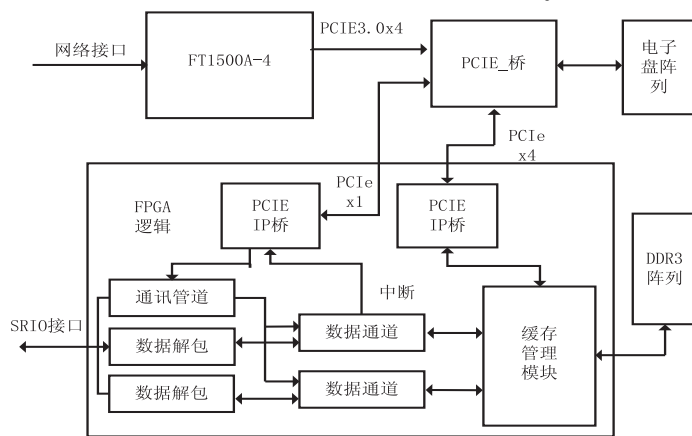


图 1 FPGA 设计框图

存储刀片 FPGA 设计框图如图 1 所示,其中 PCIe 接口 1 路作为通讯接口,用于 FPGA 逻辑与通用处理器进行命令交互,另两路 PCIe 可根据通道数量及带宽需求选择 1 路或者 2 路 PCIe 接口;前端用户为 RapidIO 接口输入,数据由 FPGA 接口逻辑代码进行运算处理后传输至 DDR3 存储器对应的接口通道中,然后在 DDR3 缓存管理模块控制下写入存储器中;PCIe IP 通过 BAR 空间及 AXI 空间的映射,将 FPGA 端外挂 DDR3 存储器直接映射在 CPU 的内存空间,CPU 可以直接访问 FPGA 端 DDR 缓存中的数据,进而将数据写入到 SSD 电子盘中^[1]。

PCIe 接口用于实现 PCIe 数据包处理、寄存器通信及数据交互,包括接口处理模块、寄存器模块及 PCIe

IP 核;主要完成与处理器之间命令交互以及响应 NVMe 盘的请求数据包,其中 IP 核采用 PCIe 3.0,接口支持 x8 模式,速率为 8 Gbps,整个 FPGA 中采用两路 PCIe IP 进行通信,可以提高通信速率^[2]。

FPGA DDR3 缓存管理模块的主要功能为将前端接收到的数据或者测试数据按照通道号写入软件分配的对应 DDR 空间中,同时根据数据流方向进行通道数据处理、仲裁及控制管理,实现不同逻辑通道数据写入不同缓存空间的功能;同时读缓存管理模块会根据软件配置的读缓存地址从给定的 DDR 区域中读出数据并写入到后级单元中^[3]。

RapidIO 接口模块遵循 SRIO 接口协议,完成 SRIO 协议帧头和数据的组包并发送,用于实现 RapidIO 总

线通信,可以接收来自其他模块发送的 RapidIO 数据信息,FPGA 内 RapidIO 通道采用 2 路 x4 链路实现,总线速率为 6.25 Gbps,模块中使用到的 RapidIO 事务类型主要为 NWrite 事务,可以保证高效率的数据传输^[4-5]。

FPGA 采用高性能器件,可满足高速数据传输及处理要求,FPGA 内各逻辑单元及 IP 均通过 AXI 总线通信,FPGA 端通过 PCIe BAR 空间及 AXI 空间的映射,实现了 FPGA 内存对 CPU 可见,从而 CPU 内存与 FPGA 缓存之前数据搬移建立了高速通道。另外,FPGA 与 CPU 之间采用 PCIe MSI 中断,从而提高数据传输及命令处理效率^[6]。

在逻辑设计过程中,通过增加数据处理位宽,降低工作频率,减少时钟域,多流水线处理等方法来优化工程代码,通过这些存储刀片设计工作,完成了基于国产 FPGA 器件的验证平台构建,包含了多种类型的高性

能接口,可以运用大量的逻辑资源来充分验证 FPGA 的功能性能指标^[7]。

在 FPGA 开发过程中,利用国产 EDA 工具及补丁包的方式对 FPGA 内部高速总线 IP 核、PCIe IP 核以及 DDR 控制器 IP 核等相关参数进行适配调整,以优化国产器件在不同环境下的特性参数,提高国产 FPGA 适应能力。

4 国产化 FPGA 在存储刀片中的应用验证情况

4.1 国产化 FPGA 逻辑及特殊资源使用情况

存储刀片内 FPGA 资源使用情况如表 1 所示,其中高速总线收发器 GTH、触发器、时钟资源 BUFG 及 PCIe IP 等资源使用较充分,其他资源均还有较多余量,对于后续功能及性能提升具有较大空间,整个设计几乎遍历了所有器件资源种类^[8]。

表 1 FPGA 资源使用情况统计

序号	资源名称	Slice luts	Slice registers	Block Ram	IOB	GTHE2 Channel	BUFG	BUFH	XADC	MMCM	PLL	PCIe IP
1	资源使用	100 460	162 013	400	234	24	24	14	1	7	2	2
2	可使用资源	433 200	866 400	1 470	600	80	32	240	1	20	20	3
3	资源使用比例	23.2%	18.7%	27.2%	39.0%	30.0%	75.0%	5.8%	100%	35.0%	10.0%	66.7%

采用 EDA 工具编译设计程序,可根据 FPGA 内部资源、时钟及 IO 等使用情况分析出 FPGA 器件的大致功耗,如表 2 所示。其中高速收发器 GTH、动态功耗以

及 IO 功耗较高,其余资源功耗较小,整片 FPGA 功耗预估为 26 W。FPGA 器件内部各个电源的功耗中,内核、MGT 及辅助电源占比较多,其余占比较小。

表 2 FPGA 功耗分布

序号	电源网络	电源/V	静态电流/A	动态电流/A	总电流/A
1	Vccint	1.000	8.256	5.642	13.898
2	Vccaux	1.800	0.442	1.240	1.680
3	Vcco15	1.500	0.001	1.429	1.430
4	Vccbram	1.000	0.378	0.039	0.417
5	MGTAVcc	1.000	0.192	4.119	4.311
6	MGTAVtt	1.200	0.031	1.876	1.906
7	MGTVccaux	1.800	0.006	0.039	0.045
8	Vccadc	1.800	0.022	0.002	0.020

4.2 国产 FPGA 优化设计及适配情况

国产 FPGA 器件一般采用反向设计,功能性能相对于进口 FPGA 器件会存在一定差距。为了将国产 FPGA 器件应用于存储刀片并能够达到同等的设计效果,需要对芯片的供电电路、时钟源稳定性、散热处理以及逻辑优化等方面进行优化设计及适配。

4.2.1 时钟优化及适配

国产 FPGA 器件时钟包括逻辑时钟输入和高速总线参考时钟输入,相对应进口 FPGA 器件,其对时钟信号较为敏感,对时钟抖动、偏移等要求较高。为适应国

产 FPGA 器件时钟输入要求,对时钟电路进行了优化设计,包括采用高稳定性、高可靠的时钟晶体,采用大扇出、驱动能力强的时钟 BUFFER,减少高速总线时钟共享,在满足性能要求的前提下降低时钟频率等优化措施^[9]。

根据应用需求设计了 FPGA 时钟电路,如图 2 所示,共有 4 组时钟电路,其中 25 MHz、156.25 MHz 由差分晶振产生,各自经过时钟 Buffer 后供 FPGA 的高速收发器 GTH 作为参考时钟,分别用以配合 FPGA 产生不同总线速率;同时 25 MHz Buffer 输出 1 路时钟供给

DDR 作为系统时钟使用;另外 125 MHz 和 25 MHz 晶振为单端输出,给 FPGA 内部逻辑使用,并充分考虑内

部时钟资源布局,结合外部时钟电路进行规划,使设计性能达到最优,满足数据的高带宽稳定传输。

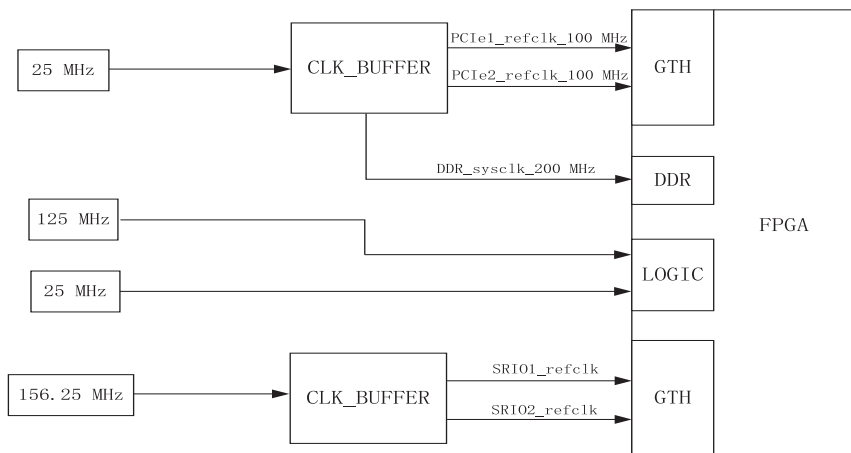


图 2 FPGA 时钟电路

4.2.2 供电资源优化及适配

根据国产 FPGA 器件手册要求,FPGA 供电要求相比进口器件更高,在整个 FPGA 器件中,主要功耗分为器件静态功耗、器件动态功耗、高速总线功耗以及硬件 IP 功耗;为降低功耗,对 FPGA 相关电路进行了优化设计,提高部分供电电压的设计余量,以及将未使用的 GTH BANK 不进行供电,降低 FPGA 内部时钟频率,同时为保证各级提供电压能够满足 FPGA 的上电要求,对相应的电源时序使能控制电路进行了优化设计^[10]。

4.2.3 FPGA 程序设计优化及适配

在 FPGA 程序设计时将工程进行模块划分,减少 FPGA 内部不必要逻辑及缓存单元使用,利用编译工具,对 FPGA 资源情况进行了统计分析、策略对比选择、时序综合优化等,同时对 FPGA 底层资源物理参数的调优以达到高性能的逻辑时序结果。另外,在 FPGA 程序中使用的 SRIO 接口程序,官方 IP 会使用大量的 BUFG,导致 BUFG 使用过多,影响布局布线,因此对 BUFG 资源进行了优化设计^[11]。

4.2.4 散热设计优化及适配

由于国产 FPGA 较进口器件功耗略高,因此整个模块对散热的要求更高,一般的风冷设计很难满足散热要求。对模块上的各部件进行结构优化设计以利于快速散热,同时散热冷板采用高强度铝合金板材一体铣削加工成型,作为模块主要的强度支撑,对所有大功耗元器件进行传导散热,通过热管、导热垫、导热块实现从热源到导冷面的快速传热,能够高效地将模块任意位置上的热源传导到冷板两侧。

4.3 国产 FPGA 器件集成板卡验证情况

4.3.1 FPGA PCIe 接口验证

对 FPGA 的两路 PCIe 接口进行测试,测试内容为低温、常温、高温条件下 PCIe 接口在 Gen3.0 是否工作

正常。

FPGA 的两路 PCIe 接口分别与 PCIe 桥片的两个端口相连接,均采用 x8 模式,在系统内可查看 FPGA 两路 PCIe 连接状态信息,并在 CPU 软件控制下实现 FPGA 内部数据由 PCIe 接口搬移至 NVMe 盘中,统计数据传输速率^[12]。

如表 3 所示,PCIe 接口连接状态为 8 GT/s x8 模式,总线速率为 8 GT/s,两路 PCIe 接口数据传输速率均大于 2.0 GB/s。

表 3 PCIe 测试结果

序号	测试项目	PCIe 链路状态	PCIe 传输速率
1	PCIe 接口 1	8 GT/s, x8	2.03 GB/s
2	PCIe 接口 2	8 GT/s, x8	2.01 GB/s

4.3.2 FPGA DDR3 接口验证

对 FPGA 的两组 DDR3 缓存接口进行读写测试,测试内容为低温、常温、高温环境条件下 DDR3 工作是否正常。

DDR3 工作频率设计为 600 MHz 时,利用测试程序对 DDR3 进行数据读写测试,同时监测写入与读出的数据是否一致。

测试结果如表 4 和图 3 所示,结果显示,国产 FPGA DDR3 接口在不同环境下工作正常,读写时序能够满足要求^[13]。

表 4 DDR3 测试结果

测试项目	测试需求	测试条件	测试结果
DDR3	连续读写,对比读写,数据一致	常温、-55℃、70℃	DDR3 在常温、-55℃、70℃ 温度条件下运行正常。程序固化后,在 -55℃、70℃ 条件下,断电后上电启动正常;运行在 600 MHz 时,写入数据后读出对比,连续运行 30 min 无出错

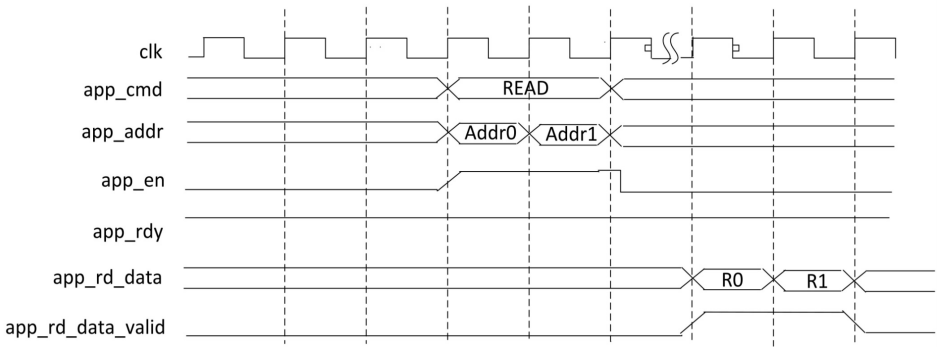


图 3 FPGA DDR3 读写时序

4.3.3 FPGA RapidIO 接口验证

对 FPGA 两路 RapidIO 接口进行测试,测试内容为低温、常温、高温条件下两路 RapidIO 接口是否工作正常。

FPGA 两路 RapidIO 接口分别通过背板与接口模块 FPGA 连接,均采用 x4 模式,总线速率为 6.25

Gbps,编译 RapidIO 测试程序,由接口模块 FPGA 产生信号源数据发送至存储刀片 FPGA,存储刀片 FPGA 通过 RapidIO 接口接收数据,进行校验及统计,结果如表 5 及图 4 所示。结果表明,RapidIO 接口事务发起及响应功能正常,RapidIO 总线数据传输速率约 16 Gb/s^[14]。

表 5 RapidIO 接口测试结果

序号	测试项目	事务发起功能	事务响应功能	RapidIO 链路状态	RapidIO 传输速率
1	RapidIO 接口 1	NWrite 事务发起正常	NWrite 事务响应正常	6.25 Gb/s,x4	16.5 Gb/s
2	RapidIO 接口 2	NWrite 事务发起正常	NWrite 事务响应正常	6.25 Gb/s,x4	16.4 Gb/s

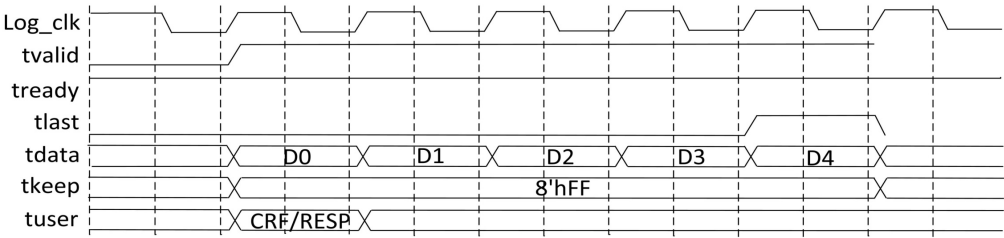


图 4 FPGA RapidIO 接口时序

4.3.4 FPGA 集成记录功能测试

为验证核心器件在模块上的功能和性能,存储刀片上通过安装各层级的基础软件或者应用软件工程,在不同的层面上测试验证各器件的指标,同时可以评估核心器件对模块上其他的电子元器件的影响。

将存储刀片与信号源通过背板连接,存储刀片 FPGA 与信号源模块之间总线速率为 6.25 Gbps,采用

x4 模式,两路 RapidIO 总线同时工作,由信号源发送数据至存储刀片,存储刀片接收数据后进行统计及校验。存储刀片集成测试除了可以验证各接口的工作情况,还可以验证 FPGA 内部逻辑单元和相关特殊资源工作情况以及在存储刀片集成环境下的整体工作性能。测试结果如表 6 所示,数据存储速率约为 3 500 MB/s^[15]。

表 6 FPGA 集成记录功能测试结果

序号	测试项目	RapidIO 链路状态	PCIe 链路状态	存储速率
1	数据由 RapidIO 接口输	6.25 Gb/s,x4	8.0 Gb/s,x8	3 490 MB/s
2	入 FPGA,经 FPGA 缓存	6.25 Gb/s,x4	8.0 Gb/s,x8	3 502 MB/s
3	后,通过 PCIe 接口将数	6.25 Gb/s,x4	8.0 Gb/s,x8	3 488 MB/s
4	据搬移至数据盘内	6.25 Gb/s,x4	8.0 Gb/s,x8	3 497 MB/s

4.4 国产 FPGA 器件验证结果分析

通过国产 FPGA 器件验证平台的测试与验证,得出了国产 FPGA 在本项目中的具体性能情况,同时可以分析出相关验证结果是否满足本项目设计要求,具

体情况如表 7 所示。从表中可以看出,国产 FPGA 器件在 PCIe 接口传输、DDR3 接口传输、Rapid IO 接口传输、集成记录功能测试以及功耗指标上均满足本项目的技术要求,可以实现对进口器件的国产化替代。

表 7 国产 FPGA 器件在存储刀片中的验证结果

序号	测试项目	设计要求	验证结果	是否满足要求
1	PCIe 接口传输	8 GT/s, x8; ≥ 1.4 GB/s	数据传输速率 > 2.01 GB/s	满足
2	DDR3 接口传输	工作时钟 ≥ 500 MHz	600 MHz	满足
3	RapidIO 接口传输	6.25 Gb/s, x4; ≥ 15 Gb/s	> 16 Gb/s	满足
4	集成记录功能	$\geq 3\ 200$ MB/s	> 3 450 MB/s	满足
5	功耗	30 W	26 W	满足

5 结束语

文中介绍了基于国产 FPGA 搭建的存储刀片以及验证测试的实施过程, 得出了存储刀片使用国产 FPGA 器件后相关的使用情况, 对于类似设计的验证具有参考价值。国产 FPGA 器件在设计、应用、适配以及 EDA 工具等方面需要进一步完善。另外, 一些协议符合性验证在现有验证平台上难以实现, 需要借助其他一些测试设备才能完成, 这部分工作后续将进一步补充完善。

参考文献:

- [1] Xilinx. Serial RapidIO Gen2 Endpoint v4.0 [M]. [s. l.]: Xilinx, 2017.
- [2] 张孝飞, 赵素梅, 刘 强. 一种实现 Rapid IO 和 PCIe 数据转换的系统: 中国, 208207795 [P]. 2018-12.
- [3] 田 泽, 蔡叶芳, 杨海波, 等. 一种解决不同优先级 DMA 传输竞争问题的接口电路: 中国, 203616748 [P]. 2014-05.
- [4] Xilinx. Virtex-7 FPGA Gen3 integrated block for PCI express [M]. [s. l.]: Xilinx, 2016.
- [5] 张 峰. 嵌入式高速串行总线技术 [M]. 北京: 电子工业出版社, 2017: 105-178.
- [6] 王 齐. PCI Express 体系结构导读 [M]. 北京: 机械工业出版社, 2010: 155-184.
- [7] PALNITKAR S. Verilog HDL: a guide to digital design and synthesis [M]. 北京: 电子工业出版社, 2009: 200-242.
- [8] 张华英. 一种多高速接口的高速串行总线存储装置: 中国, 205620997 [P]. 2016-10.
- [9] 黄万伟, 董永吉, 陈 博, 等. Xilinx FPGA 高速串行传输技术与应用 [M]. 北京: 电子工业出版社, 2015: 118-242.
- [10] Xilinx. 7series FPGAs GTX/GTH transceivers [M]. [s. l.]: Xilinx, 2015.
- [11] 蔡叶芳, 田 泽, 李 攀, 等. 一种 RapidIO IP 核的设计与验证 [J]. 计算机技术与发展, 2014, 24(10): 97-100.
- [12] 马克杰, 聂新义, 奚 军. 基于 PCI 总线的串行 Rapid IO 协议控制器: 中国, 202948447 [P]. 2013-05.
- [13] Xilinx. 7series FPGAs memory interface solutions [M]. [s. l.]: Xilinx, 2011.
- [14] 袁 志, 方俊文, 戚龙基. 一种基于 FPGA 的网络与 SRIO 总线桥接系统: 中国, 209015135 [P]. 2019-06.
- [15] 但成福, 何 斌, 刘 磊, 等. 一种 RapidIO 总线可重配置的设计系统: 中国, 209088985 [P]. 2019-07.