

Spartan7 FPGA 互联资源自动配置测试方法研究

单晓艳

(北京新能源汽车技术创新中心有限公司,北京 100176)

摘要:互联资源是 FPGA 芯片内部信号传输路径的可编程网络,CLB 及其互联资源是 FPGA 的核心,对互联资源的测试是对芯片测试的关键内容。Xilinx7 系以后的 FPGA 需要在 Vivado 进行开发,Vivado 设计套件是 ISE 后的新一代开发工具,基于 XDL(Xilinx design language)语言的 ISE 确定性布线方法已经不适用 Vivado。该文重点介绍了一种基于 Vivado 的 Spartan7 FPGA 互联资源配置方法,利用该方法在 FPGA 研制测试配置文件较难获取的情况下,能够完成对 FPGA 器件的仿真。介绍的基于 Vivado 高级约束文件自动布线方法,生成配置文件,并将其转换为 ATE 的测试向量,应用于自动测试系统 ATE 实现对 Xilinx 7 系 FPGA 测试。应用该方法对 Spartan-7 系列 XC7S6FTGB196-1 的进行实验,实验表明该方法可实现六倍线全覆盖布线。该方法可应用到单倍线、二倍线、四倍线的测试,实现对 FPGA 互联资源的全覆盖测试。

关键词:Spartan-7;互联资源;六倍线;测试向量;ATE

中图分类号:TP301;TN4

文献标识码:A

文章编号:1673-629X(2021)0087-04

Research on Automated Test Configuration Method of Spartan7 FPGA Interconnect Resource

SHAN Xiao-yan

(National New Energy Vehicles Technology Innovation Center, Semiconductor Department, Beijing 100176)

Abstract: Interconnection resource is the programmable network of signal transmission path in FPGA chip. CLB and its interconnection resource are the core of FPGA. The testing of interconnection resource is the key content of chip testing. After the 7 series of Xilinx, FPGA needs to be developed on Vivado, which is a new development tool after ISE. The deterministic ISE routing method based on XDL language is no longer suitable for Vivado. We mainly introduce a method of spartan7 FPGA interconnection resource configuration based on Vivado. With this method, FPGA device simulation can be completed when FPGA development test configuration files are difficult to obtain. We introduce the automatic routing method based on Vivado advanced constraint file, and the generated configuration file is applied to the automatic test system ATE to test 7-series FPGA. This method is applied to Spartan-7 XC7S6FTGB. Experiment shows that the proposed method can realize sextuple line full coverage routing.

Key words: Spartan-7; interconnect resource; sextuple line; test vector; ATE

0 引言

可编程逻辑器件 FPGA 的广泛应用,对其电子元器件可靠性试验和筛选要求变得越来越高,故障覆盖率、配置文件覆盖性对测试程序要求越来越严格^[1],大多数的 FPGA 研制方测试配置文件很难对外提供,因此集成电路测试人员需完成对器件的仿真,并将其转换为可应用 ATE 的测试向量。由于集成电路的高速发展,FPGA 变得越来越复杂,器件架构及仿真软件有很大变化。Vivado 设计套件是 Xilinx 公司 2012 年发布的集成设计环境,是 ISE 后的新一代开发工具,基于 XDL(Xilinx design language)^[2]语言的 FPGA 互联资源确定性布线方法已经不适用 Vivado^[3-4]。

文中提出了一种基于 Vivado 的自动布线方法,适用于 Spartan7 系 FPGA 的互联资源六倍线测试。

1 FPGA 互联资源故障模型及测试方法

互联资源是在芯片内部信号传输路径的可编程网络,这些网络将 IO 块、可配置逻辑块(configurable logic block, CLB)、DSP 切片和块 RAM 功能单元互联。每个 CLB 切片通过互联资源连接到一个开关阵列(switch matrix)。同样地,其他资源如 DSP 切片和块 RAM 也通过互联资源实现连接^[5]。CLB 及其互联资源占整个芯片 80% 左右,是 FPGA 的核心,每个 CLB 的互联资源是该文的研究重点。CLB 的互联资

收稿日期:2020-10-21

作者简介:单晓艳(1988-),女,硕士,工程师,研究方向为集成电路测试。

源按照可以跨越 CLB 个数不同,可划分为单倍线、二倍线、四倍线、六倍线,它们呈水平或垂直分布在 CLB 切片的行和列之间。

在实际的 FPGA 测试过程中,针对不同的测试资源,采用不同的故障模型。对互联资源进行测试时,通常考虑互联资源金属线的桥接故障模型、开路故障模型、开关阵列 PIP 的常开故障模型和常闭故障模型^[6]。

应用 ATE 对 FPGA 进行确定性布线测试主要分为四个步骤:第一,应用 Vivado 软件对互联资源进行布线仿真生成 VCD 文件;第二,将 VCD 文件转为 ATE 机台配置文件;第三,在 ATE 机台完成对芯片测试文件编程及调试;第四,通过 ATE 测试结果来分析判断芯片状态。

2 Spartan-7 CLB 互联资源

Xilinx 公司基于 Spartan-7 系列采用 28 nm 工艺,逻辑资源丰富,封装尺寸小^[7]。XC7S6FTGB 结构内的 CLB 切片 (CLB slice) 以规则的阵列分布,包含 CLB 逻辑资源和互联开关矩阵 (switch matrix, SM)。Spartan-7 CLB 互联资源有:单倍线、二倍线、四倍线、六倍线。文中提供的测试方法验证了 CLB 互联资源的六倍线,可以通用于单倍线、二倍线及四倍线。

2.1 Spartan-7 CLB 开关矩阵

互联开关矩阵的四个边分布不同的 PIP 资源,起到连接周围其他的互联开关矩阵和逻辑资源的作用,如图 1 所示。开关矩阵与逻辑资源 SLICEL 和 SLICEM 的连接 PIP 资源,上下两边的 PIP 资源连接左 (W) 右 (E) 互联开关矩阵,左右两边的 PIP 资源连接上 (N) 下 (S) 互联开关矩阵,即可做 PIP 的起点也可以做 PIP 的终点。

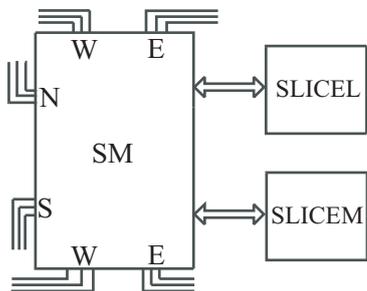
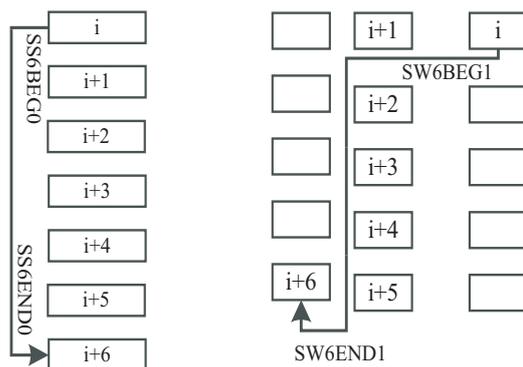


图 1 CLB 开关矩阵示意图

2.2 Spartan-7 六倍线互联资源结构

Spartan-7 XC7S6FTGB 的六倍线互联资源跨越了六个 CLB 的 SM,共 6 个方向,分为 SS、NN、SW、SE、NW、NE。SS 与 NN 为竖直方向,SW、SE、NW、NE 为对角方向,每个方向 4 根线编号为 0、1、2、3。图 2 (a) 为竖直方向 SS6BEG0 六倍线,图 2 (b) 为对角方向 SW6BEG1 六倍线。



(a) SS6BEG0 六倍线 (b) SW6BEG1 六倍线

图 2 XC7S6FTGB 的六倍线示意图

3 基于 Vivado 的自动布线

FPGA 内部互联也称为布线,Vivado 允许设计者为设计布线。XC7S6FTG 共有 938 个 CLB,每个 SM PIP 资源约 3 738 个,采用人工布线的方式将花费大量的时间,并且很难满足六倍线的全覆盖测试。因此,采用自动布线,并能满足不重复全覆盖测试很有意义。

3.1 布线网络生成

为了确定布线网络,需要充分利用 FPGA 的互联资源方向优势,来划分布线区域及走势。六倍线没有 WW、EE 方向的,因此为了充分利用六倍线的资源,将 CLB 切片按列进行链接,将连接的链路可扩展到下一列,类似的应用到全芯片。XC7S6FTG 共有 50 (编号 0—49) 行 28 (编号 0—27) 列规则分布的 CLB。

NN-SS 布线:每一列中按同一方向完成 NN 方向或 SS 方向链路,当布线分布于列的两端时将通过开关矩阵 PIP 改变为相反链路,即由 NN→SS 或 SS→NN。每一列中共有 50 个 CLB,编号为 0,1,⋯,49。每个 CLB 中 NN 或 SS 线编号为 0~3 各 2 根。遍历一列 CLB 中一个循环为 NN、SS 各需 25 根,当线号改变时需单倍线和二倍线 PIP 选择完成。SS 线标号递增的过程,标号 3 之后返回到 0,如 0→1→2→3,1→2→3→0,2→3→0→1,3→0→1→2 四种顺序;NN 线标号递减的过程,0 之后返回到 3,如 3→2→1→0,2→1→0→3,1→0→3→2,0→3→2→1 四种顺序。举例如图 3 (a) 所示:NN6BEG0 经过 SM_i 内部的 NN6END0→NN6BEG0 PIP 开关经过下一个 NN6BEG0 连接到 SM_{i+6},经过其内部的 NN6END0→NN6BEG0 PIP 开关继续连接 NN6BEG0。当 SM_j (43 ≤ j ≤ 49) 的 NN6BEG0 连接 SM_{j+6} 后,经过内部的 NN6END0→SS6BEG0 PIP 开关连接到 SS6BEG0,此时完成了由 NN→SS 的相反链路改变。

SW-SE、NW-NE 布线:已确定按列进行链接,以 SW-SE、NW-NE 为对匹配可以将偏移的行数目校正

回来,保证布线按相同列进行链接,并以此规则作为循环完成对相同列的布线。遍历一列 CLB 中一个循环为需 25 对线,当线号改变时需单倍线和二倍线 PIP 选择完成。对角方向的 Neighbor Nodes SW-SE、NW-NE 线编号相同,如 NW6BEG1 -> NE6BEG1、SW6BEG2->SE6BEG2。NW6BEG1->NE6BEG1 的进行过程中,任意 CLB 连线 NW6BEG1 后,坐标将向西

偏移 2 个 CLB,连接 NE6BEG1 后,坐标将向东偏移回 2 个 CLB,回到原来配置列。举例如图 3(b) 所示,第 i 行 j 列 SM 连接 SW6BEG0 到第 i-4 行 j-2 列的 SM,经过其内部的 SW6END0->SE6BEG0 PIP 开关继续连接 SE6BEG0 到第 i-8 行 j 列的 SM,此时回到 j 列,经过其内部的 SW6END0->SE6BEG0 PIP 开关连接 SW6BEG0,以此规则进行布线。

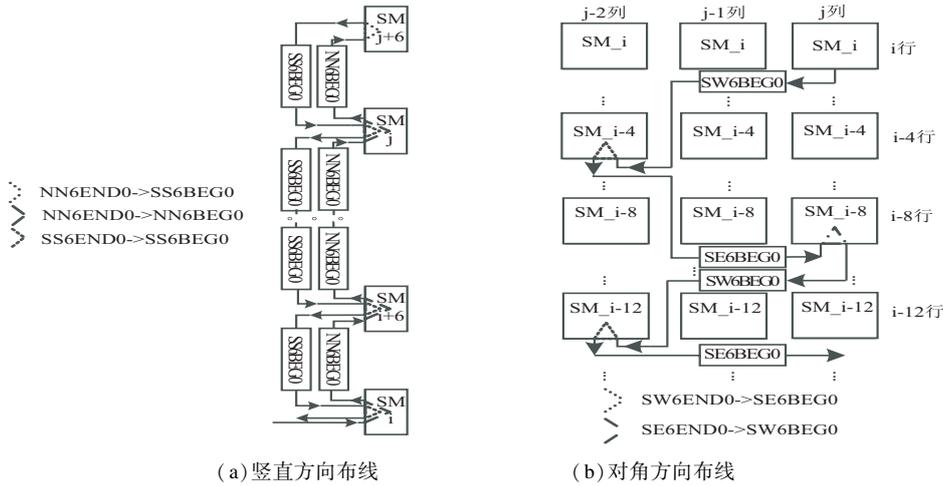


图 3 六倍线布线原理

垂直方向与对角方向衔接布线思想:XC7S6FTGB 的 IOB 物理位置于左右两侧,CLB、CLB 的开关矩阵及六倍线资源物理分布如图 3 所示,从其物理分布中归纳一衔接路径:CLB1 列垂直方向布线->CLB1 列对角方向布线->CLB2 列垂直方向布线->CLB2 列对角方向布线,并以此作为一个循环单元,完成对整片布线。

3.2 生成布线文件

Vivado 布线与基于 XDL 的 ISE 确定性布线实现有较大区别,在 Vivado 软件中将仿真后的 Verilog 程序进行综合、实现后,查看约束 XDC 文件^[8]如下:

```

set_property LOC H11 [get_cells din_IBUF_inst] /* 设置输入 din 物理位置为 H11 */
set_property PACKAGE_PIN H11 [get_ports din]
set_property LOC H4 [get_cells dout_OBUF_inst] /* 设置输出 dout 物理位置为 H4 */
set_property PACKAGE_PIN H4 [get_ports dout]
set_property FIXED_ROUTE { {①IOB_IBUF0 LIOI_I0 ② LIOI_ILOGIC0_D IOI_ILOGIC0_O IOI_LOGIC_OUTS18_1 ③ INT_INTERFACE_LOGIC_OUTS_L18 ④.....GAP ⑤INT_R_X27Y24/IMUX34 IOI_OLOGIC0_D1 RIOI_OLOGIC0_OQ RIOI_O0 } } ⑥ [get_nets dout_OBUF] /* dout 的固定布线 */
    
```

其中 set_property 为通用命令;①IOB_IBUF0 LIOI_I0 为将 din 与 IBUF 连接;② LIOI_ILOGIC0_D IOI_ILOGIC0_O IOI_LOGIC_OUTS18_1 与 ILOGIC 连接;③ INT_INTERFACE_LOGIC_OUTS_L18 与 interface 连接;⑤IOI_OLOGIC0_D1 RIOI_OLOGIC0_OQ RIOI_

O0 与 OLOGIC 连接,INT_R_X27Y24/IMUX34 的坐标为 dout 连接物理位置。以上内容无需改变,需要将中间连接资源④进行六倍线布线。其中 SM 的 PIP 信息是隐含的,只需生成六倍线布线即可。

3.3 布线资源自动生成

测试六倍线时,增加使用单倍线与二倍线实现链路的连接,将 PIP 资源中的六倍线-六倍线、单倍线-六倍线、二倍线-六倍线、单倍线-二倍线信息生成库资源,将行列坐标作为变量。每选择一次垂直方向六倍线列坐标偏移量 6;每选择一次对角方向六倍线列坐标偏移量 4,行坐标偏移量 2。按照任意一行列坐标下的 CLB 列垂直方向布线->CLB 列对角方向布线,将布线思想生成自动布线程序,能够实现任意坐标位置及起始点的自动布线。

生成的其中一段垂直方向六倍线布线链路如下:

```

NN6BEG2 NN6BEG2 NN6BEG2 NN6BEG2 NN6BEG2
NN6BEG2 SS6BEG1 SS6BEG1 SS6BEG1 SS6BEG1 SS6BEG1
SS6BEG1 SS6BEG1 SS6BEG1 SS6BEG1 NN6BEG2 NN6BEG2
NN6BEG2 NN6BEG2 NN6BEG2 NN6BEG2 NN6BEG2
NN6BEG2 SS6BEG1 SS6BEG1 SS6BEG1 SS6BEG1 SS6BEG1
SS6BEG1 SS6BEG1 SS6BEG1 NN6BEG2 NN6BEG2 NN6BEG2
NN6BEG2 NN6BEG2 NN6BEG2 NN6BEG2 NN6BEG2
NN6BEG2 SS6BEG1 SS6BEG1 SS6BEG1 SS6BEG1 SS6BEG1
SS6BEG1 SS6BEG1 SS6BEG1 NN6BEG2 NN6BEG2 NR1BEG2
NN2BEG2 NN6BEG2 ...
    
```

生成的其中一段对角方向六倍线布线链路如下:

```

SW6BEG2 SE6BEG2 SW6BEG2 SE6BEG2 SW6BEG2
    
```

NE6BEG1 NW6BEG1 NE6BEG1 NW6BEG1 NE6BEG1
 NW6BEG1 NE6BEG1 NW6BEG1 NE6BEG1 NW6BEG1
 NE6BEG1 NW6BEG1 NE6BEG1 SW6BEG2 SE6BEG2
 SW6BEG2 SE6BEG2 SW6BEG2 SE6BEG2 SW6BEG2 SE6BEG2
 SW6BEG2 SE6BEG2 SW6BEG2 SE6BEG2 NW6BEG1 NE6BEG1
 NW6BEG1 NE6BEG1 NW6BEG1 NE6BEG1 NW6BEG1
 NE6BEG1 NW6BEG1 NE6BEG1 NW6BEG1 NE6BEG1
 NW6BEG1 SE6BEG2 SW6BEG2 SE6BEG2 SW6BEG2 SE6BEG2
 SW6BEG2 SE6BEG2 SS2BEG2 SW6BEG2 SE6BEG2 ...

3.4 完整的六倍线布线图

将 IOB 输入接入到六倍线的输入,经过片内六倍线互联资源布线后,将输出连接到 IOB 的输出上,形成了完整的六倍线布线。鉴于篇幅原因任意截取了四个 CLB 开关矩阵的六倍线布线图,如图 4 所示。

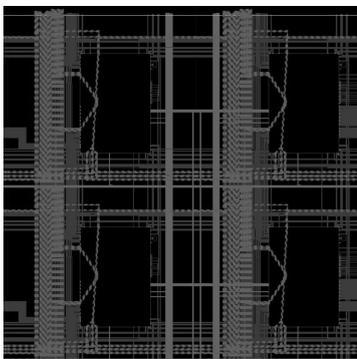


图 4 四个 CLB 开关矩阵的六倍线布线局部图

4 测试结果与结论

以 XC7S6FTGB196-1 为实验对象,利用自动布线程序生成配置文件,在 Vivado 平台生成 VCD 文件。将生成的 VCD 文件经过转换软件转成 V93000 大规

模集成电路系统使用测试向量 STIL 格式^[9],判断 IOB 输入输出波形对比结果完成对芯片的测试。

利用文中提出的自动化布线程序,对 FPGA 六倍线测试具有快速、全覆盖的优点,适用于 Spartan7 系列。改变库资源可以实际应用到单倍线、二倍线、四倍线的测试,对实际测试应用有指导意义。

参考文献:

- [1] 周 珊,杨雅雯,王金波. 航天高可靠 FPGA 测试技术研究[J]. 计算机技术与发展,2017,27(3):1-5.
- [2] BECKHOFF C, KOCH D, TORRESEN J. The Xilinx design language (XDL): tutorial and use cases[C]//6th international workshop on reconfigurable communication-centric systems-on-chip (ReCoSoC). Montpellier, France: IEEE, 2011:20-22.
- [3] 李 光,谢 达,董宜平. 基于 Virtex5 的 FPGA 全覆盖五倍线确定性布线测试[J]. 电子与封装,2018,18(5):15-18.
- [4] 何东东. 百万门级 FPGA 互连资源的覆盖测试[D]. 西安:西安电子科技大学,2017.
- [5] 文 艺,郑咸剑. 一种基于图论的 FPGA 互连资源可测性设计[J]. 微处理机,2015(6):9-14.
- [6] 杨钧皓. 基于 Xilinx FPGA 的通用自动化测试方法研究[D]. 西安:西安电子科技大学,2014.
- [7] 7 series FPGAs configuration user guide[M]. USA: XILINX,2018.
- [8] 何 宾. Xilinx FPGA 权威设计指南—Vivado 2014 集成开发环境[M]. 北京:电子工业出版社,2015.
- [9] Advantest Inc. V93000smart scale technical documentation center[M]. Japan: ADVANTEST,2016.