

# 一种 1394 总线事务层功能验证关键技术研究

魏美荣<sup>1,2</sup>, 田 泽<sup>1,2,3</sup>, 王世中<sup>1,2</sup>, 王宣明<sup>1,2</sup>

(1. 航空工业西安航空计算技术研究所, 陕西 西安 710068;

2. 西安翔腾微电子科技有限公司, 陕西 西安 710068;

3. 集成电路与微系统设计航空科技重点实验室, 陕西 西安 710068)

**摘 要:**事务层协议处理模块是 1394 总线某款在研网络通信 SoC 芯片的核心器件,负责总线各节点上层应用软件与链路层之间读、写请求和锁定请求关键事务通信。为有效模拟软硬件在宿主机芯片上工作交互的复杂场景,该文从分析事物层系统级功能分析出发,重点研究芯片内部软硬件激励程序的执行效率和软硬件验证程序运行过程所占的比重,提出一种基于 UVM 的 1394 总线事务层系统级功能验证方案,给出了该方案的虚拟验证策略与方法,包括虚拟验证平台组件、工作原理和平台架构设计,并对其中关键验证组件进行详细介绍。最后,通过仿真验证和收集覆盖率分析,该方案不仅有效满足事务层系统级验证总体需求,灵活完成 1394 协议解析,还可以为今后 1394 总线相关 SoC、ASIC 设计提供通用虚拟验证平台。

**关键词:**1394 总线;UVM;事务层;覆盖率;软硬件交互

**中图分类号:**TP39

**文献标识码:**A

**文章编号:**1673-629X(2021)08-0069-07

**doi:**10.3969/j.issn.1673-629X.2021.08.012

## Research on Key Technologies of a 1394 Bus Transaction Layer Function Verification

WEI Mei-rong<sup>1,2</sup>, TIAN Ze<sup>1,2,3</sup>, WANG Shi-zhong<sup>1,2</sup>, WANG Xuan-ming<sup>1,2</sup>

(1. Xi'an Aeronautics Computing Technique Research Institute, AVIC, Xi'an 710068, China;

2. Xi'an Xiangteng Micro-Electronic Technology Co., Ltd., Xi'an 710068, China;

3. Key Laboratory of Aviation Science and Technology of Integrated Circuit and Microsystem Design, AVIC, Xi'an 710068, China)

**Abstract:** The transaction layer protocol processing module is the core device of a network communication SoC chip under development in 1394 bus, which is responsible for the key transaction communication of read, write and lock requests between the application software on the upper layer of each node and the link layer. In order to effectively simulate the complex scenarios of software and hardware interaction on the host chip, starting from the system-level functional analysis of the transaction layer, the execution efficiency of the hardware and software driver and the proportion of the running process of the software and hardware verification program in the chip are emphatically studied. A system-level function verification scheme of 1394 bus transaction layer based on UVM is proposed, and the virtual verification strategy and method of the scheme are given, including the virtual verification platform components, working principle and platform architecture design, and the key verification components are introduced in detail. Finally, through simulation verification and collection coverage analysis, the proposed scheme can not only effectively meet the requirements of system-level verification at the transaction layer, flexibly completes 1394 protocol analysis, but also provide a common virtual verification platform for future 1394-related SoC and ASIC designs.

**Key words:** 1394 bus; UVM; transaction layer; coverage; hardware/software interaction

## 0 引 言

1394 总线具有高带宽、低延迟和高可靠等特点,

很好地满足了航空电子系统的应用需求,支持异步传输和等时传输方式,其中事务层支持异步传输读取、写

收稿日期:2020-09-05

修回日期:2021-01-06

基金项目:国家科技重大专项项目资助(2016ZX01012101)

作者简介:魏美荣(1984-),女,硕士,工程师,研究方向为集成电路设计与验证;田 泽,博士,研究员,研究方向为专用集成电路设计、嵌入式系统开发。

入、锁定操作的 CSR 结构请求、响应,等时传输由应用程序直接驱动<sup>[1]</sup>。

随着可编程逻辑器件的广泛应用以及用户对产品质量要求的提高,传统的仿真验证已难以满足日益增长的可编程逻辑器件验证需求<sup>[2]</sup>。研究表明,越是高层次的验证效率越高,越是低层次的验证则准确性越高<sup>[3]</sup>。UVM 通用验证方法学已经成为芯片验证行业最新的验证标准<sup>[4]</sup>,基于系统级硬件描述语言 System-Verilog,具备面向对象编程的思想和功能<sup>[5-7]</sup>,主要对结构相似的 DUT(device under test)进行验证。由于其具有面向编程语言的特点<sup>[8-10]</sup>,可以将很多方法和函数封装成不同的库类使用,通过接口的形式将待测模块与验证平台连接起来并且具有良好的可重用性<sup>[11]</sup>。

为有效模拟 1394 总线协议实现过程中软硬件模型交互在宿主机上复杂的工作场景,文中以该芯片中的事务层功能验证作为主要分析对象,对其验证过程中数据处理关键技术进行研究,给出一种基于 UVM 的 1394 总线 SoC 芯片事务层协议处理功能验证的解决方案。通过采用基于 UVM 的验证分层结构,重点研究软件程序和硬件组件激励程序的执行效率和软硬件验证程序运行中占的比重,提取一套通用性强的软硬件交互机制。该方案中采用软硬件结合的方式可以简化系统,提高系统的可靠性及性能,其中硬件部分能

够保证更加准确地使用预定义的网络带宽和预定义的帧周期,软件又可以灵活地去操纵通信过程中的接收和发送,有效实现 1394 协议。

## 1 虚拟验证策划

文中提到的 1394 总线 SoC 芯片是目前国内自研的首款集成了军用 1394 协议、链路层协议、物理层协议以及嵌入式处理器的芯片,其设计复杂度高,不但对设计本身满足复杂的功能和较高的性能提出要求,更对系统中软硬件划分、验证和测试带来巨大挑战。文中在对 1394 总线 SoC 事物层系统功能进行分析的基础上,制定了相应的验证策略与方法,并详细介绍了虚拟验证平台组件和工作原理。

### 1.1 系统功能分析

图 1 是 1394 总线 SoC 芯片体系架构,是一款集成了嵌入式处理器、PCI 主机接口、JTAG 接口、SDRAM 控制器、外部总线控制器(EBC)、直接存储器访问控制器(DMA)、1394 总线协议事务层、1394 链路层、1394 物理层、通用输入输出接口(GPIO)等资源的片上系统,还包含 PLB 总线和 OPB 总线两种总线。可实现 1394 总线协议处理、以太网协议栈解析以及文件系统管理等功能,具备智能化、通用化、小型化的优点。文中重点对 1394 总线事务层协议处理功能特点进行分析,主要包含:

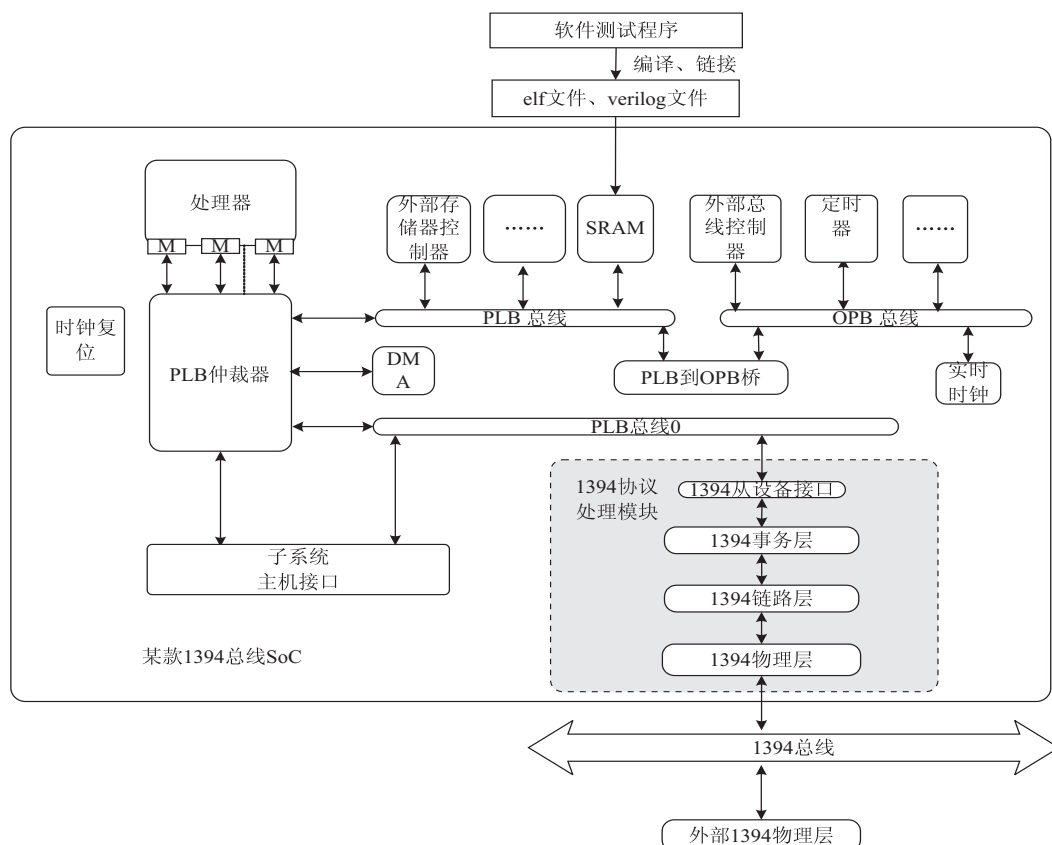


图 1 1394 总线 SoC 芯片体系架构

(a)处理器验证软件主要功能:初始化 SoC 内部设备、按照不同工作场景对各相关设备进行配置、通过简单运算产生激励、处理各种事件中断,对芯片内部状态、数据进行判断比较,打印各种信息;

(b)外部硬件验证组件主要功能:通过软硬件交互实现寄存器/存储器访问,利用随机约束产生满足 1394 协议通信事务数据包,并对收发数据包完成数据有效性检查;

(c)1394 事务层功能:支持 PLB 总线接口,访问数据缓冲区 DPRAM 支持单拍和多拍操作;支持在不同数据传输速率 S100B、S200B、S400B 下,异步和等时传输模式数据通信机制;支持 IEEE1394 协议约定的异步包、等时/异步流包、物理层等数据包的收发等。

## 1.2 验证策略与方法

通过上述的系统功能分析,文中采用当前主流的 UVM 验证方法学搭建系统验证架构,并制定出一套通用性强的 1394 总线协议处理的软硬件交互虚拟验证方法。改善以往由处理器软件负责的数据运算等大量占用仿真时间的任务,交给 SystemVerilog 语言搭建的硬件验证组件去完成。而处理器软件在虚拟验证过程中只负责记录一些简单的状态报告、寄存器配置等操作,由此提高处理器运行效率。文中阐述的虚拟验证平台组件具体描述如下:

### 1.2.1 虚拟验证平台组件

虚拟验证平台组件中的软硬件控制信息交互区、数据交互区,具体描述如下:

(a)软硬件控制信息交互区。

在整个 SoC 芯片虚拟验证过程中,该交互区为处理器软件和硬件验证组件之间提供交互的控制状态和数据交换区域,并存储当前 SoC 的内部状态信息。硬件验证组件根据交互区偏移地址的数值,依照事先定义好的编码含义驱动软件对芯内部各设备进行配置,

当软件配置完成之后,并在软件事件触发区填写相应值,供硬件验证组件进行查询。最后,由硬件验证组件来进行状态的判断、数据运算,以此确定处理器软件的下一步操作。其中,软件通过 EBC 特定地址范围来访问该区,硬件验证组件是通过存储器的后门接口来访问信息交互区的,软硬件交互在 EBC 上的存储地址范围 2'hD800\_0000 ~ 32'hDFFF\_FFFF,具体定义如表 1 所示。

表 1 软硬件控制信息交互区定义

偏移地址	定义	数值	编码含义
0x0	软件事件触发区	1 <sub>d</sub>	芯片初始化完成
		2 <sub>d</sub>	CPU 中断触发
		3 <sub>d</sub>	软件读操作完成
		4 <sub>d</sub>	软件写操作完成
		5 <sub>d</sub>	软件 DMA 启动完成
		6 <sub>d</sub>	软件正常退出
0x4	硬件事件触发区	1 <sub>d</sub>	软件读 PLB 寄存器操作
		2 <sub>d</sub>	软件写 PLB 寄存器操作
		3 <sub>d</sub>	软件启动 DMA 操作
		4 <sub>d</sub>	复位 1394 总线
		5 <sub>d</sub>	.....

此处,根据不同的验证场景可将其进一步扩展

(b)数据交互区。

数据交互区用于存储硬件验证组件产生的待发送的数据包和总线节点间通信接收到的数据包,该交互区存储的数据类型包括异步发送数据交互区#1(AT)、等时发送数据交互区#2(IT)、异步接收数据交互区#3(AR)和等时接收数据交互区#4(IR)。处理器软件和硬件验证组件均可访问此区域,文中数据交互区容量设计为 128 MB,根据不同的验证场景可将其进一步细分,其访问地址如表 2 所示。

表 2 数据交互区的地址分配

交互区名称	SoC 内部设备	地址范围
异步发送数据交互区#1(AT)	EBC-BANK-3	32'hE000_0000 ~ 32'hE001_FFFF
等时发送数据交互区#2(IT)	EBC-BANK-3	32'hE002_0000 ~ 32'hE003_FFFF
异步接收数据交互区#3(AR)	EBC-BANK-3	32'hE004_0000 ~ 32'hE005_FFFF
等时接收数据交互区#4(IR)	EBC-BANK-3	32'hE006_0000 ~ 32'hE007_XXXX
可根据需要进行扩展		

数据交互区#1、#2、#3 和#4 分别是映射 SoC 内部事务层的内部异步发送(AT)、等时发送(IT)异步接收(AR)、等时接收(IR)缓冲区。除了基地址不一致,其他所有信息保持一致。数据交互区#1、#2、#3、#4 的存储结构如图 2 所示。

在虚拟验证过程中,数据交互区#1、#2 内部的空间划分、数据填写完全由硬件验证组件管理;处理器软件只是负责把数据交互区#1、#2 的内容复制到事务层内部异步发送(AT)、等时发送(IT)缓冲区对应位置上,不对数据交互区#1、#2 进行任何写操作。

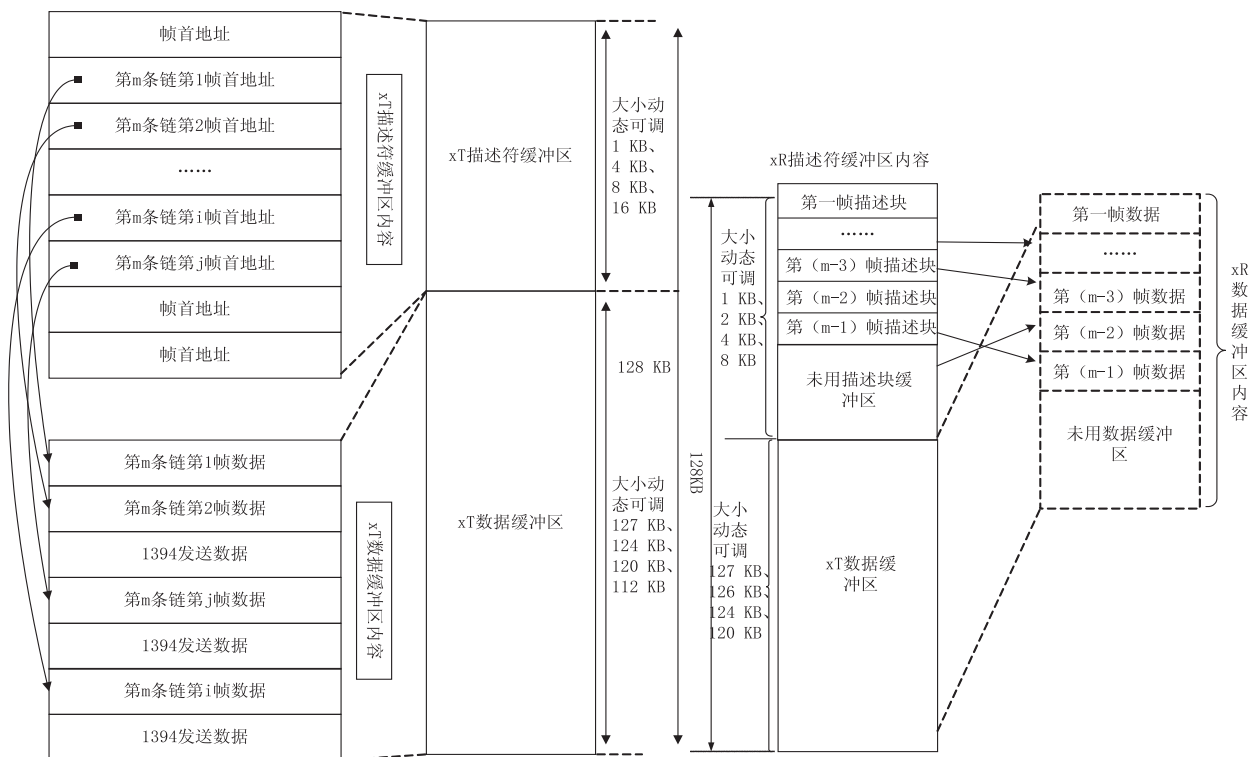


图 2 数据交互区 xT 和 xR 数据结构

### 1.2.2 工作原理

虚拟验证平台运行过程中,软硬件交互机制工作过程如下:

(a) 软件触发硬件机制: 软件根据表 1 的内容对信息交互区偏移地址为 0x0 的位置进行相应写操作, 硬件功能模型检测到不同的写操作之后, 触发相应的事件;

(b) 硬件触发软件机制: 硬件验证组件根据表 1 的内容对信息交互区偏移地址为 0x4 的位置进行写操

作, 然后触发外部中断。当软件检测到外部中断后, 读取信息交互区偏移地址为 0x4 的数据, 根据译码含义进行相应的软件操作;

(c) 虚拟验证平台的定时机制, 利用 SoC 内部定时时钟和硬件验证组件的事件函数进行计时。

具体 1394 总线 SoC 协议处理事务层系统级发送和接收机制如图 3 所示。

根据 1394 总线 SoC 事务层的功能特点设计的系统级部分主要测试用例如表 3 所示。

表 3 测试向量

测试向量说明	测试向量说明
RegRstlueATest	初始化后各寄存器、存储器复位值正确测试
DpramAccessTest	
RegRWATest	寄存器读写访问功能检测
tnfsAtfTxNumTest	Alpha 和 Beta 模式下异步传输数据发送通信机制测试
tnfsArfRxNumTest	Alpha 和 Beta 模式下异步传输模式下数据接收通信机制测试
tnfsItfTxNumTest	Alpha 和 Beta 模式下等时传输模式下数据发送通信机制测试
tnfsIrfRxNumTest	Alpha 和 Beta 模式下等时传输模式下数据接收通信机制测试
tnfsAtArfIrNumTest	Alpha 和 Beta 模式下混合传输模式下数据收发混合测试
DataCRCErrFunctionTest	接收数据包 CRC 错误注入测试
PayloadDiffDatalengthTest	接收数据包长度与负载不一致测试
...	

其中, 针对寄存器测试在平台中搭建扩展 uvm\_reg 的寄存器模型来模拟主机读写行为, 根据每个寄存器的名称、地址、读写属性、复位值等信息生成 register map, 测试 test 中实现 reg\_model.regName.read

(stautus, rddata) 和 reg\_model.regName(stautus, wrdata) 的形式进行后门直接访问, 不占用仿真时间, 不仅可以避开总线、减少波形上显示, 还能加快仿真速度。

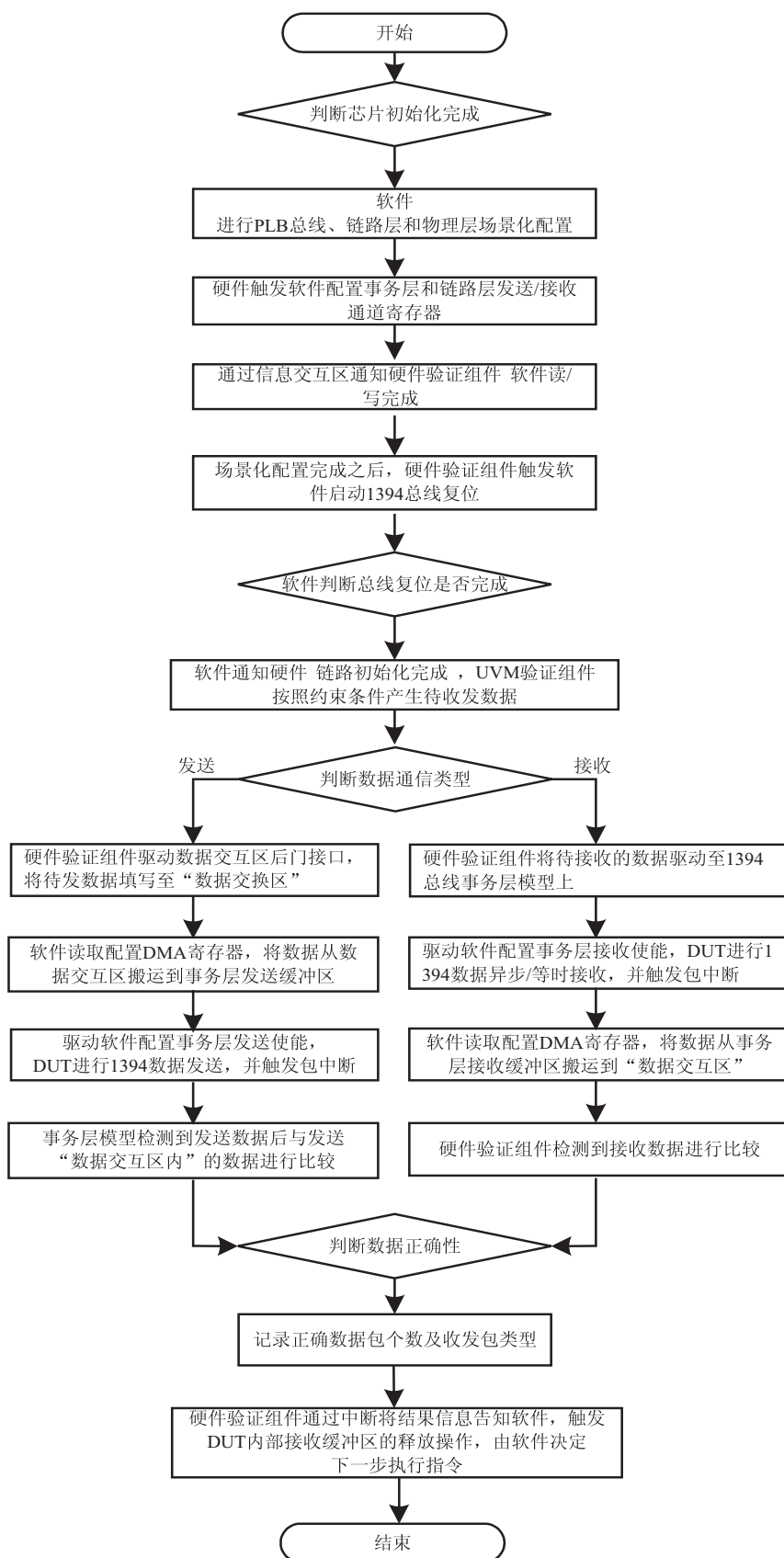


图3 1394 总线事务层发送和接收数据包机制

## 2 基于 UVM 的验证平台设计

根据上节 1394 总线 SoC 协议处理芯片的验证策

略与工作原理,采用 UVM 高级验证方法搭建了虚拟验证平台,如图 4 所示。



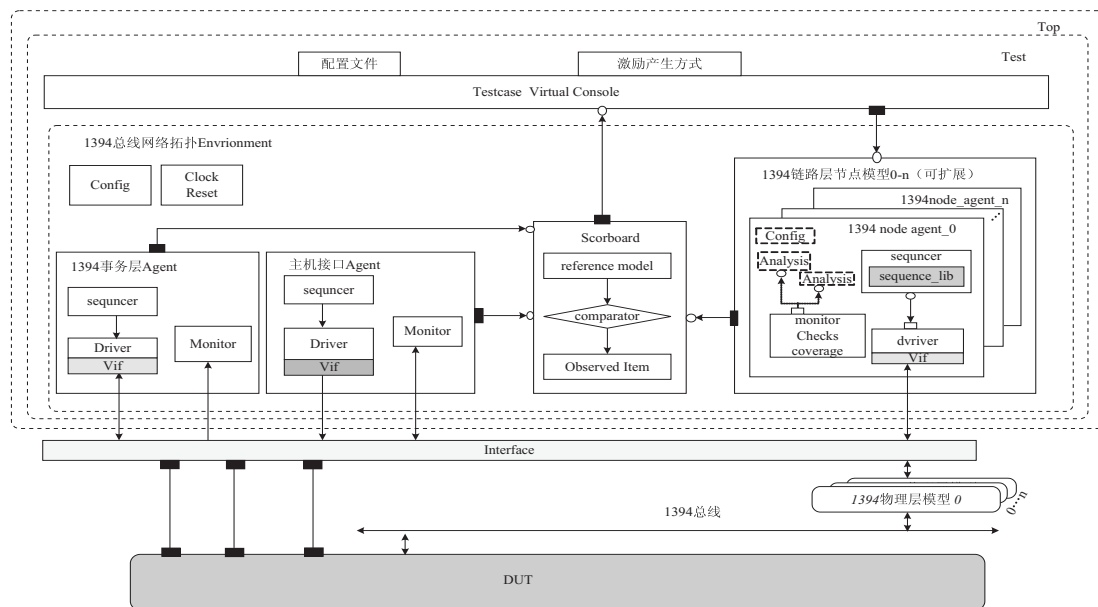


图4 基于UVM的1394总线SoC验证平台设计

其中,1394总线SoC芯片的RTL作为DUT与验证环境通过接口相互连接,测试平台包括环境配置组件、激励产生、事务层agent、主机接口模型agent,1394总线链路节点UVC和记分板(Scoreboard)驱动器等UVM验证组件,其构成的1394总线网络拓扑环境能够很好模拟1394总线请求节点主机驱动、1394总线响应节点的信号输入输出以及对DUT总线接口时序监控和信号采样的完整性功能。整个验证环境是由采用了面向对象的技术,通过类的继承和多态性定义验证组件和激励数据,在testcase对象的创建过程中实例化不同的验证环境,即实现了不同的testcase需要不同的验证场景的要求,激励是在仿真运行期间动态产生,数据生命周期结束后自动释放内存空间。每一个testcase都是由主机接口模型、收发帧模型、验证激励库等几部分组成,并通过UVM\_sequence\_item类将不同的数据信息封装进不同packet包,并向不同的agent中的sequencer发送transaction进行测试。transaction是基于事务级的数据,经过driver将数据按特定的协议和时序关系进行转换,DUT输出端的时序级信号通过monitor进行采集、解析并转换为事务级数据递给Scoreboard进行比较,如果错误则会打印UVM\_ERROR信息,从而验证不同功能的正确性。验证环境与被测试对象是通过interface相连接,此外激励和平台结构分离、验证组件间采用TLM标准接口,使整个平台具有灵活配置、可重用、可扩展升级等优点,其主要验证组件功能如下:

(a) 主机接口Agent:实现处理器验证软件驱动层的功能,实现对“信息交互区”软硬件事件触发区寄存器读写操作,同时把事物层响应的信息转化为硬件接口上的信号时序驱动,同时把硬件接口上数据状态反

馈给事物层;

(b) 1394事务层Agent:实现“外部硬件验证组件”和“1394总线事务层功能”相应关系事务操作激励,通过评估DUT的特性,确定data\_item应用的属性、约束、task和function,继承uvc\_sequence\_item,达到描述事务级的功能属性,并将1394总线节点通信过程的状态信息传递给主机接口模型和记分板;

(c) 1394总线链路节点UVC:实现1394总线节点链路层的功能,和物理层功能模型连接,模拟1394总线上的拓扑结构,并且提供链路层功能行为、处理网络上传过来的各种请求事务响应处理和统计,同时把内容结果传递给记分板进行比较分析;

(d) 记分板(Scoreboard):DUT输出端处理过的时序级信号通过主机接口模型agent、事务层agent和1394总线链路节点UVC的monitor进行采集和解析,将时序信号转换为事务级数据传递给记分板,记分板将这些信息与预先期望的参考模型进行比较,从而验证不同功能的正确性,以通过生成的log文件中的报告及断言来检测DUT的正确性<sup>[12-13]</sup>。

### 3 验证结果及分析

文中采用Linux运行环境QuestaSim10.2c功能仿真环境,通过SystemVerilog、Makefile编程语言及脚本语言,将编译、仿真、测试选择、覆盖率收集等功能设计为自动化流程。以AT和AR通信测试向量仿真结果为例,运行UVM仿真平台,得到的仿真结果波形如图5所示。由VCS仿真的结果可知,当异步通信事务过程发送包和接收包个数分别是57和79,将所有测试向量测试完毕后,进行回归测试并进行覆盖率统计,将输出结果进行打印,如图6所示,整体覆盖率已达到

100%, 满足上述表 3 系统级规划的测试功能需求, 说明该模块已通过设计验证, 达到了预期验证目标。

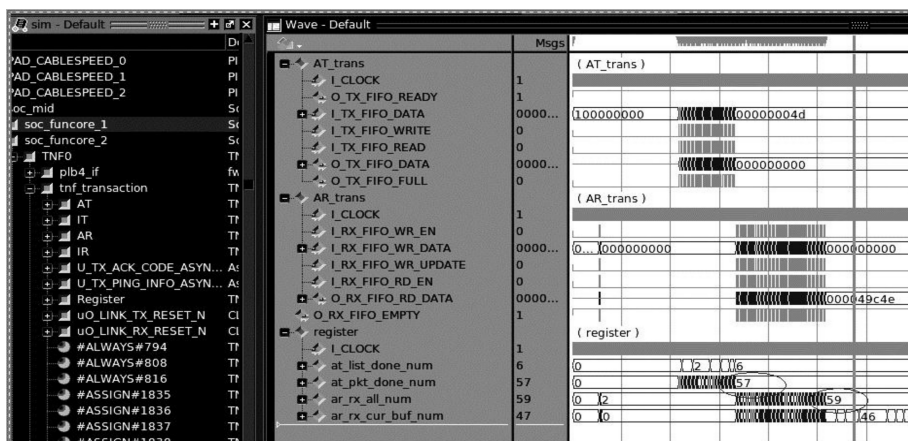


图5 异步发送和接收通信仿真波形

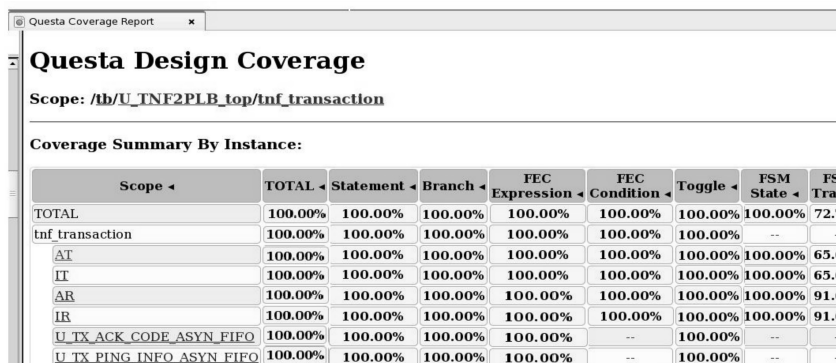


图6 覆盖率报告

## 4 结束语

文中通过对 1394 总线 SoC 系统功能进行分析, 在保证 1394 效率的基础上, 提出一种基于 UVM 的 1394 总线事务层软硬件协同验证方案, 并制定出详细的虚拟验证策略与方法, 搭建基于 UVM 的分层结构验证平台, 给出具体工作原理。最后通过实际仿真测试和覆盖率收集分析可知, 该方案不仅有效满足了系统级验证总体需求, 灵活完成 1394 协议解析, 提高了验证效率, 增强了系统通用性, 还具有易维护、可重用、高效率、灵活等特点。

### 参考文献:

- [1] IEEE Std. 1394bTM-2002. IEEE standard for a high performance serial bus - amendment 2 [S]. New York: IEEE Computer Society, 2002.
- [2] 杨 坤, 徐金甫, 李 伟. 基于 Systemverilog - UVM 的 Mickey 2.0 RTL 级验证[J]. 计算机工程与设计, 2016, 37(10): 2644-2647.
- [3] GONG L K, OLIVER D. Functional verification of dynamically reconfigurable FPGA - based systems [M]. Berlin: Springer, 2015: 63-64.
- [4] 牛玉坤, 孟令琴. 基于 UVM 实现 SD 存储控制器的功能验证[J]. 工业控制计算机, 2017, 30(8): 20-21.
- [5] Mentor Graphics Corporation. Mentor graphics verification academy cookbook [M/OL]. [2017-06-01]. <https://www.mentor.com/company/news/mentor-verification-academy-launches-coverage-cookbook>.
- [6] Accellera. User's guide [M/OL]. [2017-06-01]. <https://www.accellera.org/downloads/standards/uvm/>.
- [7] 邓庆勇, 朱 鹏, 习建博. 基于 UVM 的 DBF 系统模块级可重用验证平台的实现[J]. 微电子学与计算机, 2018, 35(1): 115-117.
- [8] 王国军, 景为平. 基于 UVM 的验证平台设计研究[J]. 微电子学与计算机, 2016, 33(7): 164-168.
- [9] 李晨阳, 宋澎申, 王 涛, 等. 一种基于 UVM 的高层次化验证平台设计[J]. 微电子学与计算机, 2019, 36(6): 79-83.
- [10] 谈 笑, 王小力. 一种基于 UVM 的模块级可重用随机化验证平台构建方法[J]. 微电子学与计算机, 2015, 32(3): 67-72.
- [11] 倪 伟, 王笑天. 基于 UVM 的功能覆盖率驱动 SDIO IP 验证[J]. 微电子学, 2017, 47(3): 392-395.
- [12] SPEAR C. Systemverilog for verification [M]. 3rd ed. Berlin: Springer, 2011.
- [13] ROSEBURG S. A practical guide to adopting the universal verification methodology [M]. [s.l.]: Cadence Design System Inc, 2010: 9-14.