

# 基于 VCD 波形的 FPGA 实物自动化测试技术

许寿全

(江苏自动化研究所,江苏 连云港 222061)

**摘要:**为解决 FPGA 软件测试过程中仿真测试实时性不高和实物测试不充分的缺点,对 FPGA 实物验证环境搭建技术和芯片验证机理进行研究,提出一种基于 VCD 波形的 FPGA 实物自动化测试技术。通过对 VCD 波形数据压缩、转换形成自定义测试向量,解决了输入信号量过于庞大的问题。采用 PCI-E 数据总线和 DMA 数据共享的方式实现自定义测试向量实时传输,并经过数据-引脚映射完成被测 FPGA 芯片真实信号注入,保证了信号的实时性和测试的充分性。信号在真实芯片中运行后,通过采集 FPGA 芯片返回信号,自动完成与 VCD 波形中期望值的比对。在 FPGA 验证平台上进行验证,结果表明,该技术能够在保证测试充分性的基础上自动完成对 FPGA 芯片实物验证,提高了测评效率和测评的真实性。

**关键词:**软件测试;FPGA;VCD;实物自动化验证技术;实时

**中图分类号:**TP31

**文献标识码:**A

**文章编号:**1673-629X(2021)05-0108-05

**doi:**10.3969/j.issn.1673-629X.2021.05.019

## Technique of FPGA Physical Verification Based on VCD Waveform

XU Shou-quan

(Jiangsu Automation Research Institute, Lianyungang 222061, China)

**Abstract:** In order to solve the shortcomings of low real-time simulation test and insufficient physical test in FPGA software testing process, we study the construction technology of FPGA physical verification environment and chip verification mechanism and propose a FPGA physical automatic test technology based on VCD waveform. By compressing and converting VCD waveform data into self-defined test vectors, the problem of too large input semaphore is solved. The real-time transmission of user-defined test vector is realized by PCI-E data bus and DMA data sharing, and the real signal injection of FPGA chip under test is completed through data pin mapping, which ensures the real-time performance of signal and the sufficiency of test. After the signal runs in the real chip, it can automatically complete the comparison with the expected value of VCD waveform by collecting the return signal from FPGA chip. It is verified on FPGA verification platform that the proposed technology can automatically complete the verification of FPGA chip on the basis of ensuring the test adequacy, which improves the efficiency and authenticity of the evaluation.

**Key words:** software test; FPGA; VCD; physical automation verification technology; real time

## 0 引言

随着系统理论<sup>[1]</sup>和装备软件的发展,对芯片的要求越来越高,而 FPGA (field-programmable gate array),即现场可编程门阵列,以其集成度高、功耗低、灵活性高等优点而被广泛应用在通信、数字信号处理、雷达和声呐领域<sup>[2]</sup>。如何降低 FPGA 软件故障率,提高装备质量,保证装备软件可靠运行,变得尤为重要<sup>[3]</sup>,也为软件测评提出更高的要求。

FPGA 软件不同于常规软件,因其与硬件芯片、时钟频率、布局布线有关,需要经过静态分析、时序分析、动态仿真、实物验证等步骤<sup>[4]</sup>。动态仿真<sup>[5]</sup>利用仿真

软件来模仿电路的硬件行为,从而对被测芯片的功能进行验证,因其脱离芯片采用纯软件仿真,无法保证信号实时性,导致测试结果失真,并且后仿真速度慢,影响软件测试效率。而实物验证由于外部信号模拟困难,信号输入灵活性相对软件仿真较差,测试数据范围窄,无法满足软件测试的充分性要求。

为此,该文提出一种基于 VCD 波形的 FPGA 实物自动化验证技术,该技术以 VCD 波形为基础,以硬件芯片为被测对象,既能保证输入信号的高实时性,又能满足灵活性需求。实验结果表明具有较高可信度,是当前 FPGA 软件测评过程的有力补充。

收稿日期:2020-07-09

修回日期:2020-11-11

基金项目:国家自然科学基金项目(61773384)

作者简介:许寿全(1988-),男,硕士研究生,研究方向为 FPGA 软件测试。

## 1 FPGA 软件测试概述

### 1.1 FPGA 软件测试原理

当前 FPGA 软件测评流程主要包括:静态检查规则、跨时钟域检查、功能仿真、门级仿真、逻辑等效性验证、动态时序仿真、静态时序分析、实物验证。其中,软件仿真借助仿真软件编写测试激励 Testbench 模拟信号输入,同时采集被测软件输出信号 VCD 波形,进行结论判定<sup>[6]</sup>。实物验证需要搭建芯片真实运行环境,与外围电路、设备一同运行,通过功能表现验证软件正确性<sup>[7]</sup>。软件仿真和实物验证在一定程度上互为补充,是当前 FPGA 软件测评主要验证手段。但随着装备软件应用范围及应用场景的不断变化,当前验证手段已不能满足对 FPGA 软件测评越来越高的要求。

### 1.2 仿真 VCD 波形文件

IEEE1364 标准(Verilog HDL 语言标准)中定义的一种 ASCII 文件 VCD(value change dump),是通用的文件格式。它主要包含变量的预定义,头信息以及变量值的变化信息。由于它包含信号的变化信息,等同于记录了整个仿真的信息,VCD 文件记录了信号的完整变化信息<sup>[8]</sup>。

VCD 是一种文本文件,可以使用文本编辑工具将其打开,它的结构比较简单,主要包含以下信息:

- (1) 仿真工具名称及版本信息;
- (2) VCD 文件仿真生成时间;
- (3) 时间分辨率(timescale):表示时间单位和精度;
- (4) 信号的定义:每个信号用一个简单字符来代表,并指出信号的宽度;
- (5) 信号的初始状态;
- (6) 信号的跳变信息,“#”后的数字代表动作时间。

VCD 波形通用性强,易于生成,故本研究拟采用 VCD 波形作为设计输入。

## 2 实物自动化验证平台设计

### 2.1 实物自动化验证技术实现原理

实物自动化验证技术是一种结合仿真技术和实物验证平台的验证技术,主要用来弥补软件仿真和硬件实现之间的缺口<sup>[9]</sup>。软件仿真能够模拟出各种各样的测试激励,通过软件仿真器生成 VCD 波形文件。实物验证平台的软件部分把 VCD 文件中的数据提取出来,传给平台上的母板,由母板把这些数据转换为实际的电信号,发送给被测 FPGA<sup>[10]</sup>。被测 FPGA 的响应又通过母板上的数据采集电路读回上位机,在上位机中进行数据的整理和比较<sup>[11]</sup>,来验证被测 FPGA 的实际行为和仿真过程中的行为的一致性,具体实现流程见

图 1。实物自动化验证技术在生成测试激励时,采用的是和原设计相同的时钟,能够完全模拟出硬件电路的工作状态,而不是仿真中的软件计算和仿真加速器中的降频,使被测电路能够得到最大程度的可靠性验证。

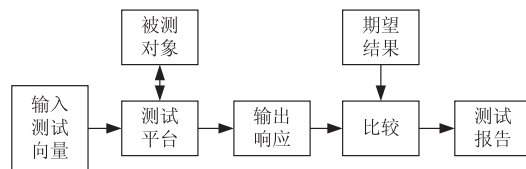


图 1 实物自动化验证原理

### 2.2 实物自动化验证平台架构

实物自动化验证平台架构如图 2 所示,它向被测测试对象施加输入激励,采集输出结果,并将其与期望结果相比较,如果采样输出与期望结果不一致,系统将生成错误报告。本验证平台的母板采用 XILINX Virtex-7 系列芯片(xc7v585t),该芯片具有丰富的 I/O 口和可用于存储测试向量和响应数据的 28 Mbit 的 RAM,同时集成 COMe 模块、DDR3 模块、PCI-E 总线<sup>[12]</sup>和 FMC 接口等。计算机将 VCD 波形文件通过 PCI-E 总线传至 COMe 模块,VCD 波形数据在 COMe 模块中被转换、生成测试向量,随后测试向量在 FPGA 芯片处被转化为测试激励,测试激励经 FMC 接口映射到 DUT 引脚上。读取响应结果的过程则相反,FPGA 通过 FMC 模块读取 DUT 的响应数据,并将采集到的响应数据与预期值进行比对,最后将验证结果返回计算机端进行显示<sup>[13]</sup>。

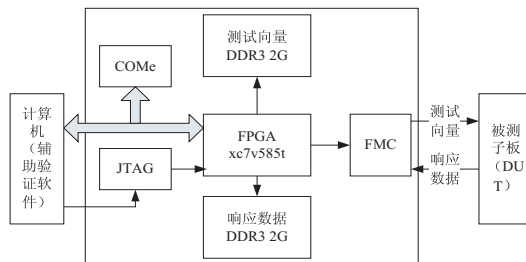


图 2 实物自动化验证平台架构

### 2.3 关键技术

#### 2.3.1 VCD 波形压缩转换技术

VCD 波形的压缩和转换过程如图 3 所示。

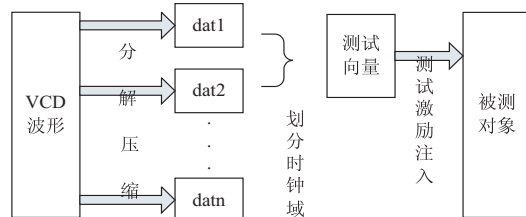


图 3 VCD 波形压缩转换过程

首先 VCD 波形被压缩分解成多个 dat 文件,再根据时钟域的划分选择其中的部分 dat 文件,将这些 dat

文件打包为测试向量,最后将测试向量通过验证平台生成测试激励注入到被测对象中。

#### (1) VCD 波形分解压缩技术。

VCD 波形文件包含了全部仿真信息,但信号并非每个时刻都在反转,在对数据存取时,只需要记录数据变换的过程,就可以完整地复现信号。通过对 VCD 波形文件内部的变量进行提取,生成单变量的 dat 数据文件。dat 文件是单引脚波形变化信息,在生成过程中,只需对引脚信号的变化时刻和对应值进行记录,从而实现信号的压缩<sup>[14]</sup>。

波形压缩转换技术使母板上的 FPGA 能够通过硬件电路对信号进行完整的复原,并且避免了每一时刻都需要对所有信号进行记录的状况,使系统的整体性能得到提高,确保了信号能够被以全速率进行发送和采集。这种技术也巧妙地避开了数据存储和传输的性能瓶颈,使系统能够以线速生成激励、采集响应。

对于存在多个时钟域的待测对象,按时钟域将接口信号划分为相互独立的若干组,每组接口信号均包含 inout、input 和 output 信号。对于验证平台,同样以时钟域将 Test pattern 划分为若干组,每组 pattern 对应时钟域接口信号的驱动。时钟域的划分方法如下:

(a) 根据时钟域 pattern 被划分为若干个子 pattern,例如 pattern\_1、pattern\_2、pattern\_3、pattern\_4,每个 pattern 对应一组测试接口信号,子 pattern 之间相互独立,每个子 pattern 具有完整的帧结构;

(b) 根据时钟域将 pattern 加载、存储,划分为不同组,例如 group1、group2、group3、group4;

(c) 每个 group 均包含若干个 PIN\_INOUT、PIN\_DRIVE 和 PIN\_CAPTURE 信号;

(d) CLK 模块提供多个时钟,例如 clk1、clk2、clk3、clk4;

(e) 根据每个 group 中信号的时钟,配置寄存器中 group 的时钟,例如,如果 group 信号处于不同时钟域,可以 group1 选 clk1,group2 选 clk2,group3 选 clk3,group4 选 clk4;如果某两个或多个 group 处于同一时钟域,可以是 group1/2 都选 clk1,group3/4 选 clk2,等等。

#### (2) 测试向量生成技术。

测试向量由 VCD 波形文件转化得到,软件将测试向量发送到验证平台,验证平台将其转化为激励向量,实现输入文件到测试激励的转化。首先定义报文,报文根据输入文件的信息结构特征和验证平台的工作原理进行设计。报文定义如图 4 所示。

(a) 将测试向量定义为帧结构,由帧头和若干条描述行组成;

(b) Pattern\_frame\_header[31:0]: 定义测试向量的基本信息,包括描述行总数目、测试向量的归属时钟域等;

(c) Pattern\_line\_header[7:0]: 定义描述行的基本信号,包括保持周期数等,对于有判断期望值的行保持周期数必须为 1;

(d) Pattern\_drive[1:0]: 定义 PIN\_DRIVE 信号的驱动值,00 保持原值,01 驱动为高阻,10 驱动为低电平,11 驱动为高电平;

(e) Pattern\_capture[1:0]: 定义 PIN\_CAPTURE 信号的期望值判断,00: 不关心,01: 不关心,10: 判断并且期望值为低电平,11: 判断并且期望值为高电平;

(f) Pattern\_inout[2:0]: 定义 PIN\_INOUT 信号为驱动或期望值,Pattern\_inout[2] 为方向位,0: 驱动信号,1: 期望值判断;Pattern\_inout[1:0] 定义与 Pattern\_drive[1:0] 一致。

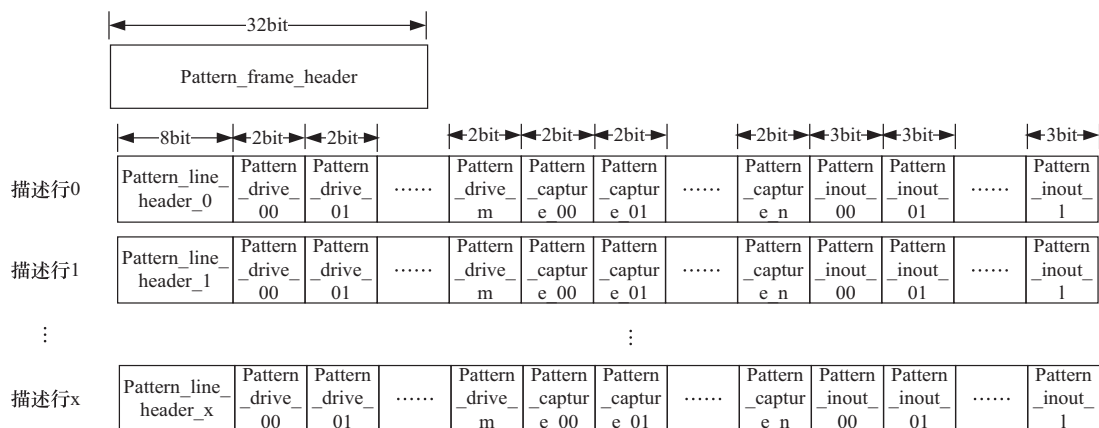


图 4 测试向量报文

#### (3) 测试激励注入技术。

测试向量文件采用 FPGA 片上的 block RAM 搭建双端口 DPRAM 组来存储,DPRAM 一端处于 PCI-E

slave 用户接口时钟域,接受来自 pattern\_load\_ctrl 写入的数据;另一端处于 PIN 的时钟域,读出数据给 pin\_ctrl,用于控制 PIN 的驱动和获取,将测试向量映射到

对应引脚,完成测试激励注入,注入过程如图 5 所示。

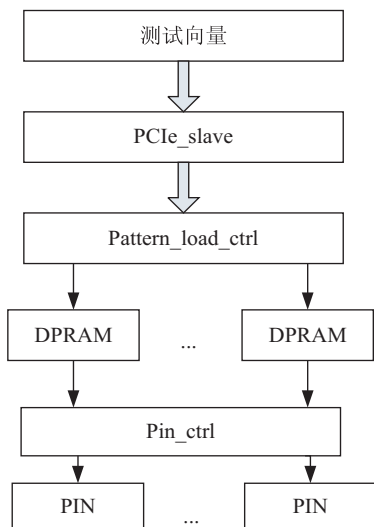


图 5 测试激励注入过程

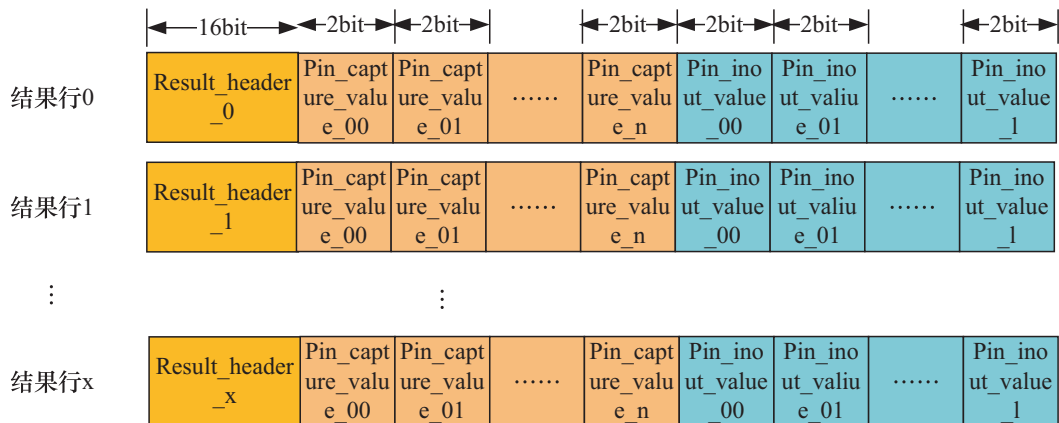


图 6 测试结果报文

(a) 测试结果文件由若干结果行构成;

(b) 含有判断期望值的描述行的所有 PIN\_CAPTURE 信号的真实值,记为 PIN\_CAPTURE\_VALUE[1:0],和 PIN\_INOUT 信号的真实值,记为 PIN\_INOUT\_VALUE[1:0],构成一个结果行;

(c) PIN\_CAPTURE\_VALUE[1:0]:00,低电平,01,高电平,10/11,高阻;

(d) PIN\_INOUT\_VALUE[1:0]:00,低电平,01,高电平,10/11,高阻;

(e) 每条结果行包含一个 Result\_header[15:0],[15]标记是否有判断期望值不一致的信号,1:有错,0:无错,[14:0]为对应描述行序号值;

(f) 由结果行头位置信息可以定位到测试向量的某条描述行,可以得到判断信号的期望值和真实值。

(3) 测试报告的生成方法。

结合测试向量和测试结果文件,根据测试结果文件每条行头标记的描述行序号,将测试结果与测试向量文件进行匹配,标记出测试向量文件中所有包含判断期望值信号的真实值,得到测试报告<sup>[15]</sup>。

### 2.3.2 输出波形分析比较技术

(1) 被测对象输出波形采集。

测试结果文件采用 FPGA 片上 block RAM 搭建双端口 DPRAM 组来存储。DPRAM 一端接受 pin\_ctrl 写入的测试结果数据,处于 PIN 的时钟域,另一端读出数据给 result\_read\_ctrl,处于 PCI-E\_slave 用户接口时钟域,采集过程与测试激励注入过程相反。

(2) 验证结果文件的报文定义。

验证结果文件是由验证平台生成的,它的输入为被测对象的各输出引脚波形。验证平台要处理这些波形,包括存储、格式转换和发送等操作。

输出波形到验证结果文件的转化要结合波形信息特征和验证平台工作的原理进行。由于使用的是波形,这与测试向量的生成方式类似,因此对验证结果文件的报文定义如图 6 所示。

## 3 实验验证

实物自动化验证平台包含子板和母板,外部连接辅助计算机。

首先通过 PCI-E 接口接收 VCD 波形文件,验证平台将其压缩转换为测试向量,测试向量如图 7 所示。

然后,向测试向量文件中 mem[4]、mem[6] 注入错误行,通过验证平台将测试向量加载到被测 FPGA 芯片。随后验证平台读取从被测 FPGA 上返回的输出数据,经过与期望值比较,得到验证报告,结果显示在列表中。

点击结果列表,可显示验证平台波形,通过与注入错误行前的原始波形比较,可定位问题。注入错误行前原始波形和注入错误行后波形如图 8 所示。

注入错误行前,波形图中 cap\_error\_valid 信号一直为低电平,实测结果与期望一致。测试向量注入错误行后, cap\_error\_valid 信号出现两处高电平,导致两处错误,两处错误的期望值分别为 0x00、0x03,真实值分别为 0x02、0x01。

