

混合忆阻器-CMOS 逻辑运算的优化设计研究

冯朝文,白 鹏,杨晓阔,危 波

(空军工程大学 基础部,陕西 西安 710051)

摘 要:基于混合忆阻器-CMOS 设计成的典型逻辑门在输出端的忆阻器存在泄露电流,导致运算输出信号幅度产生衰减,引起多级互联电路逻辑运算混乱甚至出错。为了解决这一难题,文中提出采用变形逻辑运算表达式,以 CMOS 反相器可实现的“非”逻辑操作完成输出端信号传递这一方案,改进了电路运算设计结构但不改变电路运算的复杂度。进而以“异或”、“异或非”逻辑门和一位全加器为例,以理论分析、新电路结构设计和 PSpice 软件模拟仿真三者共同验证了该方案的有效性。研究表明,该方案很好地解决了级间连接忆阻器的泄露电流,有效降低了逻辑运算信号的衰减现象,且改进设计的电路逻辑功能正确,运算准确性得到提高,输出信号低电平近似为 0 V,高电平达 1.8 V,均接近理想值,有利于实现新型高性能复杂逻辑运算的设计、开发和大规模集成应用。

关键词:混合忆阻器-CMOS;逻辑门;信号衰减;全加器;暂态响应

中图分类号: TN4

文献标识码: A

文章编号: 1673-629X(2019)12-0044-05

doi: 10.3969/j.issn.1673-629X.2019.12.008

Research on Optimization Design of Hybrid Memristor-CMOS Logic Operation

FENG Chao-wen, BAI Peng, YANG Xiao-kuo, WEI Bo

(Department of Basic Science, Air Force Engineering University, Xi'an 710051, China)

Abstract: There is leakage current flowing through the memristors at the output end of typically designed logic gates designed with hybrid memristor - CMOS circuits, which results in the operational output signal attenuation and the multilevel interconnection logic operation confused or even wrong. In order to settle the problem, a new design scheme is proposed, which is that the transformed logical operation expression is used to complete the signal transmission at the output end by 'NOT' logical operation realized by CMOS inverter. The operation design structure of the circuit is improved without changing the circuit operation complexity and the attenuation of the output signal is effectively reduced. Then, taking 'XOR' 'NXOR' logic gates and one-bit full adder for example, the effectiveness of the scheme is verified by theoretical analysis, new circuit design and PSpice software simulation. The research shows that leakage current through the interstage memristors is restrained and logical operation signal attenuation is eliminated in this scheme. Also, the improved design circuits have correct logic function and high accuracy of logic operation with the low level of the output signal near 0 V and the high level up to 1.8 V, all of which are close to the ideal value. So, the scheme is beneficial to the design and development of new high-performance complex logic operations and large-scale integrated applications.

Key words: hybrid Memristor-CMOS; logic gate; signal attenuation; full adder; transient response

0 引 言

传统 CMOS 技术^[1]发展由于受到各种物理限制变得越来越困难,因此需要其他方法来制造更高性能的内存和逻辑应用程序,其中一个可行的候选新器件是忆阻器。1971 年,Chua 根据电荷与磁链的关系推测出存在第四种基本电路元件,并把该元件命名为忆阻器^[2]。2008 年,HP 实验室的 Williams 团队制备出一

种二氧化钛纳米级器件在物理上实现了忆阻器,并把这一成果发表在《Nature》期刊上,随后成为物理和电子技术界内的研究热点^[3]。忆阻器以其优异的非易失性、抗疲劳性强、能耗低、工作速度快、集成度高以及与 CMOS 工艺兼容性等优点^[4-7],广泛应用于电路设计^[8]、混沌系统^[9]、非易失性存储器^[10]和神经网络^[11]等领域。

收稿日期:2019-01-18

修回日期:2019-05-23

网络出版时间:2019-11-13

基金项目:国家自然科学基金青年科学基金资助项目(61401498)

作者简介:冯朝文(1983-),男,博士,讲师,硕导,通讯作者,研究方向为微纳电子器件及其电路。

网络出版地址: <http://kns.cnki.net/kcms/detail/61.1450.TP.20191113.0859.002.html>

忆阻器的数字电路设计和应用一直是一个热点研究方向。忆阻器可用于逻辑电路^[12-13]、逻辑阵列^[13-14],以及其他如 PLA、PMLATLA^[13,15]、忆阻器-CMOS 混合^[16-17]、FPGA 类忆阻器系统^[18-19]等。研究人员对不同的忆阻器组合行为(并行、反并行、串联和反串联)进行了详细研究,发现忆阻器可以用于构成实质蕴含操作的逻辑门设计^[12]。但是,这类设计中的“与”“或”“非”逻辑门需要多个实质蕴含操作步骤,运算比较复杂且消耗大量时间,易造成计算误差累积^[15]。另外,与传统 CMOS 技术相比,忆阻器-CMOS 混合电路虽然具有功耗低、物理面积小、运行速度快等优点^[5-6],但这类逻辑电路由于潜通路存在信号衰减问题,并随着电路规模的增大,可能导致逻辑混乱和故障^[17]。因此,忆阻器的逻辑电路设计需要折中考虑到结构、面积、功耗、运算速度、性能优劣等多种因素。文中基于忆阻器模型的特点,分析指出基本已有忆阻器-CMOS 混合逻辑门设计存在的缺陷,进而提出一种通过变型逻辑运算表达式对应改进电路结构的方案解决信号衰减这一问题。

1 混合忆阻器-CMOS 逻辑门及其信号衰减分析

忆阻器是一种二端元件,本质上是描述磁链和电荷之间关系的器件,而实际电路设计和应用中,通常反映了电压和电流之间一种连续动态变化关系,其瞬时电阻取决于流过它的电流的历史。忆阻器的极性用粗黑线表示,当电流从极性端流向忆阻器另一端时,忆阻器的电阻减小;反之,电阻增大,如图 1 所示。

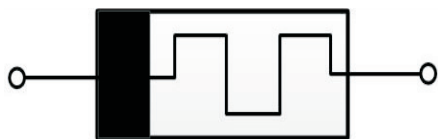


图 1 忆阻器符号

纳米交叉线存储器是集成忆阻器件中最常见、最成熟的电路结构,且读写纳米交叉线存储器多用于实现集成状态逻辑函数运算^[20-23]。状态逻辑运算是由 HP 实验室^[12]提出的,它利用忆阻器的电阻状态来表示逻辑运算的输入和输出。这类结构普遍存在潜通路问题,泄漏电流会干扰正确的读写操作,使得位线电压不能达到正常电压值,不同位线之间的串扰也影响正常的运算过程。对于潜通路电流问题的一种可能的解决方案是将不相关的字线连接到一个固定电压上进行保护,使得每个位线的电压电平相互独立。但在这种情况下,该固定电压本身会影响位线的电压值。因此,应谨慎选择该固定电压值,使其对操作过程的影响尽可能小^[21]。另一种解决方案是将一个双向二极管串

联在每个忆阻器上,隔离所有不相关的忆阻器,但这将导致更复杂的电路结构和更高的硬件成本^[22]。

忆阻器与 CMOS 混合的逻辑电路或系统设计与应用也是一个研究热点。文献[7]最早提出忆阻器-CMOS 混合逻辑电路并进行一系列逻辑门设计。基本的布尔逻辑运算“与”和“或”逻辑门是由两个忆阻器按照极性反向串联而成,如图 2(a)、(b)所示。 A 和 B 是两个忆阻器 M_1 和 M_2 的输入信号, V_{AND} 和 V_{OR} 是输出信号。

如果将两个逻辑门的输入 A 和 B 同时设定为逻辑态 1(或 0),即两个输入端均与高电平 V_{CC} 相连(或均接地),由于串联的忆阻电路中没有电流流过,所以 V_{AND} 和 V_{OR} 将输出高电平(或低电平),即逻辑态 1(或 0)。

如果输入端 A 和 B 设定为相反的逻辑状态,即 $A = 1, B = 0$ 或 $A = 0, B = 1$ 。

前一种情况, A 接高电平 V_{CC} , B 接地。对于“与”逻辑门而言,电流从忆阻器 M_1 流向 M_2 , M_1 的电阻逐渐增大到 R_{off} , M_2 的电阻逐渐减小到 R_{on} (这里 R_{off} 与 R_{on} 分别为忆阻器的最大值和最小值)。由欧姆定律以及串联电路电压分配关系,当 R_{off} 远大于 R_{on} 时($R_{off} > 10 R_{on}$), V_{AND} 输出低电平,即逻辑态 0。对于“或”逻辑门而言, M_1 的阻值逐渐减小到 R_{on} , 忆阻器 M_2 的阻值逐渐增大到 R_{off} , V_{OR} 将输出高电平,即逻辑态 1。

后一种情况,电流则从 M_2 流向 M_1 ,分析方法相同, V_{AND} 输出低电平,即逻辑态 0,而 V_{OR} 将输出高电平,即逻辑态 1。

忆阻器模型有电流阈值型^[23]和电压阈值型^[24],相比于电流阈值型,电压阈值型更利于逻辑电路或阵列的设计和信号控制。

电压阈值型开关忆阻器数学模型^[25]方程如下:

$$dR/dt = f(V_M(t))W(R, V_M(t)) \quad (1)$$

$$f(V_M(t)) = \beta(V_M(t) - 0.5(|V_M(t) + V_T| - |V_M(t) - V_T|)) \quad (2)$$

$$W(R, V_M(t)) = \theta(V_M(t))\theta(R_{off} - R) + \theta(-V_M(t))\theta(R - R_{on}) \quad (3)$$

其中, R 为忆阻器电阻; $V_M(t)$ 为忆阻器两端电压; V_T 为阈值电压;参数 β 为描述电阻变化率的正值常量; $f(\cdot)$ 为建模忆阻器阈值电压特性的函数; $W(\cdot)$ 为窗函数; $\theta(\cdot)$ 为忆阻值在 $[R_{on}, R_{off}]$ 范围内变化的阶跃函数。

设置参数: $\beta = 10^{14}$, $V_T = 0.2 \text{ V}$, $b = 10^{-5}$, $R_{off} = 20 \text{ k}\Omega$, $R_{on} = 1 \text{ k}\Omega$, $V_{CC} = 1.8 \text{ V}$ 。以逻辑输入 $A = 0101$ 和 $B = 1100$ 为例,利用 PSpice 电路仿真软件对“与”逻辑门和“或”逻辑门进行功能仿真,可以得到各自输出的暂态响应功能波形,如图 2(c)所示。

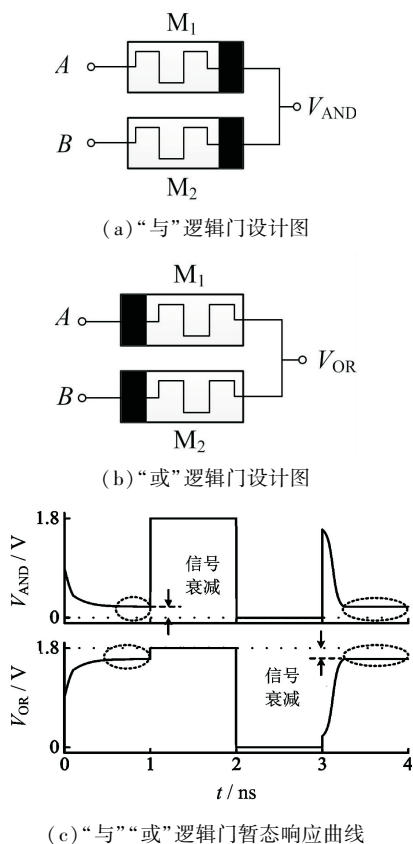


图2 忆阻器“与”逻辑门和“或”逻辑门

由图 2(c) 仿真结果可见,无论“与”逻辑门还是“或”逻辑门,当输入 A 和 B 均为高电平,即逻辑 1 时,输出逻辑为 1,且对应输出高电平非常接近 1.8 V,与输入电压基本相等。当输入 A 和 B 均为低电平,即逻辑 0 时,输出逻辑为 0,对应的输出低电平为 0 V。但当 A 和 B 两个输入逻辑态不同,即 $A=0, B=1$ 或 $A=1, B=0$ 时,“与”逻辑门输出逻辑 0 对应的低电平信号减弱,明显大于理想输出状态 0 V,而“或”逻辑门输出逻辑 1 对应的高电平信号也减弱,明显小于理想输出状态 1.8 V,因而产生了逻辑输出信号衰减现象,对应于图中椭圆虚线圈标注区域。这对于逻辑门多级互联设计非常不利。究其原因,当输入端逻辑态不同时,两个忆阻器中有电流通过,对互联的下一级逻辑门会产生电流泄露,进而引起本级逻辑输出发生一定误差。由于误差累计效果,最终导致逻辑门多级互联时输出发生逻辑混乱甚至出错。

忆阻器-CMOS 混合逻辑电路的“非”门是由 CMOS 反相器实现,进一步结合忆阻器构成的“与”和“或”逻辑门就可以设计任意二进制逻辑运算电路。在基于忆阻器-CMOS 混合设计的典型逻辑电路中同样存在级间互联的逻辑信号衰减问题。图 3 所示为基于混合忆阻器-CMOS 的“异或”和“异或非”典型逻辑门设计图及其功能仿真曲线。其中,参数设置同图 2,逻辑输入设为 $A=0101, B=1100$ 。

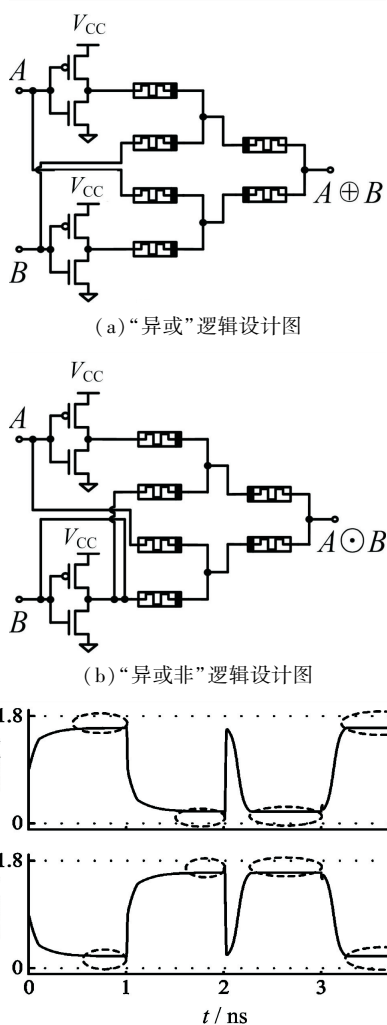


图3 “异或”和“异或非”典型逻辑门电路

由图 3(c) 可见,两个逻辑门的输入端无论是哪种逻辑态组合,输出端的逻辑态电平都会产生信号衰减现象,对应于图 3(c) 中椭圆虚线圈标注的区域。

2 降低信号衰减的逻辑电路新设计

忆阻器在逻辑电路中潜通路泄露电流的存在关系着电路逻辑信号处理的正确性以及传输的准确性,影响着运算功能及其性能优劣,所以忆阻器逻辑电路的设计非常重要。

CMOS 反相器是数字逻辑电路中的一个基本逻辑电路模块,具有放大和反相功能,可以实现逻辑运算的“非”功能。在电路级联时,CMOS 反相器可当作级间信号隔离器,使前后级信号不发生衰减或使信号衰减减小,又可以实现信号的恢复。因此,为了解决基于忆阻器-CMOS 逻辑电路中的信号衰减问题,文中提出一种改进基于混合忆阻器-CMOS 的“异或”、“异或非”等基本典型逻辑门结构的设计方案,即变换逻辑运算表达式,在电路输出端连接 CMOS 反相器并进行结构

优化,实现对输出信号的恢复,从而降低甚至消除信号衰减。

2.1 “异或”和“异或非”逻辑门新结构设计

在数字逻辑电路中,逻辑函数的表达式决定了电路的拓扑结构,不同的表达式对应不同的电路结构。例如,“异或”和“异或非”逻辑门的经典表达式为式 4 和式 5。观察分析表达式,两者最后一步逻辑操作均为“或”逻辑,由上一节对于忆阻器-CMOS 典型逻辑电路研究可知,输出信号发生衰减将不利于多个逻辑门互联。

$$V_A \oplus V_R = \overline{V_A} V_R + V_A \overline{V_R} \quad (4)$$

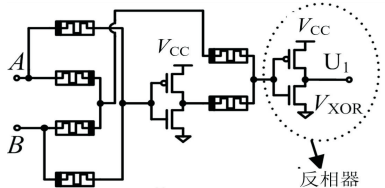
$$\overline{V_A \oplus V_B} = \overline{V_A V_B + V_A + V_B} \quad (5)$$

如果将逻辑表达式进行变形,令最后一步操作为“非”逻辑操作,对应可用 CMOS 反相器实现。因此,可将式 4 和式 5 分别变形为:

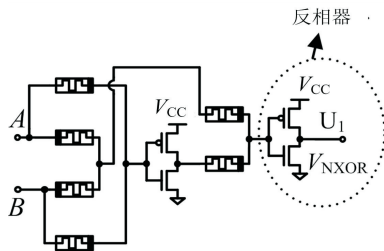
$$\overline{V_A \oplus V_R} = V_A V_R + \overline{V_A} \overline{V_R} \quad (6)$$

$$\overline{V_A \oplus V_D} = \overline{V_A V_D} \cdot (V_A + V_D) \quad (7)$$

根据变形表达式,文中提出了“异或”和“异或非”逻辑门的新设计结构,分别如图 4(a)和(b)所示。与图 3(a)和(b)所示电路相比,虽然忆阻器和 CMOS 反相器的数量相同,但 CMOS 反相器作为逻辑门输出端,一方面完成“异或”和“异或非”的最后一步“非”逻辑操作,另一方面可以确保输出信号不发生衰减。



(a) “异或”逻辑门设计图



(b) “异或非”逻辑门设计图

图4 提出的“异或”和“异或非”逻辑门改进结构

2.2 全加器新结构设计

基于忆阻器的“与”“或”逻辑门和改进后的“异或”“异或非”基本逻辑门可以实现混合忆阻器-CMOS的任意逻辑电路功能。全加器是二进制逻辑电路的基本运算模块,也是复杂数字逻辑运算的基础。文中基于上述四个逻辑门设计一种新的一位全加器电路结构。

设 A 和 B 为二进制逻辑输入, C_{in} 为进位输入, S 为求和输出, C_{out} 为进位输出, 考虑到“异或”逻辑门在全加器结构中的重要作用, 以及每一步组合逻辑运算以“非”为逻辑输出, 全加器的逻辑运算表达式可设计如下:

$$S = A \oplus B \oplus C_{\text{in}} = \overline{(AB + A + B)} \oplus C_{\text{in}} = \overline{(A \oplus B)C_{\text{in}} + (A \oplus B) + C_{\text{in}}} \quad (8)$$

$$C_{\text{out}} = AB + C_{\text{in}}(A \oplus B) = \overline{AB} \cdot \overline{C_{\text{in}}(A \oplus B)} = \overline{AB \cdot C_{\text{in}}(AB + A + B)} \quad (9)$$

进而由逻辑表达式可设计出一位全加器的电路结构,如图5所示。该电路由两个“异或”门、一个“与”门、三个“非”门构成,结构优化前后器件数量不变,复杂度不变,但优化后的信号输出准确性将得到有效提高。

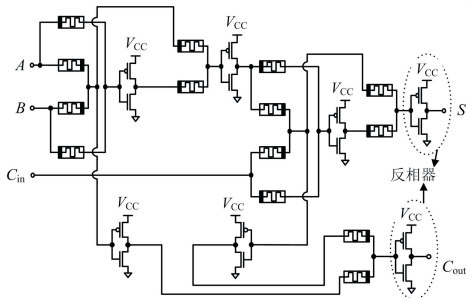


图5 改进后的一位全加器设计结构

3 改进后的忆阻器-CMOS 逻辑电路的仿真验证

设置忆阻器模型参数: $\beta = 10^{14}$, $V_T = 0.2 \text{ V}$, $b = 10^{-5}$, $R_{\text{off}} = 20 \text{ k}\Omega$, $R_{\text{on}} = 1 \text{ k}\Omega$, $V_{\text{CC}} = 1.8 \text{ V}$ 。假设逻辑输入 $A = 0101$ 和 $B = 1100$, 利用 PSpice 电路仿真软件对改进后的“异或”逻辑门和“异或非”逻辑门进行功能仿真, 得到输出暂态响应曲线, 如图 6 所示。与图 3(c) 相比较, 改进后提出的新设计电路逻辑输出分别为 1001 和 0110, 逻辑操作功能正确, 输出信号衰减很少, 高低电平分别达到了 1.8 V 和 0 V 。

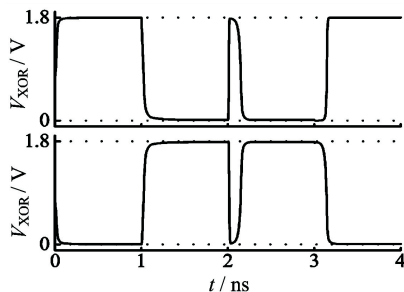


图6 “异或”“异或非”逻辑门改进新结构的暂态响应波形

假设逻辑输入为 $A = 01010101$, $B = 11001100$, 进位输入为 $C_{in} = 11110000$, 电路参数设置同图 6, 对图 5 所示一位全加器改进电路进行功能仿真, 可以得到暂态响应输出波形, 如图 7 所示。

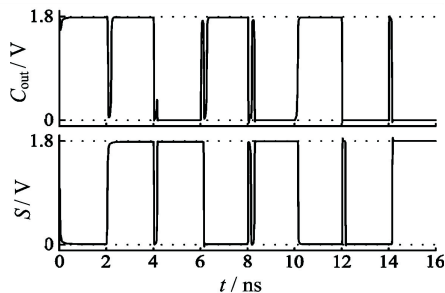


图 7 提出的一位全加器功能暂态响应波形

由图 7 可见, 全加器仿真逻辑运算求和输出 $S = 01101001$, 进位输出 $C_{out} = 11010100$, 逻辑功能正确, 波形上除了在逻辑运算转换时有一些尖峰毛刺波动现象外, 暂态响应没发生信号衰减现象; 无论对于求和输出信号 S 还是进位输出信号 C_{out} , 逻辑输出高电平接近 1.8 V, 低电平近似 0 V, 提出的一位全加器结构能正确执行逻辑运算功能, 验证了所提出的降低输出信号衰减方案是有效可行的, 为进一步由基本逻辑门和全加器构建大规模组合逻辑电路提供新设计思路。

4 结束语

忆阻器作为第四种基本电路元件, 已成为微纳集成电路领域的重要候选者。忆阻器在逻辑电路方面虽然具有天然优势, 但目前仍存在一些需要解决的问题, 其中潜通路泄露电流作为一个重要因素影响着逻辑功能的正确性以及电路集成化设计。文中通过研究四种典型的忆阻器—CMOS 混合逻辑电路揭示了其信号衰减现象甚至逻辑混乱的工作机制, 忆阻器输出端的电流泄露是造成信号输出衰减的主要原因。进而提出一种降低信号输出衰减的方法, 将 CMOS 反相器作为逻辑门级输出, 通过变形逻辑表达式, 以“非”逻辑运算传递级间信号, 避免流经忆阻器的电流发生泄露, 从而解决了信号衰减问题。这一方法通过改进设计“异或”、“异或非”和一位全加器的新结构得到了仿真验证, 不仅避免了多个逻辑电路级联时的输出信号衰减现象, 而且为下一步完善大规模逻辑电路设计及其应用奠定了基础。

参考文献:

- [1] KUHN K J. Considerations for ultimate CMOS scaling[J]. IEEE Transactions on Electron Devices, 2012, 59(7): 1813–1828.
- [2] CHUA L O. Memristor—the missing circuit element[J]. IEEE Transactions on Circuit Theory, 1971, 18(5): 507–519.
- [3] STRUKOV D B, SNIDER G S, STEWART D R, et al. The missing memristor found[J]. Nature, 2008, 453(7191): 80–83.
- [4] YANG J J, STRUKOV D B, STEWART D R. Memristive devices for computing[J]. Nature Nanotechnol., 2013, 8(1): 13–24.
- [5] YANG J J, ZHANG M X, STRACHAN J P, et al. High switching endurance in TaOx memristive devices[J]. Applied Physics Letters, 2010, 97(23): 232102(1–3).
- [6] TORREZAN A, STRACHAN J P, MEDEIROS-RIBEIRO G, et al. Sub-nanosecond switching of a tantalum oxide memristor[J]. Nanotechnology, 2011, 22(48): 485203(1–7).
- [7] XIA Q, ROBINETT W, CUMBIE M W, et al. Memristor—CMOS hybrid integrated circuit for reconfigurable logic[J]. Nano Lett., 2009, 9(10): 3640–3645.
- [8] SHIN S, KIM K, KANG S M. Memristor applications for programmable analog ICs[J]. IEEE Transactions on Nanotechnology, 2011, 10(2): 266–274.
- [9] BAO B C, XU J P, ZHOU G H, et al. Chaotic memristive circuits: equivalent circuit realization and dynamical analysis[J]. Chin. Phys. B, 2011, 20(12): 120502.
- [10] HO Y, HUANG G M, LI P. Dynamical properties and design analysis for nonvolatile memristor memories[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2011, 58(4): 724–736.
- [11] SOLTIZ M, KUDITHIPUDI D, MERKEL C, et al. Memristor-based neural logic blocks for nonlinearly separable functions[J]. IEEE Transactions on Computers, 2013, 62(8): 1597–1606.
- [12] BORGHETTI J, SNIDER G S, KUEKES P J, et al. Memristive switches enable ‘stateful’ logic operations via material implication[J]. Nature, 2010, 464(7290): 873–876.
- [13] ROSE G S, RAJENDRAN J, MANEM H, et al. Leveraging memristive systems in the construction of digital logic circuits[J]. Proceedings of IEEE, 2012, 100(6): 2033–2049.
- [14] VOURKAS I, SIRAKOULIS G C. Memristor-based combinational circuits: a design methodology for encoders/decoders[J]. Microelectronics Journal, 2014, 45(1): 59–70.
- [15] LEHTONEN E, POIKONEN J H, LAIHO M. Applications and limitations of memristive implication logic[C]//2012 13th international workshop on cellular nanoscale networks and their applications. Turin: IEEE, 2012: 1–6.
- [16] MEDEIROS R G, NICKEL J H, YANG J J. Progress in CMOS memristor integration[C]//2011 IEEE/ACM international conference on computer-aided design (ICCAD). San Jose, CA: IEEE, 2011: 246–249.
- [17] KVATINSKY S, WALD N, SATAT G, et al. MRL—memristor ratioed logic[C]//2012 13th international workshop on cellular nanoscale networks and their applications. Turin: IEEE, 2012: 1–6.