

基于 STM32 的多功能数字存储示波器

蒋江红, 张玉梅

(陕西师范大学 计算机科学学院, 陕西 西安 710119)

摘要:针对示波器普遍体积大、不易携带以及价格昂贵等问题,提出了一种基于 FPGA 和 STM32 相结合的便携式数字示波器设计方案。系统主要由前端信号调理电路、触发电路、数据采集和存储和波形显示等模块构成,前端采用的是高性能、用来实现高速数据采集、存储与传输的低功耗芯片 FPGA;系统主控制器部分采用 ARM 系列的 STM32F103 芯片,用来进一步处理和波形重建、显示以及存储。主控制器的软件系统主要由 $\mu\text{c OS II}$ 操作系统和嵌入式图形用户界面 $\mu\text{c GUI}$ 组成,充分保证了整个系统的稳定性和实时性。整个设计实现了存储示波器的所有功能要求,并增加一些实用的功能。信号波形显示和存储的结果以及参数的设计表明,该系统不仅成本低、方便携带,而且具有较高的性能指标,保证了系统在复杂环境下处理信号的效率。

关键词:FPGA;STM32;数字示波器; $\mu\text{c OS II}$; $\mu\text{c GUI}$

中图分类号:TP393

文献标识码:A

文章编号:1673-629X(2019)10-0031-04

doi:10.3969/j.issn.1673-629X.2019.10.007

Multi-function Digital Storage Oscilloscope Based on STM32

JIANG Jiang-hong, ZHANG Yu-mei

(School of Computer Science, Shaanxi Normal University, Xi'an 710119, China)

Abstract: A design scheme of portable digital oscilloscope based on the combination of FPGA and STM32 is proposed to solve the problem that the oscilloscope is generally bulky, difficult to carry and expensive. The system is mainly composed of front-end signal conditioning circuit, trigger circuit, data acquisition and storage, waveform display and other modules. The front-end adopts high-performance FPGA, a low-power chip used to realize high-speed data acquisition, storage and transmission. The main controller part of the system adopts the STM32F103 chip of ARM series to further process and control the reconstruction, display and storage of waveform. The software system of the main controller is mainly composed of $\mu\text{c OS II}$ and $\mu\text{c GUI}$, which fully guarantees the stability and real-time performance of the whole system. The whole design implements all the functional requirements of the storage oscilloscope, and adds some practical functions. The results of signal waveform display and storage, as well as the design of the parameters indicate that the system is not only low cost and convenient to carry, but also has a high performance index, which ensures the efficiency of signal processing in complex environment.

Key words: FPGA; STM32; digital storage oscilloscope; $\mu\text{c OS II}$; $\mu\text{c GUI}$

0 引言

传统数字存储示波器普遍存在体积大、价格昂贵和不便携带等问题^[1-2],主要是在一些有条件的实验室环境下使用,对于一些条件比较恶劣和环境复杂的场合,使用起来往往比较困难。为了解决这些问题,设计了一种 FPGA 与 STM32 相结合的便携式数字存储示波器系统。由于示波器的性能、复杂度和成本与数据处理端信号的采样、存储和处理有关^[3-4],FPGA 与其他微处理器相比,不仅处理速度较快而且接口资

源丰富^[5-7],因此可以结合 FPGA 在逻辑控制以及高速信号采集方面的优势来提高数字存储示波器的性能。

FPGA 主要包括基准时钟、分频器、门限生成、采样率控制几个功能子模块^[8-9]。另外根据 $\mu\text{c OS II}$ 操作系统和 $\mu\text{c GUI}$ 图形界面系统在 LCD 显示的实时性以及执行任务的灵活性^[10],采用模块化的设计方法,极大地提高了系统在复杂工作环境下进行信号检测的效率。

收稿日期:2018-09-02

修回日期:2019-01-04

网络出版时间:2019-04-24

基金项目:国家自然科学基金资助项目(61741208);陕西省自然科学基金资助项目(2017JM6101)

作者简介:蒋江红(1990-),男,助理工程师,研究方向为嵌入式系统、人工智能;张玉梅,硕士,副教授,研究方向为人工智能。

网络出版地址: <http://kns.cnki.net/kcms/detail/61.1450.TP.20190424.1004.006.html>

1 系统总体方案

整个系统采用 FPGA+STM32 相结合的方式,STM32 作为系统的控制核心^[11],主要完成示波器的信

号分析、处理、变换,系统功能控制和显示操作等工作;数据信号的采集控制和显示控制等工作由 FPGA 完成。系统总体框图如图 1 所示。

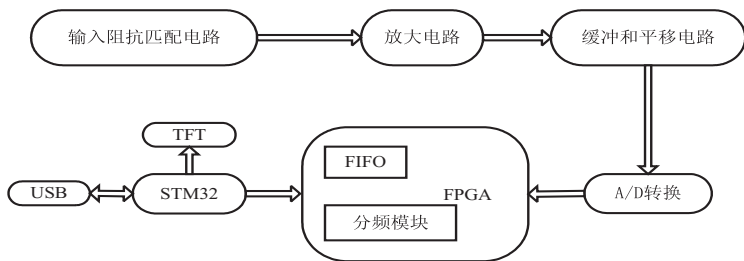


图 1 系统总体框图

2 系统硬件设计

2.1 前端信号调理电路

系统中前端调理电路的作用主要是为了产生适合于进行高速 AD 转换的信号^[12]。该部分由输入阻抗匹配电路、放大电路、信号缓冲电路和电平平移电路组成,其中输入阻抗匹配电路主要是为了避免由于接上的负载干扰电路的正常工作;放大电路的主要功能是适当调整信号的幅度,以便后续电路对信号的处理;信号缓冲电路和平移电路的主要作用是对传输的信号进行处理,以便产生适合 AD 转换的信号。

2.2 上升沿触发信号产生电路

比较电路是上升沿触发信号产生电路的关键组成部分,该电路工作的过程是将输入信号与设定的触发电平即门限电平进行比较,当输入信号的幅度大于设定的阈值时,比较器输出上升沿跳变,形成触发信号,为后续显示提供 FIFO 输出参考^[13]。通过引入正反馈来形成迟滞电平,从而完成迟滞比较和消除噪声干扰。

2.3 AD 数据采集电路及采样分析

数据采集电路中的 AD 芯片选用的是双核 8 位单芯片模数转换器 AD9288。该芯片内置片内保持电路,采用 100 MSPS 转换速率工作,每个通道均可以独立工作。为了简化硬件电路的设计以及消除其他信号的干扰,AD 数据采集中的采样时钟由 FPGA 提供;通过改变采样频率来实现扫描速度的改变。信号的采样分为实时采样和等效采样,为了提高系统的性能,系统将两种方式相结合,当输入信号频率低于 20 MHz 时,选用实时采样;反之,选用等效采样。

2.4 FPGA 电路设计

FPGA 电路主要包括时钟分频电路和 FIFO 电路,通过在 FPGA 内部设计一个分频电路来选择不同的采样频率,确保数据采集系统具有较大的测量范围,利用程序来实现电路的不同分频比,从而使时钟满足 AD 采集需求。为了实现对 AD 采集数据的快速存储,设计大小为 4 096 B 的 FIFO,AD 采集电路开启时,FIFO

开始存储数据^[14-15]。

2.5 中央控制系统的设计

该系统的中央控制器采用的是低功耗的 Cortex-M3 系列的 STM32 芯片^[16],该芯片的最大工作频率为 72 MHz。中央控制器的主要功能是以一定的时钟频率读取 FPGA 内 FIFO 中的数据,并对数据进行相应处理,以便重建信号波形;显示部分使用的是具有触摸功能的 TFTLCD,分辨率为 400 * 240,通过 STM32 的 FSMC 接口来控制该显示器。

3 软件设计及流程图

3.1 FPGA 的程序设计

系统通过 FPGA 进行数据的采集和 AD 转换控制,分为 AD 采样控制模块和 FIFO 读写数据控制模块,其中采样控制模块产生一个时钟信号,控制 AD 工作,以及将 AD 转换后的数据写入到异步 FIFO 中;读写数据控制模块用来控制数据的读和写。FPGA 的程序设计流程如图 2 所示。

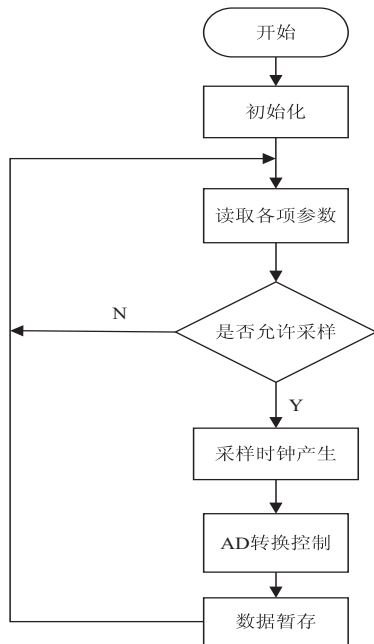


图 2 FPGA 程序设计流程

3.2 示波器参数测量的程序设计

数字存储示波器的参数分为幅度参数和周期时间参数,其中幅度参数是根据各通道的量程来计算,时间参数是依据时基来计算。

根据脉冲参数的定义,在参数测试中只需要知道波形顶值电压、底值电压、10% 电压、50% 电压、90% 电压等几个关键的电压值,就能在此基础上找到对应电压值出现在待测波形数据中的相对位置,从而实现各参数的测试。

3.2.1 频数直方图密度分布众数法

由于波形的顶值和底值可能不是波形的全局最大值,为了较精确地获取波形的底线和顶线数据,采用频数直方图密度分布众数法将出现次数比整个显示点数的 5% 多并且反复出现的点作为最一般常见点,当这种类型的点不存在时,分别将正峰值和负峰值作为波形的顶值和底值。

3.2.2 周期和频率的测量

根据定义可知,通过信号周期可以计算频率,因此可以先测出周期,其倒数即为频率,当信号周期不存在,其频率也不存在。定义计算周期的步骤为:

- (1)信号的顶值和底值是通过直方图方法来确定;
- (2)计算出 50% 电压值: $50\% \text{ 电压值} = \text{底值电压} + (\text{顶值电压} - \text{低值电压}) \times 50\%$;
- (3)对于周期的测量需要找到连续的 3 个数值和 50% 电压值相等的点的屏幕坐标;当没有等于 50% 电压值时,找到与 50% 电压值最接近的点;
- (4) $\text{周期} = (\text{第三个 } 50\% \text{ 点的坐标} - \text{第一个 } 50\% \text{ 点的坐标}) \times \text{单位时间值}$ 。

当时基较小,可以求出所有 50% 点,通过 50% 点的平均值的算法提高精确度;当时基较大时,第三个 50% 点不是第 300 个点时,由于每屏为 300 个点,可以继续寻找下一个 50% 点直到第 300 个点为止。程序流程如图 3 所示。

3.3 主控制器的程序设计

主控制器软件系统的主要功能是读取 FPGA 中采集到的用于波形分析和重建的数据,为了提高系统的实时性和可维护性,系统采用源码公开的 UCOS 多任务实时操作系统,同时充分利用系统底层 CPU 寄存器来编写出高效率可靠的实时应用层代码。

在波形的显示上主要采用嵌入式图形软件 UCGUI,由于其采用模块化的设计,LCD 驱动程序包含了对 LCD 的全部访问接口,因此适用于任何 LCD 控制和 CPU 的任何尺寸的物理和虚拟显示。系统的控制流程如图 4 所示。

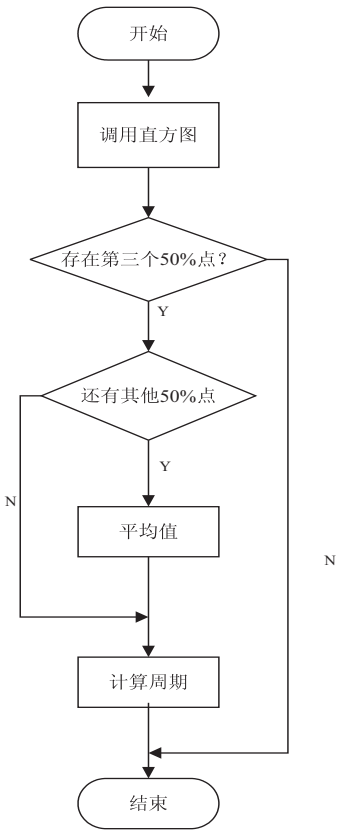


图 3 周期测量流程

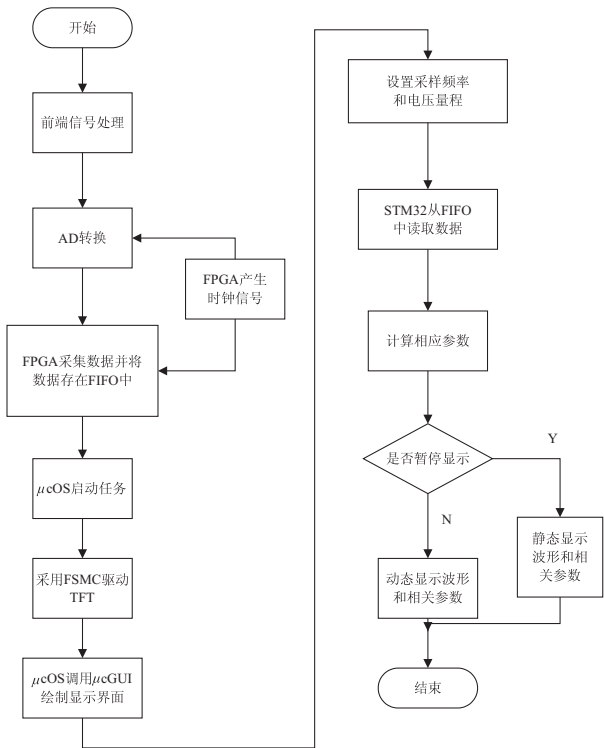


图 4 系统控制流程

4 系统测试及误差分析

基于以上设计和硬件平台,分别进行了水平分辨率测试和垂直灵敏度测试。系统测试如图 5 所示,观察示波器产生的扫描电压以及在信号上升沿开始显示

波形。通过实际观察能够产生扫描电压,并正常显示波形。在垂直灵敏度测试的正弦信号频率为 10 kHz 时,测得的数据如表 1 所示。

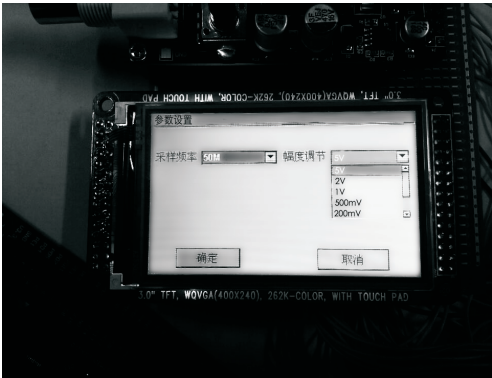


图 5 采样频率和幅度的设置

表 1 频率为 10 kHz 时的测试结果

档位	输入 V_i/V	输出 V_o/V	误差 = $ V_i - V_o / V * 100\%$
1 V/div	7	6.7	4.20%
	4	3.8	5.00%
	2	2.1	5.00%
0.1 V/div	0.8	0.77	3.75%
	0.6	0.62	3.33%
	0.4	0.38	4.00%
0.2 V/div	0.016	0.015 5	3.12%
	0.008	0.008 1	1.25%
	0.004	0.003 9	2.50%

由表 1 数据可知,测量结果都在测量误差允许的范围内,很好地完成了设计任务。

5 结束语

系统在设计中主要有以下三个难点:系统前端调理电路设计,该部分电路设计的好坏是整个系统能否正常运行的关键;触发电路的设计;提高被测波形的相关参数测量的精确度一直都是重点解决的问题。系统的创新主要体现在:一、系统将高速逻辑控制器件与单片机结合在一起,能够将两者的优势发挥出来,分工合作使其设计的效果达到最佳;二、采用高速的 AD 转换芯片,提高了系统的带宽;三、将嵌入式实时操作系统与嵌入式图形界面结合在一起,比较精确地重建了

波形。

参考文献:

[1] 刘 帅,张浩然. 基于 STM32 的便携式多功能数字示波器设计[J]. 微型机与应用,2015,34(15):37-39.

[2] 徐巧玉,李 鹏,王军委,等. 便携式数字存储示波器的设计[J]. 自动化与仪表,2014,29(4):19-22.

[3] 顾雯雯. 基于 Cortex-M4 单片机的多功能虚拟示波器的设计与实现[J]. 现代计算机,2014(36):71-75.

[4] 潘 宇. 基于 FPGA 和 STM32 的脉宽频率测量方法[J]. 实验室研究与探索,2017,36(2):83-86.

[5] 吕俊亚. 一种基于单片机的温度控制系统设计与实现[J]. 计算机仿真,2012,29(7):230-233.

[6] 王占领,张登福,李云杰. 基于 ARM 和 FPGA 的 1553B 总线设备检测系统的设计[J]. 计算机工程与科学,2014,36(6):1005-1010.

[7] CHEEMA U I,NASH G,ANSARI R,et al. MedianPipes:an FPGA based highly pipelined and scalable technique for median filtering[C]//Proceedings of the 2015 ACM/SIGDA international symposium on field-programmable gate arrays. [s. l.]:ACM,2015:275.

[8] 刑立冬,王连民. 基于 SoPC 的数字示波器设计[J]. 现代电子技术,2012,35(6):189-191.

[9] 范君健,吴国东,王志军,等. 基于 FPGA+STM32 的多通道数据采集系统设计[J]. 兵器装备工程学报,2017,38(12):281-286.

[10] STMicroelectronics. STM32F3 and STM32F4 series cortex-M4 programming manua[M]. Switzerland:STMicroelectronics Group of Companies,2014.

[11] Altera Corporation,Inc. Using MicroC/OS-II RTOS with the Nios IIprocessor[M]. State of California:Altera Corporation,2011.

[12] 张丽彪,骆东佳,戚龙基,等. 基于 FPGA 的远程数字示波器的设计[J]. 数字通信世界,2015(6):21.

[13] 徐洋洋. 基于 FPGA 的多通道大容量 FIFO 设计[J]. 电子测量技术,2017,40(8):193-197.

[14] CUMMINGS C E. Simulation and synthesis techniques for asynchronous FIFO design[C]//SNUG 2002. San Jose,CA:[s. n.],2002.

[15] DALLY W J,POULTON J W. Digital systems engineering[M]. Cambridge:Cambridge University Press,2008.

[16] YIU J. ARM Cortex-M3 与 Cortex-M4 权威指南[M]. 吴常玉,曹孟娟,王丽红,译. 北京:清华大学出版社,2015.