

基于 Avalon 总线的音频频谱分析系统设计与实现

姚梦茹 胡永兵 李 慧

(安徽大学 计算智能与信号处理教育部重点实验室 安徽 合肥 230601)

摘 要: 伴随电子与通信技术的发展,数字音频广播、多媒体通信等这些数字音频处理技术在社会上得到了广泛的应用,同时对人们生活的影响日益深远。目前市面上的多数调音器都是使用振动原理的,一些高端的调音器会同时使用声音原理和振动原理配合调音。市面上的乐器声音识别调音器虽然小巧便携,但是在准确性上有待提高,而且现有的调音器的种类比较少。为了提高识别准确率,使识别设备微型化,基于FPGA中的Avalon总线技术和快速傅里叶变换算法,设计实现了一种实时高效的音频频谱分析系统。该系统实时完成了各种音乐信号的识别与分析,克服了传统调音器的限制,可以对多种乐器进行调音,大大提高了乐器的音准,克服了一种调音器只能调节一种乐器的限制,并且提高了调音器的使用率。

关键词: FPGA; Nios II 系统; Avalon 总线; 频谱分析; 快速傅里叶变换

中图分类号: TN919

文献标识码: A

文章编号: 1673-629X(2019)03-0169-04

doi: 10.3969/j.issn.1673-629X.2019.03.035

Design and Implementation of Audio Frequency Spectrum Analysis System Based on Avalon Bus

YAO Meng-ru, HU Yong-bing, LI Hui

(Key Laboratory of Intelligent Computing & Signal Processing of Ministry of Education, Anhui University, Hefei 230601, China)

Abstract: With the development of electronic and communication technology, the digital audio processing technologies such as digital audio broadcasting and multimedia communication have been widely used in society and increasingly profound impact on people's lives. Currently, most tuners on the market use the principle of vibration, and some high-end tuners will use the sound principle and vibration principle to coordinate the tuning. The instruments on the market are small and portable, but they need to be improved in accuracy, and there are fewer existing tuners. In order to improve the recognition accuracy and make recognition device miniaturized, based on the Avalon bus technology in FPGA and the fast Fourier transform, we design and implement a real-time and efficient audio spectrum analysis system. This system can complete real-time identification and analysis for a variety of music signal, overcoming the limitation of the traditional tuner, tuning the many kinds of musical instruments, which can greatly improve the intonation of the instrument and overcome the limit of a tuner only adjusting a musical instrument, with improvement of the efficiency of the tuner.

Key words: FPGA; Nios II system; Avalon bus; spectrum analysis; FFT

0 引言

伴随电子与通信技术的发展,数字音频^[1]广播、多媒体通信等这些数字音频处理技术在人们的生活中产生了深远影响,并且在社会中得到了广泛应用。所谓数字音频技术^[2]是指把模拟声音信号通过采样、量化和编码过程转换成数字信号,然后再进行记录、传输以及其他加工处理;在重放时再将这些记录的数字音频

信号还原为模拟信号,获得连续的声音。数字音频技术的应用领域包括消费电子类数字音响设备、乐器调音、广播节目制作系统、多媒体应用、广播电视数字化等。其中调音器的应用比较广泛。市面上的乐器声音识别调音器虽然小巧便携,但是实时性和准确性却不高,而且现有的调音器的种类比较少,比较常见的是吉他调音器。

收稿日期: 2018-03-06

修回日期: 2018-07-18

网络出版时间: 2018-12-19

基金项目: 国家自然科学基金(61272317)

作者简介: 姚梦茹(1992-),女,硕士研究生,CCF会员(88830G),研究方向为嵌入式系统应用与研究;胡永兵,讲师,研究方向为超精密运动控制/嵌入式系统应用与研究。

网络出版地址: <http://kns.cnki.net/kcms/detail/61.1450.TP.20181219.1510.002.html>

为了提高识别准确率,使识别设备小型化,基于 FPGA^[3] 中的 Avalon 总线^[4] 技术和快速傅里叶变换算法^[5-6],设计实现了一种实时高效的音频频谱分析系统,实时完成各种音乐信号的采集与分析,克服传统调音器的限制。

1 系统总体方案

音频频谱显示系统是基于 Nios II 系统^[7] 实现的。整个系统硬件框图如图 1 所示,包括 ADC 模块、LCD 模块、RAM 模块、Nios II 系统模块。其中 Nios II 是核心,与各外围电路形成完整的主控系统。

音频频谱显示系统的结构框图以及系统总体方案示意如图 1 所示。

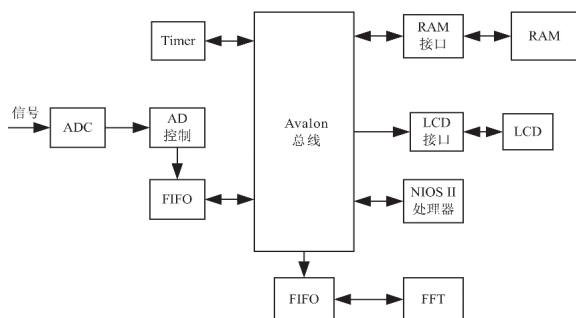


图 1 系统总体方案示意

2 系统硬件设计

整个系统硬件框图如图 2 所示。其中信号采集与信号转换模块主要由芯片 WM8731 实现,主要是对输入的音频信号进行 A/D 转换,输出数字信号到 FPGA 主芯片,以便对其进行快速傅里叶变换。时钟模块为系统各个模块的功能实现提供稳定的时钟信号。电源模块为系统的正常运行提供稳定的电源输入。JTAG 配置模块为系统的代码测试提供帮助。LCD 模块就是显示音乐信号经过处理后的音频频谱,能有直观清晰的频谱感受。

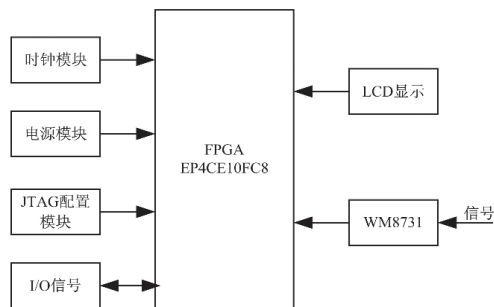


图 2 系统硬件设计框图

系统使用的 FPGA 芯片是 Cyclone IV E。Altera 公司的新型 Cyclone IV 系列^[8] FPGA 设备在低成本和低功率 FPGA 市场上已经整合了 Cyclone 系列。Cyclone IV 具有高容量性能,能够很好地应用于程序设

计,使系统开发者在降低成本的同时,又能满足逐渐变大的带宽需求。FPGA 外围电路设计主要包括:配置下载电路、时钟电路、A/D 转换电路。文中设计采用了 JTAG 下载配置^[9] 方式。时钟模块使用的芯片是 PCF8563,该模块结合 PLL 的 IP 核将板卡自带的 50 MHz 单端有源晶振倍频或分频成多个不同时钟,给各个模块使用。其中 WM8731 的 I2C 配置模块使用 50 MHz 时钟;WM8731 的 I2S 转换模块使用 18.38 MHz 时钟;FFT 计算 IP 使用 18.38 MHz 时钟;TFT_LCD 显示软件则使用 40 MHz 时钟。A/D 转换模块使用的是 WM8731 音频编解码芯片。WM8731 带有麦克风输入,音频输入和音频输出端口,音频采样率从 8 kHz 到 96 kHz 可设置。该芯片使用 I²S 接口传输音频,使用 I²C 接口接受 FPGA 的控制。

3 FPGA 程序设计

FPGA 程序设计是系统的核心,该设计中使用 Verilog HDL^[10] 语言采用自上而下的设计方法,顶层模块包含四个功能模块,分别是音频采集与编解码模块、FIFO 缓存模块、FFT 数据处理模块、TFT_LCD 频谱显示模块。各功能模块在 Altera 公司的 Quartus II 13.0 软件下采用 Verilog HDL 语言设计完成,并在 Modelsim 软件下编写 Testbench 进行仿真测试。

3.1 音频采集与编解码

该模块为通过两线制的时序写 WM8731 的寄存器,在该系统中,数据访问采用 16 位分辨率和 I²S 模式。在 I²S 模式下,ADC 输出数据的时序如图 3 所示。有效数据在 adclrc 发生电平变化后的第二个 bclk 电平发生变化的位置。adclrc 是校准时钟,用来表明是使用左声道数据还是右声道数据。当 adclrc 变成低电平时,输出的是左声道数据,反之,当 adclrc 为高电平时说明输出的是右声道数据。位时钟是 bclk,在它的下降沿时会输出一个新数据,最先输出的是最高有效位。

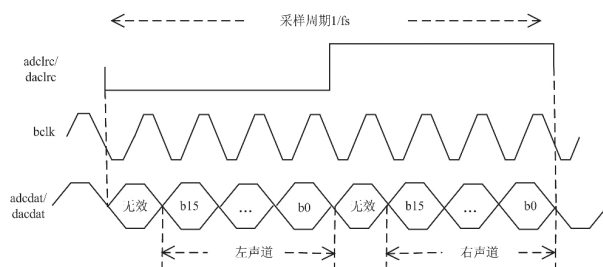


图 3 I²S 模式下 ADC/DAC 数据时序

3.2 FFT 数据处理模块

该系统使用了两种加窗算法^[11-12],分别是矩形窗和汉宁窗。由于采样的时候,每次至少采样 128 个点,然后对 12 个点进行 FFT 处理,这相当于加入了矩形窗;汉宁窗的作用是能有效压低旁瓣。在程序中,对于

采集过来的时域信号分别进行加窗 程序如下所示:

```
void win_hanning( long int win [])
{
    int i;
    for( i=0; i<512; i++)
    {
        win[i]=( long int) win[i]* hcos[i] ;
    }
}
```

其中 $h_{\cos}[]$ 是加窗的系数数组, 在初始化已经进行计算, 程序如下:

```
for( i=0; i<512; i++)
{
    hcos[i]=0.5-0.5* cos( 0.012 271 85* i ) ;
}
```

3.3 LCD 显示模块

LCD 控制器^[13]是非常重要的外围片上设备,通过 LCD 控制器来完成处理器对显示驱动器的控制,最终完成 LCD 屏的点亮操作。因为 LCD 显示驱动器仅仅是一个被动系统,所以还需要有一个控制电路来提供驱动系统所需要的扫描时序信号以及显示数据。通过对 LCD 控制器进行操作,处理器完成对 LCD 显示设置扫描时序和写入显示数据,从而实现对 LCD 的显示。

4 NIOS II 系统的搭建

该课题的核心是在 FPGA 芯片上设计一个基于 Nios II 的音频频谱分析系统,利用 Qsys^[14-15]将处理器、存储器以及其他外设模块连接起来构成一个完整的系统。在该系统中,使用了已有的外设 IP 核模块,也构造了自己的 IP 核模块。该系统由 Nios II 处理器、onchip_memory、jtag_uart、fifo、fft 等模块组成,如图 4 所示。

使用 MegaWizard 插件管理器来创建和修改含有定制 IP 核的设计文件,并且在设计文件中例化 IP 核。可以利用 MegaWizard 插件管理器来创建、定制与例化 IP 核、参数化模型库(LPM) 模块,并且可以在 Quartus II 软件、EDA 设计的入口和综合工具中使用 IP 核。该系统配置了 PLL、FIFO、RAM、FFT 的 IP 核,从而搭建出了 Nios II 系统。

5 系统测试

针对系统中的核心模块——音频编解码模块进行测试。当把系统程序下载到电路板上之后,用 Quartus II 软件自带的 SignalTap 逻辑分析仪对 WM8731 的数据接口模块进行逻辑分析,抓捕信号,结果如图 5 所示。观察波形可知,当 16 位的输入数据信号 DATA_In 开始传输 16 位的数据时,输出数据信号 DATA_In

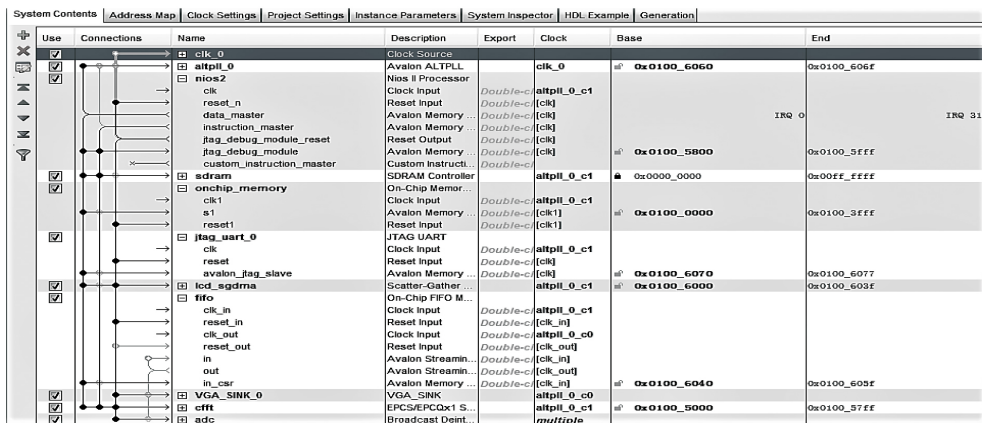


图4 Nios II系统的搭建

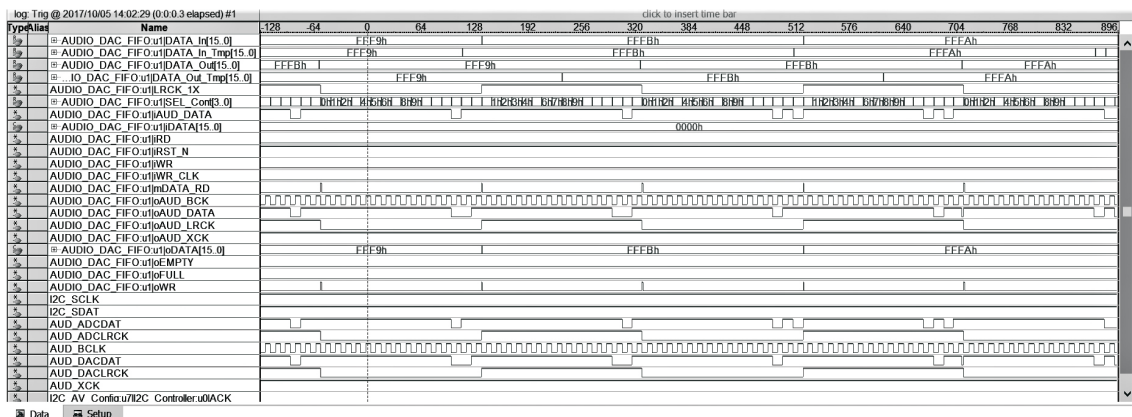


图 5 WM8731 模块的时序

随即也开始输出 16 位的数据,可知该模块能完成信号的转化,并能正常输出数据信号。

实物显示频谱图如图 6 所示。可以看到输入不同的音乐信号,频谱图显示有明显不同,达到了预期效果。

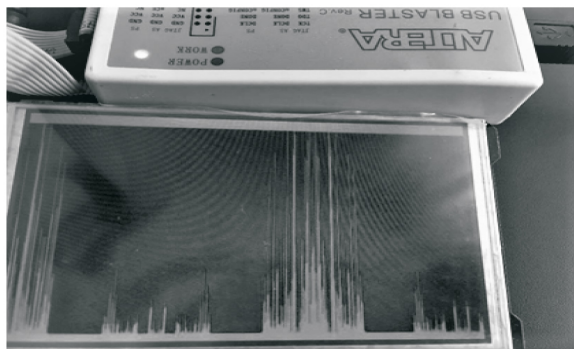


图 6 实物显示

由图 6 可以看出,输入的音乐信号的音调发生变化,屏幕上显示的音频频谱随之实时变化,达到了预设效果。

6 结束语

基于 FPGA 中的 Avalon 总线技术和快速傅里叶变换算法,设计实现了一种实时高效的音频频谱分析系统。该系统可以实时完成各种音乐信号的识别与分析,克服了传统的调音器的限制,可以对多种乐器进行调音,大大提高了乐器的音准并克服了一种调音器只能调节一种乐器的限制,提高了调音器的使用率,具有实际应用价值。系统测试运行工作稳定,实现了预期设计的功能。

参考文献:

- [1] 卢官明,宗 昉. 数字音频原理及应用[M]. 北京: 机械工业出版社, 2005.
- [2] KRISHNAMURTHY R. The science of art, the art of science [J]. Journal of the Acoustical Society of America, 2014, 135(4): 2213-2215.
- [3] NOH N A M, SAPARON A, HASHIM H. Real time FPGA communication system using ethernet for robotics [J]. Procedia Computer Science, 2015, 76: 406-410.
- [4] SHEN Bing, DONG Lin, XIAO Shuhai, et al. The Avalon explosion: evolution of Ediacara morphospace [J]. Science, 2008, 319(5859): 81-84.
- [5] DAI Wangchen, CHEN D D, CHEUNG R C C, et al. Area-time efficient architecture of FFT-based montgomery multiplication [J]. IEEE Transactions on Computers, 2017, 66(3): 375-388.
- [6] SELVA J. FFT interpolation from nonuniform samples lying in a regular grid [J]. IEEE Transactions on Signal Processing, 2015, 63(11): 2826-2834.
- [7] 张龙滨. 基于 NIOS II 与 IP 软核技术的 SOPC 系统设计与实现[D]. 长沙: 湖南大学, 2012.
- [8] 吴厚航. 深入浅出玩转 FPGA [M]. 北京: 北京航空航天大学出版社, 2013: 51-54.
- [9] Modularization design and implementation of drive and control integrated system on FPGA [J]. Mechatronics, 2016, 12(5): 107-109.
- [10] CILETTI M D. Advanced digital design with the Verilog HDL [M]. Upper Saddle River, NJ, USA: Prentice Hall, 2010.
- [11] LEANDRO D, BRAVO M, ORTIGOSA A, et al. Real-time FFT analysis for interferometric sensors multiplexing [J]. Journal of Lightwave Technology, 2015, 33(2): 354-360.
- [12] DE GEUS T W J D, COTTURA M, APPOLAIRE B, et al. Fracture initiation in multi-phase materials: a systematic three-dimensional approach using a FFT-based solver [J]. Mechanics of Materials, 2016, 97: 199-211.
- [13] 白宗元, 胡宝霞. 基于 Nios II 的 SOPC 中 TFT LCD 控制器核的设计 [J]. 自动化技术与应用, 2008, 27(2): 61-63.
- [14] YANG Pengfei, WANG Quan, ZHANG Jiyang. Parallel design and implementation of error diffusion algorithm and IP core for FPGA [J]. Multimedia Tools and Applications, 2016, 75(8): 4723-4733.
- [15] 孔德春, 施慧彬. 基于 Nios II 软核的多核处理器系统的设计与实现 [J]. 电子产品世界, 2014(5): 36-38.