

超高频 RFID 系统阅读器 SOC 设计

王铭铭,卜 刚,张 龔
(南京航空航天大学,江苏 南京 211106)

摘 要:物联网(internet of things, IoT)是目前通信技术行业发展的重要趋势,为世界的信息产业带来了第三次信息浪潮。在物联网发展中,射频识别(radio frequency identification, RFID)是其核心技术,RFID 技术的市场需求和发展前景是不可估量的。在 RFID 技术中,核心部件是阅读器,而运用 SoC 设计方法实现了单芯片系统该部件的主流实现方案。文中采用开源 MC8051 软核,实现了基于 ISO/IEC 18000-6C 协议的 RFID 阅读器 SOC 系统的软硬件协同设计。其中,软件部分完成系统的控制以及协议命令的处理,而硬件部分实现了包括数据发送和接收的基带通信链路。在设计 SOC 中,MC8051 处理器还连接了外部 RAM,并通过 WISHBONE 总线与自定义的通信链路模块接口互连。最终,系统在 Modelsim 下进行了软硬件的仿真验证。

关键词:MC8051;ISO/IEC 18000-6C;SOC 系统软硬件划分;通信链路;仿真验证

中图分类号:TP302

文献标识码:A

文章编号:1673-629X(2018)11-0183-05

doi:10.3969/j.issn.1673-629X.2018.11.040

SOC Design of UHF RFID System Reader

WANG Ming-ming, BU Gang, ZHANG Yan
(Nanjing University of Aeronautics & Astronautics, Nanjing 210016, China)

Abstract: IoT (internet of things) is an important trend in current communication technology industry, which is bringing the third information waves to the world's information industry. In the development of IoT, RFID (radio frequency identification) technology is the core. The market demand and development prospect of RFID technology is immeasurable. In the RFID technology, the core part is the reader, and their mainstream implementation is single chip design with the SoC technology. By using the open source MC8051 soft core, we realize the software and hardware co-design of an ISO/IEC 18000-6C protocol complied RFID reader SOC system. The software part takes charge of the system control and the protocol command processing, while the hardware part realizes the physical layer of base-band data communication link, including data sending and receiving. In the designed SOC system, the MC8051 processor connects to an external RAM, and also connects to the self-designed communication hardware through the WISHBONE bus. Finally, the system's software and hardware have been verified under Modelsim environment.

Key words: MC8051; ISO/IEC 18000-6C; SOC system hardware and software division; communication link; simulation verification

0 引 言

射频识别技术(radio frequency identification, RFID)是一种利用射频无线通信实现的非接触的无线识别技术。伴随着物联网技术的迅速发展,基于 ISO/IEC18000-6C 协议^[1]的超高频(UHF)RFID 阅读器的研究,已经成为该领域的重点和热点。随着集成电路的迅速发展, SOC(system on chip)设计方法的应用也越来越广泛。

一个 SOC 系统包括硬件模块和软件模块^[2-3]。对于 SOC 设计而言,其中一个最重要的方面就是软硬件

的协同设计。但是国内大多数的研究主要在软件领域和硬件领域,针对协同仿真领域的研究较少。随着 SOC 开发技术的发展,降低功耗、尺寸等关键因素,加快产品的研发周期,降低研发成本,逐渐成为集成电路设计的重要方向之一。

针对基于 MC8051 软核的片上系统开发,文中采取软硬件协同设计,划分系统模块,分成软件和硬件进行设计,应用 MC8051 处理器,进行软件开发并设计完成其基带通信链路模块,搭建整个系统并进行仿真验证。

收稿日期:2018-01-02

修回日期:2018-05-04

网络出版时间:2018-06-29

基金项目:江苏省自然科学基金(BK2012792)

作者简介:王铭铭(1993-),女,硕士研究生,通信作者,研究方向为片上系统。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20180629.1706.050.html>

1 MC8051 简介

MC8051 是 Oregano Systems 公司发布的一款 8 位微处理器,与标准的 MCS-51 指令集完全兼容。它是一款比较经典的 8051 微处理器^[4],对比多款 8051 软核,考虑到了 VHDL 语言的严谨性以及 MC8051 处理器稳定可靠的性能,又支持开源 WISHBONE 总线协议,故采用 MC8051 处理器。

MC8051 具备很多优势,用户可以根据工程需要和实际需求,增加或者减少一些功能,通过修改其源代码来优化参数,以适配目标系统。除了内部 ROM 和外部 RAM 可以根据工程要求及用户需求作一定的扩展之外,串行模块、定时器/计数器模块、外部中断模块等均可进行一定的扩展。由于暂时未涉及到其他复杂的应用场景,文中仅使用默认设置。

2 SOC 系统搭建

对于搭建的阅读器 SOC 系统,主要包括两大部分,一部分是 MC8051 处理器,实现软件开发、控制处理等功能,另一部分是基带收发链路,主要用来传输符合规范的数据包以及数据传输速率等内容。系统实现如图 1 所示。

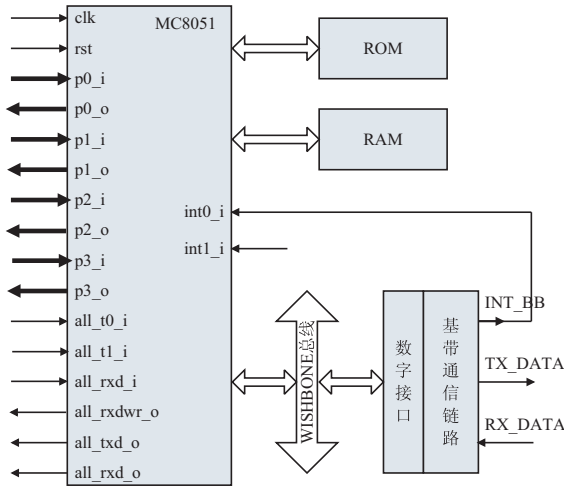


图 1 阅读器 SOC 系统结构

将 MC8051 处理器与自定义基带通信链路模块进行互连时,基本思路是通过总线方式,将自定义基带通信链路模块接口与 WISHBONE 总线^[5]接口互连,将 WISHBONE 总线接口直接与 MC8051 处理器外部 RAM 接口互连,在逻辑上将基带通信链路模块作为处理器的外部 RAM^[6-7]。在软件程序编写时,与基带通信链路模块的数据交互亦类似与对外部 RAM 的读写操作。

2.1 MC8051 软核的修改

Oregano Systems 公司官网下载的 MC8051 软核需经过一定的修改^[8],才能用于本系统阅读器及基带的 SOC 设计。在 mc8051_p 包文件中作相应修改,删除

原有 mc8051_ramx 模块声明,保留 mc8051_rom 模块声明,增加 wb_reader_soc,reader_top 模块声明。

值得注意的是,在增加上述模块声明后,需在工程中增加上述模块对应的 RTL 文件。另外需要修改 mc8051_rom 及 mc8051_t_rom 文件,使其能正确读取 .dua 文件以初始化 ROM。

```
entity mc8051_rom
generic( c_init_file:string:= "mc8051_rom.dua" );
port( clk          :instd_logic;                --clock signal
      reset        :instd_logic;                --reset signal
      rom_data_o   :instd_logic_vector(15 downto 0); --data output
      rom_data_i   :instd_logic_vector(15 downto 0)); --adress
end mc8051_rom
```

上述代码中加粗部分为修改部分,系统应初始化 ROM。因此,阅读器 ROM 读取文件名为 mc8051_rom.dua,同时,也需要修改对应的结构体以及配置文件。

修改 mc8051_top 文件,在原有的 mc8051_top 顶层模块中增加两个信号 tx_data 以及 data_rx,并删除 int0_i 信号,由于基带通信链路中断信号 int_bb 直接与 MC8051 处理器 int0_i 信号互连,因此在顶层模块信号列表中删除这两个信号。

2.2 对应接口设置

将基带通信链路模块作为 RAMX 模块与 MC8051 RAMX 接口通过 WISHBOEN 总线互连,如图 1 所示。需要在原来的 MC8051 顶层模块基础上额外增加三个接口信号:tx_end、data_rx、int_bb,分别表示基带串行信号输出、输入和基带中断信号输出。

另外,寄存器定义是程序设计中非常重要的部分,用以实现控制、存储等功能,在阅读器系统中设置了若干组特殊功能寄存器,位于基带通信链路模块数字接口部分,各寄存器详情如表 1 所示。

表 1 数字接口寄存器定义

名称	地址	位宽/bit	读写状态	描述
CONTROL	0x00	8	W	控制寄存器
TX_BUF	0x01-0x10	128	W	发送寄存器
RX_BUF	0x11-0x20	128	R	接收寄存器
STATE	0x21	8	R	状态寄存器

其中,CONTROL 寄存器用于控制基带通信链路发送与接收的控制;TX_BUF 寄存器共有 128 位,保存 MC8051 需要发送的数据,数据保存采用小端对齐方式,包含命令以及数据信息,在进行操作时,地址从 0x01 至 0x10,每 8 位数据一组,以字节为单位;RX_BUF 寄存器共有 128 位,保存基带接收链路发送过来的数据,数据保存采用小端对齐方式,包含命令以及数据信息,与 TX_BUF 类似,在进行操作时,地址从 0x11

至 0x20, 其中 0x11 地址的字节保存该条命令信息的长度信息, 以位计算; STATE 寄存器用来保存基带中断信号, 基带通信链路在链路数据发送完成后或链路数据接收完成后, 都会产生中断信号, 且更新该寄存器, 同时会将中断信号发送至 MC8051 处理器, 当 MC8051 响应中断后, 会从该寄存器中读取中断状态, 以做出应答。

3 软硬件的设计

由第二小节得知, 修改后的 MC8051 软核需要将所有设计的阅读器的软件协议部分以及硬件通信基带链路实现均要设置顶层模块。

阅读器的系统软件实现主要是对协议 ISO/IEC 18000-6C 的标准实现^[9], 基带通信链路实现的主要是协议物理层规范, 包含数据校验及编解码、数据包格式、数据传输速率等内容, 最终以符合协议标准的数据格式将基带信号输入射频模块。

3.1 软件设计

阅读器软件算法的设计思路是根据协议标准, 对标签进行发信, 并对接收到的信息做出反馈, 进而对标签进行读写等一系列访问操作。另外, 阅读器与标签之间的通信需要满足协议规定的链路时序要求^[10-11]。

在 MC8051 中, 该时序要求采用内部定时器实现, 当超过一定时间之后, 内部定时器产生中断, 阅读器进入新的执行过程而不再等待标签的应答。

由于阅读器与标签的通信是基于“半双工”的机制, 双方是基于问答式的信息交互, 即无法在接收的同时发送信息, 发送链路或者接收链路同时只有一条链路在工作。因此, 在软件算法设计时充分考虑到这一点。当基带通信链路模块数据发送完毕时或者数据接收完毕时均会产生外部中断, MC8051 响应该中断后, 会根据当前状态及时打开或者关闭阅读器基带通信链路的发送时钟或者接收时钟, 调整阅读器工作状态, 从一定程度上而言, 也达到了阅读器基带通信链路低功耗的设计效果。

因此, 系统共需设置两个中断向量, 分别是外部中断 INT0, 以及内部链路时序定时器中断。当产生外部中断时, flag 标志位置位; 初始化外部中断时, flag 标志位复位。当内部定时器产生中断时, TimingLink 标志位置位; 初始化内部定时器中断时, TimingLink 标志位复位。

其中外部中断包含两个内容, 其一为数据发送完成, 其二为数据接收完成, 两者均会引起 INT0 产生下降沿, 以触发中断。当然, 具体是发送还是接收完成, 则由阅读器判断, 它会读取基带通信链路模块数字接口中的外部中断状态寄存器 STATE, 以确定究竟是数

据发送完成还是数据接收完成, 并进入不同的处理过程。阅读器软件算法实现流程如图 2 所示。

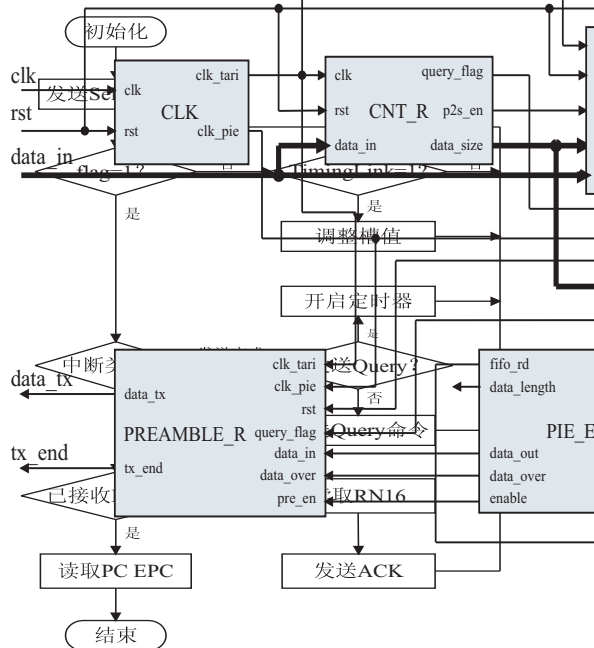


图 2 阅读器软件算法流程

3.2 硬件设计

阅读器基带通信链路模块负责实现硬件部分, 基带收发链路模块设计方案是上行链路为发送链路, 按照协议要求生成一定格式的串行码流, 下行链路为接收链路, 实现数据的串行接收^[12-13]。模块通过数字接口与 MC8051 处理器进行通信, 实现协议处理; 通过串行 I/O 口 TX 及 RX 实现与外界信息的交互^[14-15]。

阅读器数字基带发送链路具体设计如图 3 所示, 图中显示了阅读器数字基带发送链路的顶层模块设计结构。阅读器的发送链路主要包括七个模块, 分别为 CLK 模块、CNT_R 模块、P2S 模块、CRC_Gen^[16] 模块、异步 FIFO 模块、PIE_Encode 模块^[17] 以及 Preamble_R 模块, 其中 CLK 模块是把系统时钟进行分频, 产生码率时钟以及 PIE 编码时钟。数据并行输入 CNT_R 模块, 然后可以得出是否为 Query 命令的标志位 query_flag; 并行输入的命令或者数据转换为串行数据, 将转换的数据进行 CRC 校验, 生成校验码; 由于校验、编码的时钟频率不同, 所以采用异步 FIFO 模块, 进行数据的缓存; 对 FIFO 中缓存的数据进行 PIE 编码, 在编码结束后, 基于 query_flag 标志位选择同步码, 最终串行输出, 完成基带发送数据的处理。

阅读器数字基带接收链路具体设计如图 4 所示, 图中显示了阅读器数字基带接收链路的顶层模块设计结构。阅读器接收链路主要由四个模块组成, 分别为 Head_Check_R 模块、Decode 模块、CRC16_Check 模块和 S2P 模块。接收数据通过 Head_Check_R 模块检测同步码, 然后对检测完同步码的数据进行 FM0 或

Miller 副载波调制编码信号的解码操作,完成解码后,为并行数据,供 MC8051 处理器调用,从而完成硬件部分的数据进行 CRC 解除校验,然后将串行命令或数据转部分的基带链路接收。

图 3 阅读器数字基带发送链路

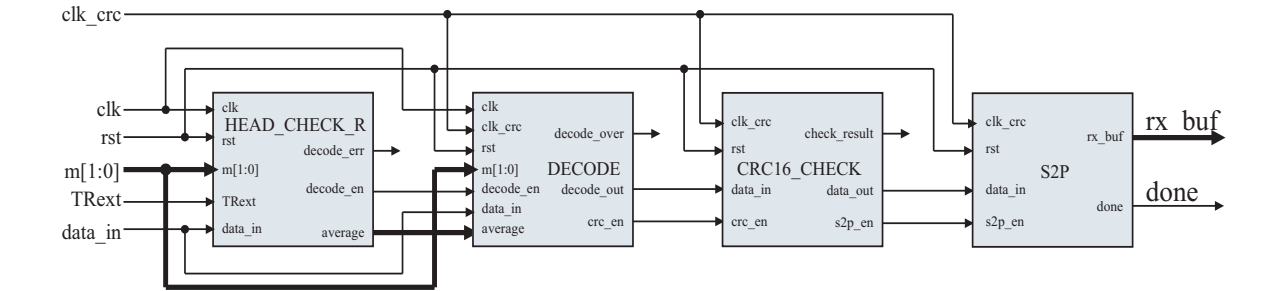


图 4 阅读器数字基带接收链路

4 仿真验证

在系统包含的所有模块中,每个模块通过仿真验证,才能在整个系统中进行仿真,以确保每个模块的功能正确性以及系统仿真的可靠性。

系统的软件开发在 Keil 软件中进行,当完成编译之后,生成 .hex 格式文件,但该文件尚无法在软核上运行,需要通过 hex2dua 工具将其转换为 .dua 格式,并

分别替换 ROM 文件。 .dua 文件中所保存的即为 MC8051 软核运行所需的机器码,在启动仿真时,MC8051 会自动从中读取程序并执行^[18]。

应用 MC8051 处理器的 SOC 系统进行软硬件协同验证,将验证过的基带链路 with 修改后的软核进行系统上的验证。如图 5 所示,系统通过软硬件验证,得到正确的发送编码。图中所示的十六进制的 CA 数据是发送数据成功的验证。

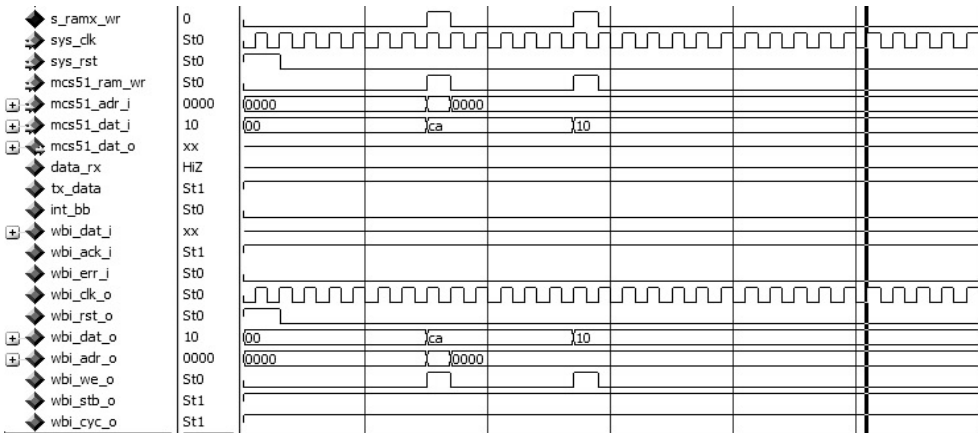


图 5 阅读器 SOC 系统软硬件仿真验证

5 结束语

利用开源处理器 MC8051 软核,根据协议要求,设计阅读器软件算法,结合自定义基带通信链路模块,通过 WISHBONE 总线协议实现两者互连,搭建起系统硬件架构。验证软硬件协同,经过系统仿真,实现阅读器的编码发送操作,完成了系统软硬件的仿真验证。对于采用 MC8051 软核应用于 SOC 系统的方法,普遍适用于系统的设计,并可以根据实际需要结合处理器设计匹配整个系统。

参考文献:

[1] 刘宏伟,李 成. ISO/IEC 18000-6C 简析[J]. 信息技术与标准化,2007(7):17-20.
[2] FLYNN M J, LUK W. Computer system design: system-on-chip[M]. [S. l.]: Wiley, 2011:15-20.

[3] WANT R. An introduction to RFID technology[J]. IEEE Pervasive Computing, 2006, 5(1):25-33.
[4] 鄢永明,刘轶民,曾 云,等. 基于 8051 软核的 SOPC 系统设计与实现[J]. 电子技术应用, 2005, 31(10):72-75.
[5] 邓崇亮,覃焕昌. SoC 片上五种总线标准的分析比较[J]. 百色学院学报, 2008, 21(3):50-55.
[6] 王 玲,丛 静. RFID 中间件读写器管理与协调研究[J]. 计算机应用与软件, 2011, 28(12):198-201.
[7] 夏 宏,吴济文. 超高频 RFID 读写器系统的设计与实现[J]. 计算机应用, 2012, 32(8):2369-2373.
[8] 李新兵. 8051 软核处理器设计实战[M]. 北京:机械工业出版社, 2015:25-40.
[9] 饶 永,徐 成. 基于 SystemC 的片上网络系统级建模研究[J]. 计算机仿真, 2007, 24(10):307-310.
[10] 顾成喜,顾才东,龚 伟. RFID 环境下利用通报机制的分布式阅读器防冲突算法[J]. 计算机应用研究, 2017, 34

(6);1745–1749.

[11] 冯 锋,吴 杰. 基于 Bloom filter 的 RFID 中间件数据过滤算法研究[J]. 计算机应用研究,2015,32(5):1441–1444.

[12] CHEN K,YAN D,XU C,et al. An architecture of fast data recovery in UHF RFID reader[C]//IEEE international conference on communication technology. [s. l.]:IEEE,2015:788–792.

[13] EOM J B,YIM S B,LEE T J. An efficient reader anticollision algorithm in dense RFID networks with mobile RFID readers[J]. IEEE Transactions on Industrial Electronics,2009,56(7):2326–2336.

[14] LIU Jing,CHEN Yihao,GU Bin,et al. ASIC design of UHF RFID reader digital baseband[C]//Asia Pacific conference on postgraduate research in microelectronics and electronics microelectronics and electronics. Shanghai, China: IEEE,2010:263–266.

[15] WANG Zheng,MAO Luhong,CHEN Liying,et al. Design of a passive UHF RFID transponder featuring a variation-tolerant baseband processor[C]//IEEE international conference on RFID. Orlando,FL,USA:IEEE,2010:61–68.

[16] 廖彬彬,赵知劲,张福洪. EPCglobal C1 Gen2 标准中 CRC 算法的实现[J]. 计算机工程,2008,34(24):128–130.

[17] GUO Zhenjun,HUANG Tinglei. Design of UHF RFID reader based on ARM[C]//Chinese control and decision conference. Guilin,China:IEEE,2009:1394–1397.

[18] 徐爱钧. Keil C51 单片机高级语言应用编程技术[M]. 北京:电子工业出版社,2015.

+++++

(上接第 182 页)

[12] MALLAT Y,AYADI M,AYARI A,et al. QoS/QoE-CA-ODV:routing protocol for cognitive radio Ad-Hoc network [C]//Proceedings of the 30th international conference on advanced information networking and applications workshops. Crans-Montana,Switzerland:IEEE,2016:748–753.

[13] 张小庆,李春林,张恒喜. 无线传感器网络的 NS2 扩展与仿真机制研究[J]. 计算机科学,2011,38(8):117–120.

[14] LIU Jia,SHENG Min,XU Yang,et al. End-to-end delay modeling in buffer-limited MANETs; a general theoretical framework[J]. IEEE Transactions on Wireless Communications,2016,15(1):498–511.

[15] REN Ju,ZHANG Yaoxue,ZHANG Kuan,et al. Lifetime and energy hole evolution analysis in data-gathering wireless sensor networks[J]. IEEE Transactions on Industrial Informatics,2016,12(2):788–800.