

陶瓷管壳设计及验证过程研究

张 玲^{1,2}, 田 泽^{1,2}

(1. 中国航空工业集团公司 西安航空计算技术研究所, 陕西 西安 710068;
2. 集成电路与微系统设计航空科技重点实验室, 陕西 西安 710068)

摘 要:随着集成电路设计规模的不断增加,管壳的设计也日趋复杂。通用管壳往往已经无法满足电气、机械及可靠性要求,需要针对管芯的物理特性及要求进行管壳的定制。陶瓷管壳以其气密性好,可以多层布线,绝缘阻抗高,热膨胀系数与芯片接近等优点,得到了越来越广泛的应用。文中从管壳的需求确认、管壳设计、管壳的仿真验证三个方面对目前复杂陶瓷管壳设计过程进行了分析,研究了大规模集成电路陶瓷管壳需求确认、电设计、热设计、机械设计、电学仿真、热仿真及结构仿真、板级仿真的过程及方法。

关键词:陶瓷管壳;管壳设计;仿真;陶瓷封装

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2016)06-0155-03

doi:10.3969/j.issn.1673-629X.2016.06.034

Analysis of Design and Verification for Complex Ceramic Tube

ZHANG Ling^{1,2}, TIAN Ze^{1,2}

(1. AVIC Computing Technique Research Institute, Xi'an 710068, China;

2. Key Laboratory of Aeronautics Science and Technology of Integrate Circuit and Micro-system Design,
Xi'an 710068, China)

Abstract: With the booming of chip's complexity, tube design is becoming more and more complex. General tube has been unable to meet the electrical, mechanical and reliable requirements, needing customization in view of physical characteristics and requirements for tube core. For the reason of many advantages, such as good air tightness, multilayer wiring, high insulation resistance and the very closely coefficient of thermal expansion to chip, ceramic tube has been used more widely. From three aspects including confirmation of requirements, tube design and tube verification, the procedure of design and verification of complex ceramic tube is analyzed and the method of requirements confirmation, electrical design, thermal design, mechanical design, simulation and verification for electrical, thermal and PCB structure is researched.

Key words: ceramic tube; tube design; simulation; ceramic packaging

0 引言

管壳是指承载半导体芯片、各种元件以及两者集成的模块、组件的包封体,随着芯片复杂度的提高,管壳与芯片设计、制作趋于“一体化”,而成为器件的“有机”组成部分^[1-2]。管壳对芯片起机械支撑和环境保护作用,实现芯片与外部的电、光信号连接,为芯片提供散热通路和电磁辐射屏蔽。通常,管壳占电路 90% 以上的重量和体积,管壳的寄生参数和电性能影响着器件及电路性能的发挥,对器件及电路的性能有着至

关重要的影响。

随着集成电路设计规模的不断增加,通用管壳往往无法满足电气、机械及可靠性要求,需要针对管芯的物理特性及要求进行定制管壳。常用的管壳材料有树脂和陶瓷。两种管壳各有优缺点,但陶瓷管壳以其气密性好,可以多层布线,绝缘阻抗高,热膨胀系数与芯片接近等优点大规模应用于军用电子领域。文中主要介绍大规模集成电路陶瓷管壳的设计、仿真、验证过程及方法。

收稿日期:2015-08-31

修回日期:2015-12-09

网络出版时间:2016-05-25

基金项目:中国航空工业集团公司创新基金(2010BD63111)

作者简介:张 玲(1982-),女,硕士,研究方向为项目管理;田 泽,博士,研究员,中国航空工业集团首席技术专家,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计等。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20160525.1700.004.html>

1 管壳设计过程

集成电路封装设计的第一步是封装形式的确认。若用户有外形的特殊要求,需要从电路功耗、热应力、机械应力等方面进行评估;如用户无特殊要求,应按照电路上的引出端的数量、芯片功耗及功耗分布、差分信号的布局等方面入手设计布局。另外值得一提的是,随着集成度的不断提高,芯片规模不断增大,信号频率也由原来不足百兆发展到 GHz 数量级,因此管壳的设计不得不考虑高速信号的等长、差分等的要求^[3-4]。以下主要论述管壳的主要设计过程。

1) 管壳需求。

依据芯片整体的环境要求、管芯大小、管脚频率等确定管壳类型(陶瓷、塑封、FC-BGA、WB-BGA 等)。

2) 确认外形。

芯片外形的确认需要经过以下步骤:

(1) 确定关键信号要求:设计伊始,用户方应给出关键信号的要求,所谓关键信号主要包括高频信号、差分信号、等长要求等;

(2) 给出管芯管脚定义、坐标及芯片尺寸;

(3) 评估功耗:评估功耗有助于管壳外形的决策,如是否加热沉等;

(4) 平面要求:为了尽量减少引出端的数量,可以在管壳内部设计电源、地平面,这样可以大大减少引出端的数量,减小管壳尺寸,进而提高可靠性;

(5) 确定封装形式:首先根据(1)-(4)的要求,给出芯片引出端的数量、间距、分布形式及面积,根据平面要求确定层数及厚度,综合功耗要求,参考 JEDEC 及半导体集成电路总规范^[5-6]等标准,最终确定管壳外形尺寸。

3) 管壳的设计。

(1) 电性能设计。

常规电性能设计主要包括引线电阻设计、绝缘电阻设计和布线延迟设计。

① 引线电阻设计。

引线电阻设计采用方阻测算,如式(1):

$$R = R_{\square} \times (L/W) \quad (1)$$

式中: R 为导通电阻(Ω); R_{\square} 为方块电阻(Ω); L 为线条长度(mm); W 为线条宽度(mm)。

根据式(1),通过合理设计方块电阻、线条长度和宽度,可将封装内引线电阻控制在目标电阻内。

② 绝缘电阻设计。

绝缘电阻主要由表面电阻和体积电阻组成,其大小等效为表面电阻和体积电阻的并联。表面电阻的大小主要决定于外壳的表面态,与所附着的灰尘、杂质及水汽等有关。体积电阻的大小主要决定于封装材料的内部物质结构,即封装材料的体积电阻率。公式如下:

$$R_v = \rho_v \times l/S \quad (2)$$

式中, R_v 为体积电阻(Ω); ρ_v 为体积电阻率($\Omega \cdot \text{cm}$); l 为电极间距离(cm); S 为测试电极的有效面积(cm^2)。

在保证封装外壳的表面干净且无水分附着的情况下,其表面电阻近似等效于测试环境的空气的电阻,绝缘电阻主要取决于体积电阻。以 CLGA 类产品为例,选用 90 瓷,其体积电阻率为 $1 \times 10^{14} \Omega \cdot \text{cm}$ (100°C),其焊盘相当于测试中的电极,布线间距即电极间距离。假设焊盘面积为 $6 \times 10^{-3} \text{cm}^2$,布线间距为 $1 \times 10^{-2} \text{cm}$,则绝缘电阻约为 $1.67 \times 10^{14} \Omega \cdot \text{cm}$ 。

③ 布线延迟设计。

单位长度布线延迟计算如下:

$$T_{pd} = 3.34 \times 10^{-2} \sqrt{0.475\epsilon_r + 0.67} \quad (3)$$

式中, T_{pd} 为单位长度布线延迟(ns/cm); ϵ_r 为等效介电常数。

合理的布局布线可控制最大延迟,通过蛇形线等方式可将同组信号的延迟控制在目标延迟以内。

(2) 热设计。

为避免工作状态下芯片热量的积累,需对封装的散热性能进行评估并合理设计,提高产品的热可靠性。对有气密性要求的大功率芯片而言,热性能设计尤为重要。陶瓷封装散热方式主要通过陶瓷外壳将热传导到 PCB 板中,部分热通过外壳和盖板向空气中传导、对流及辐射而耗散掉。由此可见,决定封装散热性能的因素主要有四个方面:

① 陶瓷封装与芯片粘接材质及界面;

② 陶瓷封装材料的传热性能;

③ 陶瓷封装与 PCB 板的界面条件;

④ 陶瓷封装的周围环境影响。

目前常用的评估方法是采用有限元对封装结壳热阻进行仿真,根据仿真结果指导陶瓷封装的热设计,除了选用合适陶瓷材料,必要时需添加导热孔和热沉。

(3) 机械性能设计。

为了提高陶瓷封装的电路密度,应用具有更多 I/O 管脚的高密度芯片,使得芯片与陶瓷封装以及陶瓷封装与 PCB 之间的互连增加了应变,从而导致系统失效。因此,为了保证陶瓷封装的可靠性,必须对封装进行机械性能设计。

机械性能设计采用有限元方法对陶瓷封装与芯片的互连、陶瓷封装与 PCB 的互连以及陶瓷封装本身的结构等方面进行仿真,找出应变较大及应力集中部位,并针对性地对结构和互连进行改进,避免机械失效。

2 管壳仿真验证

1) 电特性仿真。

管壳的数字信号设计及仿真通过 CADENCE 工具完成^[7-8],高频及微波信号设计及仿真通过 HFSS 工具完成,电性能仿真主要是噪声仿真,在管壳电设计中可采用以下方法抑制串扰噪声:

(1)增加导体线间距,减小高频信号线与相邻信号线的平行长度;

(2)对于微带传输线和带状传输线,将走线与地平面距离保持在 0.25 mm 内,可以显著减小串扰;

(3)如布线空间允许,在串扰严重的两线间插入接地走线,可以有效隔离干扰源的电磁波,从而减小串扰噪声;

(4)重要的高速信号可设计成差分对,利用信号差分特性有效降低串扰影响;

(5)相邻层的信号走线尽量按照正交布线,以减小耦合面积,降低串扰噪声。

2) 热仿真及结构仿真。

管壳的热设计及结构设计通过 ANSYS 工具完成,陶瓷封装的热特性一般采用结壳热阻 (θ_{JC}) 来衡量,表示芯片到封装外壳的散热能力。因此热仿真主要是通过有限元法方便地获得芯片结温、温度分布等信息^[9-11],但在进行结壳热阻仿真分析时,边界条件的处理方法会对最终的结果造成很大的影响。

3) 板级仿真。

除了设计仿真以外,为了保证管壳能够满足板级的使用要求,还应提取测试板上器件及布线电参数进行板级仿真^[12-14],并根据仿真情况优化外壳的设计。

板级仿真是进行信道优化的关键步骤,包括印刷电路板引线、连接孔、线缆、连接器以及解耦电容等。非理想的信道因素主要包括插入损耗、反射以及串扰。

随着传输速率的越来越高,传输过程中的信号损失将变得越来越严重,它们将产生信号衰减和码间干扰,影响到信号的传输速率和传输误码率。因此,高速数据收发系统的设计必须充分考虑 PCB 设计各方面因素的影响,根据 PCB 的特性进行仿真,最终为芯片的设计优化提供依据。板级仿真的关键是对信道进行建模。信道模型的精确性直接影响了管壳和所封装芯片的设计精度。

传统的分析方法将电路的所有参数,如阻抗、容抗、感抗都集中于空间的各个点上,即各个器件上。各点之间的信号是瞬间传递的。集总参数系统是一种理想化的模型。在高速电路中,实际情况是各种参数分布于电路所在空间的各处,当这种分散性造成的信号延迟时间与信号本身的变化时间相比已不能忽略的时候,就不能再用理想化的模型来描述网络。这时,信号是以电磁波的速度在信号通道上传输,信号通道(或者说是信号的连线)是带有电阻、电容、电感的复杂网

络,是一个典型的分布参数系统。

综上所述,随着芯片工作频率的不断提高,板级仿真的重要性愈加凸显。已分布式模型 S 参数为基础板级模型提取,建模,并使用 ADS 等工具进行芯片联合设计仿真,成为芯片设计过程中重要的环节。

3 结束语

在材料发展和工艺进步的不断推动下,国产管壳的研制能力正逐步提升,国产陶瓷管壳已经基本能够满足国内产品的需求,已经不需要像原来那样把管壳当作黑盒子委外加工。文中阐述的管壳设计过程、验证过程可以对设计单位保障陶瓷管壳设计的正确性起到积极作用。

参考文献:

- [1] Edwards D. 芯片与封装的协同设计可减少复杂设计的压力[J]. 电子设计技术,2011,18(12):36-36.
- [2] 陈珊,蔡坚,王谦,等. 数模混合高速集成电路封装基板协同设计与验证[J]. 半导体技术,2015,40(7):542-546.
- [3] Wang M, Maramis H, Telian D, et al. New techniques for designing and analyzing multi-giga hertz serial links[M]. San Francisco: Design Con Company, 2005.
- [4] Caroselli J. High-speed transceivers require systems modeling[EB/OL]. 2003-11-07. <http://www.eetimes.com>.
- [5] JEDEC. Solid state product outlines[M]. [s. l.]: JEDEC, 2005.
- [6] 半导体集成电路总规范 GJB597B-2012[S]. 北京:总装备部军标出版发行部,2005.
- [7] 周润景,伟亭. Cadence 高速电路设计与仿真[M]. 北京:电子工业出版社,2006.
- [8] 李鹏飞,孟令军,乔文生,等. 基于 Cadence 的数据采集系统信号完整性仿真与优化[J]. 电视技术,2013,37(3):36-39.
- [9] Kandasamy R, Mujumdar A S. Thermal analysis of a flip chip ceramic ball grid array (CBGA) package[J]. Microelectronics Reliability, 2008, 48:261-273.
- [10] 贾松良,朱浩颖. 集成电路陶瓷封装热阻 $R_{\theta}(T-JC)$ 的有限元分析[J]. 半导体技术,1997,12(6):6-11.
- [11] 全良玉,蒋长顺,张元伟,等. 热仿真设计在陶瓷封装中的应用研究[J]. 电子与封装,2014,14(6):1-3.
- [12] 黄盛林,姜海勋. 高速混合 PCB 板的电磁兼容性设计[J]. 船电技术,2005,25(3):14-17.
- [13] 陈伟,姚天任,黄秋元,等. 基于信号完整性理论的 PCB 仿真设计与分析研究[J]. 武汉理工大学学报:交通科学与工程版,2005,29(2):273-276.
- [14] 杨洪军. 信号完整性分析及其在高速 PCB 设计中的应用[D]. 成都:电子科技大学,2006.