

军用大规模集成电路关键外协工序控制

张玲^{1,2}, 田泽^{1,2}

(1. 中国航空工业集团公司 西安航空计算技术研究所, 陕西 西安 710068;
2. 集成电路与微系统设计航空科技重点实验室, 陕西 西安 710068)

摘要:随着半导体技术的进步和发展,专业化分工越来越精细,后端设计、流片加工、封装、测试都已成为专门领域。而集成电路设计、加工各个环节环环相扣密不可分,任何一个环节出现问题都可能导致整个芯片流片的失败。因此如何保证每一个环节的正确性,是每一个集成电路设计单位都面临的问题,其中如何控制集成电路设计的关键外协工序也就变得尤为重要。文中对目前军用大规模集成电路的后端设计、芯片制造、封装的流程及关键工序进行了分析和论述,总结了设计方应重点关注的芯片的后端设计、流片、封装的工艺流程、关键工序及检查方法,对集成电路设计关键外协工序质量控制有较好的指导意义。

关键词:后端设计;芯片制造;芯片封装;关键工序控制

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2016)05-0170-03

doi:10.3969/j.issn.1673-629X.2016.05.037

Critical Outsource Procedure Control for Military VLSI

ZHANG Ling^{1,2}, TIAN Ze^{1,2}

(1. AVIC Computing Technique Research Institute, Xi'an 710068, China;

2. Key Laboratory of Aviation Science and Technology on Integrated Circuit and Micro-system Design,
Xi'an 710068, China)

Abstract: With the rapid advance and development of semiconductor technology, the division of labor has become more and more elaborate. The back-end design, chip processing, packaging and test has already developed into special areas. Integrated circuit design, processing and other steps are tied closely to each other, problems in any part of the whole procedure may lead to a chip tape-out failure. Therefore, how to ensure the correctness of every aspect of the whole procedure is always an important problem for every IC designer, especially for the problem of how to control the outsourcing procedure. Based on analysis of the process of back-end design, fabrication and packaging for military VLSI, it summarizes the key procedures and control methods of the back-end design, fabrication and packaging and checking in this paper, which is meaningful for the quality control of military VLSI outsourcing design.

Key words: back-end design; fabrication; packaging; key procedure control

0 引言

集成电路是信息产业的核心,随着半导体技术的进步和产业发展,专业化分工越来越精细,集成电路产业从最初的 IDM 模式发展到目前设计^[1-2]、制造、测试^[3]分离的局面,产生了众多专业从事集成电路设计的公司。通常情况下,集成电路设计公司只负责电路设计,芯片的流片、封装、测试均由专业机构承担,外协过程的质量,在很大程度上直接决定着集成电路产品的质量和成本。对于广大设计公司而言,集成电路的

外协过程进行质量控制已成为产品成败的关键。对供应商的质量控制已成为集成电路设计企业项目及质量管理^[4-5]的重要组成部分。

为提升芯片产品质量,需要建立科学规范的流程,设置质量控制点,建立质量控制方法和程序,按照 PD-CA 的思想持续改进^[6-7]。文中根据外包外协的材料或服务对集成电路产品特性影响的重要程度,重点对物理设计、制造、封装三个环节进行分析,总结提出了每个环节的质量控制点和控制方法。

收稿日期:2014-10-13

修回日期:2015-01-05

网络出版时间:2016-05-05

基金项目:中国航空工业集团公司创新基金(2010BD63111)

作者简介:张玲(1982-),女,硕士,研究方向为项目管理;田泽,博士,研究员,中国航空工业集团首席技术专家,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计等。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20160505.0814.012.html>

1 关键外协工序质量控制方法

1.1 集成电路后端设计流程及关键工序

随着集成电路专业分工的日益精细,后端版图设计已经发展为一个独立的专业,版图设计是制造集成电路的基础。计算机辅助的版图设计将电路中所有元器件及其相互连接转换成能进行芯片光刻加工、正确可靠的掩模图形数据。专门的掩模制备公司利用所提供的数据,制备出符合流片需要的多层掩模版。通常的集成电路后端设计流程如图 1 所示。

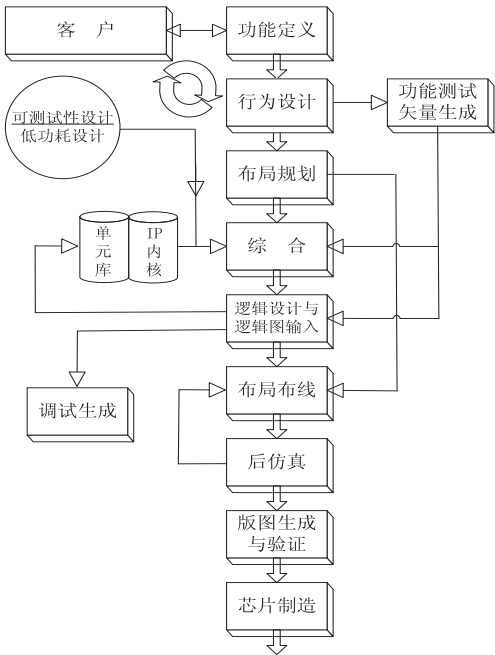


图 1 集成电路后端设计流程

后端设计工程师可以根据前端设计的数据及约束要求完成后端设计工作^[8-9],委托方只需要进行预定步骤的检查以确定后端设计与前端设计的一致性。传统的检查主要是设计规则检查(DRC)、电学规则检查(ERC)、版图与电路图一致性检查(LVS)。随着电路复杂度的提升和工艺尺寸的进一步缩小,在投片前 Signoff 时需要检查的内容也日益增多,包括时序分析与检查、功能一致性检查、电源及信号完整性检查、功耗

分析与确认、ESD^[10-11]及可靠性相关检查。具体检查项目与方法如表 1 所示。

1.2 集成电路制造工艺流程及关键工序控制

芯片制造与互联组成了微电子工业的高端谱线,在微电子工业中,性能和小型化保持着每 18 个月翻一番的发展速度,新材料和新工艺不断提高以满足工业性能和小型化目标。目前,集成电路的流片几乎都是采用代工方式完成。

图 2 是典型的集成电路制造工艺流程示意图。

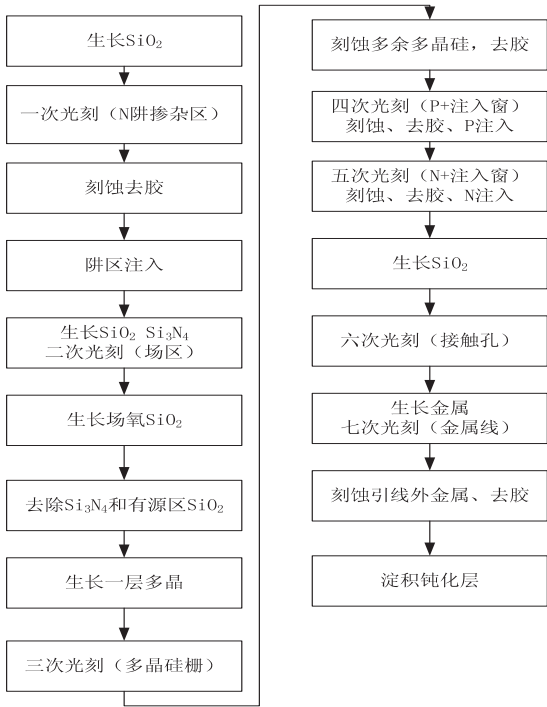


图 2 典型的集成电路制造工艺流程

集成电路流片费用随着工艺的提高,价格也是成倍增加。例如,130 nm 工艺工程批流片费用在 200 万左右,65 nm 工艺工程批流片费用在 400 万左右,40 nm 工艺工程批流片费用在 800 万元左右。如果流片成功,由于可产生管芯数量较多,单只管芯成本并不高,但是一旦流片失败,损失是非常大的。因此,如何保证流片不产生除设计缺陷以外的问题,保证芯片一

表 1 集成电路后端检查项目

检查项目	目的	方法
时序检查	检验芯片时序正确性	静态时序分析、后仿真
一致性检查	确认最终网表与 RTL 功能一致性	形式化验证
电源完整性检查	确认芯片 IR DROP 符合设计及工艺要求	静态/动态电源 IR DROP 分析
信号完整性检查	确认串扰、噪声对芯片工作影响在规定范围内	信号完整性分析
功耗	确认芯片功耗指标符合要求	静态/动态功耗分析
ESD	确认芯片 ESD 设计符合要求	版图分析与仿真
DFM	确认符合代工厂可制造性要求	DFM 规则检查
DRC/ERC	确认符合代工厂设计规则和电学规则	DRC/ERC 检查
LVS	确认版图与原理图的一致性	LVS 检查

次投片成功至关重要。流片工序的检查依据是,按照 GJB548B^[12]方法 5013 GaAs 工艺的晶圆制造控制和接收程序通过对工艺检测图形和目检进行检查,工艺检测 (PM) 图形是一组为工艺控制和确定晶圆可接收性

提供数据的测试结构,PM 可以插入于每个晶圆的特定位置,位于划片槽位置,或包含在每个芯片中,也可以是这些方案的组合。建议的用于 PM 中的测试图形如表 2 所示。

表 2 PM 中的测试图形

序号	项 目	序号	项 目
1	测量晶体管参数的 N-沟晶体管	9	对准标记
2	测量晶体管参数的 P-沟晶体管	10	线宽
3	方块电阻	11	二极管
4	增强型晶体管	12	背栅
5	耗尽型晶体管	13	掺杂剖面结构
6	隔离	14	大栅长场效应晶体管 (FATFET)
7	接触电阻 (通孔、欧姆接触)	15	薄膜电阻器
8	套接覆盖	16	电容

晶圆接收要依据在制造过程中进行的 PM 室温测试所提供的信息,对每一个晶圆逐片检查。另外,在晶圆制造期间,应在关键工序进行光学显微镜或 SEM 检查,检查可以包括图形对准标记和临界尺寸测量。最终外包方应检查所有规定的 PM 电参数的测量和数据记录,必要时可以要求加工方提供除 PM 以外所有检查的或测试的结果,每批的接收、拒收晶圆数目,返工晶圆数目和返工原因等。

1.3 集成电路封装流程及关键工序控制

集成电路的封装目的是为芯片提供一个接口,将内部电性讯号通过引脚将芯片连接到系统,并避免硅芯片受外力与水、湿气、化学物的破坏与腐蚀,IC 封装属于半导体产业的后段加工制程,主要是将前制程加工完成 (即晶圆厂所生产) 的晶圆上的 IC 予以分割,黏晶、打线并通过管壳实现对外部的链接。图 3 为 IC 芯片的封装流程。

集成电路封装作为一个专门的专业分支,具有非常复杂的流程及质量管控体系^[13]。现有的军级电路基本都是陶瓷封装的,国内拥有军用集成电路封装贯标线资质的单位有两家:中电 58 所及航天 772 所。在贯标生产线上封装的产品,用户只需要检查封装工艺流程卡及生产线用于证明工艺一致性的首件产品的测试报告即可。划片、键合和封帽是芯片封装过程的关键工序,此三个步骤后的检查 (芯片镜检、键合检查、气密性检查) 应该在封装工艺流程卡里面留有实验记录及具体测量数据。

对于塑封电路,国内可以完成芯片塑封的单位有很多,如天水华天、航天 771 所、深南电路等等;但是由于工艺水平的限制,目前国内尚无军用塑封的贯标生产线。2011 年,国内第一个指导塑封电路军品认证的文件 GJB7400-2011 (合格制造厂认证用半导体集成电

路通用规范^[14]) 正式颁布,但目前国内还没有企业通过认证。

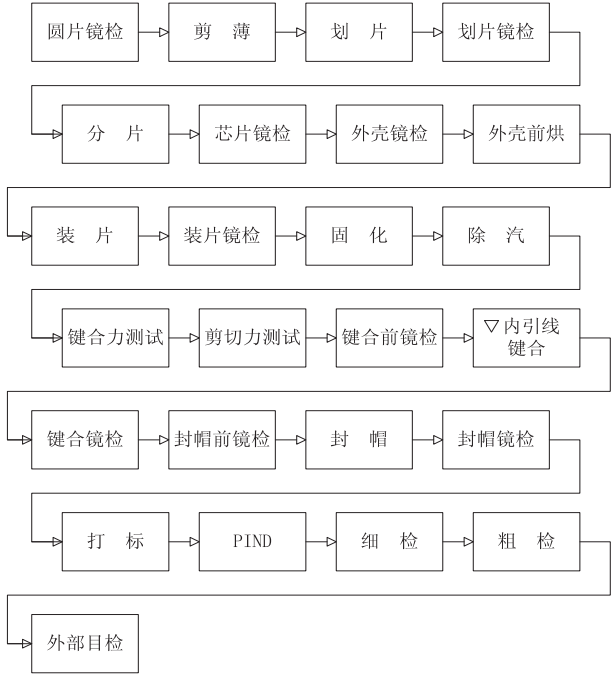


图 3 IC 芯片的封装流程

2 结束语

集成电路的设计、实现、流片、封装、测试是一个非常复杂的系统工程,每一个环节都是一个专门的学科,而集成电路各环节环环相扣密不可分,任何一个环节出现问题都可能导致流片的失败,因此如何保证每一个流程的正确性是每一个集成电路设计单位都面临的难题。文中总结了集成电路后端设计、流片、封装工艺流程及关键工艺检查流程,从而尽量减少外协合作环节中可能引入的各类问题,提高一次流片成功率。

(下转第 178 页)

奠定了良好的基础。

参考文献:

- [1] 章秀华,陈艳君,洪汉玉. 基于加权融合纹理的路面裂缝检测[J]. 计算机与数字工程,2011,39(10):153-156.
- [2] 于泳波,李万恒,张劲泉,等. 基于图像连通域的桥梁裂缝提取方法[J]. 公路交通科技,2011,28(7):90-93.
- [3] 徐 威,唐振民,徐 丹,等. 融合多特征与格式塔理论的路面裂缝检测[J]. 计算机辅助设计与图形学学报,2015,27(1):147-156.
- [4] Xu Bugao, Huang Yaxiong. Development of an automatic pavement surface distress inspection system[R]. Austin: Center for Transportation Research, the University of Texas at Austin, 2005.
- [5] Subirats P, Dumoulin J, Legeay V, et al. Automation of pavement surface crack detection using the continuous wavelet transform[C]//Proc of IEEE international conference on image processing. Atlanta, GA: IEEE, 2009: 3037-3040.
- [6] Cheng H D, Chen J R, Glazier C, et al. Novel approach to pavement cracking detection based on fuzzy set theory[J]. Journal of Computing in Civil Engineering, 1999, 13(4): 270-280.

(上接第 172 页)

参考文献:

- [1] Furber S. ARM System-on-Chip Architecture (ARM SoC 体系结构)[M]. 田 泽,于敦山,译. 台北:五南图书出版公司,2003.
- [2] 田 泽. 航空专用集成电路-设计理论与工程实践[M]. 北京:航空工业出版社,2013.
- [3] 田 泽. SoC 设计与测试[M]. 北京:航空工业出版社,2003.
- [4] 科兹纳. 项目管理[M]. 北京:电子工业出版社,2006.
- [5] 项目管理协会. Project management institute[M]. 北京:电子工业出版社,2009.
- [6] 刘 锐,姚世锋. 半导体集成电路芯片质量与可靠性保证方法[J]. 兵工自动化,2013,32(6):17-19.
- [7] 杨建生,李守平. 对集成电路封测项目进度、投资与质量控制管理的探讨[J]. 电子工业专用设备,2015(1):1-4.
- [8] 罗志华,权进国,杨华中. 基于层次法实现 EOS 芯片的后

- [7] 洪汉玉,章秀华,叶佳伦,等. 桥梁裂痕检测与识别方法[J]. 武汉工程大学学报,2014,36(2):63-67.
- [8] 王 澍. 复杂背景下路面裂缝图像自动检测与识别算法研究[D]. 武汉:武汉工程大学,2013.
- [9] 董安国,梁苗苗. 基于灰度相关性的裂缝检测算法[J]. 计算机应用研究,2013,30(10):3121-3123.
- [10] 褚文涛,李郑明,陆 键. 路面病害检测中的裂缝信息快速识别方法研究[J]. 中外公路,2013,33(6):80-84.
- [11] 刘 娜,宋伟东,赵泉华. 形态学和最大熵图像分割的城市路面裂缝检测[J]. 辽宁工程技术大学学报:自然科学版,2015,34(1):57-61.
- [12] 徐志刚,赵祥模,宋焕生,等. 基于直方图估计和形状分析的沥青路面裂缝识别算法[J]. 仪器仪表学报,2010,31(10):2260-2266.
- [13] 邱汉兴. 基于图像分割的路面裂缝检测与识别研究[D]. 重庆:重庆交通大学,2012.
- [14] 王 睿,漆泰岳,朱 鑫,等. 隧道检测裂缝的图像处理研究[J]. 铁道标准设计,2014,58(10):93-96.
- [15] Tsal Y C, Kaul V, Mersereau R M. Critical assessment of pavement distress segmentation methods[J]. Journal of Transportation Engineering, 2010, 136(1): 11-19.

端设计[J]. 微计算机信息,2008,24(14):5-7.

- [9] Hodges D A, Jackson H G, Saleh R A. Analysis and design of digital integrated circuits in deep submicron technology[M]. [s. l.]: [s. n.], 2005.
- [10] 蒋玉贺,王 爽. CMOS 集成电路 ESD 设计[J]. 微处理机, 2008, 29(3): 19-21.
- [11] Ker K D, Chen T Y, Wu C Y. ESD protection design on analog pin with very low input capacitance for high-frequency current-mode application[J]. IEEE Solid-State Circuits, 2000, 35(8): 1194-1199.
- [12] 陈裕焜,贾新章,张德胜,等. 微电子器件试验方法和程序[S]. 北京:总装备部军标出版发行部,2005.
- [13] 韩忠华,王长涛,马 斌,等. 半导体封装生产线工艺流程分析[J]. 科技广场,2010(8):147-149.
- [14] 李 锐,陈裕焜,秦国林,等. 合格制造厂认证用半导体集成电路通用规范[S]. 北京:总装备部军标出版发行部, 2011.