

1394 总线物理层芯片虚拟验证关键技术研究

徐文进^{1,2}, 田 泽^{1,2}, 郑新建^{1,2}, 楼晓强^{1,2}

(1. 中航工业西安航空计算技术研究所;

2. 集成电路与微系统设计航空科技重点实验室, 陕西 西安 710068)

摘 要:1394 总线支持等时和异步流传输事务,具有确定性带宽、实时数据传输、拓扑灵活等特点,满足航空电子系统对总线带宽、实时性、容错和可靠性等方面的要求。物理层芯片是 1394 总线网络的核心器件,在研制过程中能否对其进行充分验证,是直接影响其投产成功的关键因素之一。文中通过对 1394 总线物理层芯片进行功能分析,描述了芯片的验证策略,提出了一种虚拟验证平台搭建的关键技术。该验证平台具有高效率、灵活等特点。通过对数字逻辑的验证实施,可以极大地缩短验证时间,提高验证效率,节省验证人力,并对后续 1394 总线相关产品的开发具有一定参考价值。

关键词:1394;PHY;验证平台,验证模型

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2016)05-0162-03

doi:10.3969/j.issn.1673-629X.2016.05.035

Research on Key Technology of 1394 Bus PHY Chip Virtual Verification

XU Wen-jin, TIAN Ze, ZHENG Xin-jian, LOU Xiao-qiang

(Key Laboratory of Aeronautics Science and Technology of Integrated Circuit and Micro-system Design,
AVIC Computing Technique Research Institute, Xi'an 710068, China)

Abstract:1394 bus supports isochronous and asynchronous transaction of flow transmission, which has the characteristics of certain bandwidth, real-time data transmission and flexible topology, meeting the requirements of avionics system to bus bandwidth, real-time, fault tolerance and reliability. Physical layer chip is the core device of the IEEE1394 buses. In the whole development process of the chip, the ability to fully verify its direct impact on the final tape-out is crucial. In this paper, the function of the 1394 bus physical layer chip is analyzed, and the verification strategy is described, and a kind of key technologies of virtual verification platform is put forward. This verification platform has high efficiency, flexibility and so on. Through the implementation of digital logic, it can shorten the time of verification, improve the efficiency of verification, save the human resources, and have a certain reference value for the development of the 1394 bus related products.

Key words:1394;PHY;verification platform;verifying model

1 概 述

1394 总线支持等时和异步流传输事务,具有确定性带宽、实时数据传输、拓扑灵活等特点,满足航空电子系统对总线带宽、实时性、容错和可靠性等方面的要求。1394 总线物理层芯片(以下简称 PHY 芯片)实现了 IEEE1394 物理层协议定义的全部功能,为 1394 总线的传输提供实际接口和物理介质,主要功能包括数据的发送和接收、总线仲裁以及提供电气接口^[1]。其结构框图如图 1 所示。

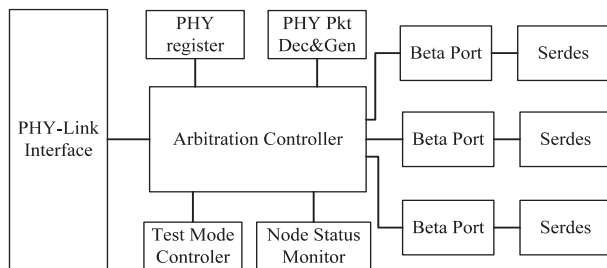


图 1 1394 总线物理层芯片结构框图

虚拟平台验证是芯片验证的常用手段。文中结合 PHY 芯片设计项目,着重描述了虚拟验证的验证策

收稿日期:2014-10-13

修回日期:2015-01-15

网络出版时间:2016-05-05

基金项目:中国航空工业集团公司创新基金(2010BD63111)

作者简介:徐文进(1983—),男,工程师,研究方向为集成电路设计与验证;田 泽,研究员,中国航空工业集团首席技术专家,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计等。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20160505.0814.010.html>

划、验证平台搭建以及验证实施等关键技术及实施过程^[2]。

2 验证策划

验证策划是验证工作的基础,在验证策划中应该详细列出所要验证的功能,以确保设计规范得到满足^[3]。PHY 芯片的验证策划是在芯片功能分析的基础上,所有功能点在虚拟验证阶段得到充分验证。PHY 芯片的虚拟验证主要使用 verilog HDL 语言,开发 testbench 和 testcase 给设计施加激励并观察其响应来进行。

2.1 PHY 功能分析

根据 IEEE1394 对物理层协议的定义,PHY 芯片主要实现了 tone 检测、速度协商、同步、拓扑建立、环检测、端口低功耗模式、仲裁等功能。

tone 检测:Beta 模式采用 tone 信号来检测连接和速度协商。Tone 信号为 TPA/TPB 双绞线上的电气信号。节点上电后,会通过 tone 信号建立连接,根据 eager Beta 算法完成端口 Beta 或 Alpha 工作模式的确定。

速度协商:速度协商在 tone 检测和模式判定后进行,进行速度协商的目的就是将两个连接端口的端口速度协商一致,以便它们能够进行正常的操作。

同步:在端口连接后,端口开始进行同步过程。端口向对等端口发送 TRAINING 配置请求。对等端口也开始同步过程并且发送 TRAINING 配置请求。当接收到 TRAINING 符号序列时,端口将会与接收到的字符流同步。端口在获得位同步与字符同步后,将其解扰器与对等端口发送端的加扰器状态同步。在端口 descrambler training 后完成本地同步,在确定对等端口也同步后,端口间建立同步。

拓扑建立:同步完成后,节点的活动端口间进行树标识过程,完成子端口或父端口的标识;其后进行自标识,为每个节点分配唯一的 ID 号。自标识过程各节点通过发送自标识包,网络上的各节点均可收到任意其他节点发出的自标识包,通过该包的分析可获知 1394 网络的拓扑结构。

环检测:由于总线上节点的接入和移除都会形成新的总线拓扑,可能会导致网络中形成环路。因此,在节点接入时,总线必须对新增端口进行环路检测。如果节点的接入未造成环路,则允许正常接入,否则断开这个端口,从而确保网络不存在环。

仲裁:当任何一个总线上的节点想要执行一个事务时,它必须要获得总线的使用权。仲裁的功能就是决定哪一个请求总线使用权的节点能获得根节点的授权,确保在同一时间仅有一个节点控制总线上传输数据,是 PHY 控制器的核心控制单元^[4]。

2.2 验证策略

通过分析 PHY 芯片的功能行为,首先制定了虚拟验证目标:由于 PHY 芯片包括数字逻辑和模拟 Serdes 两部分,而模拟 Serdes 的功能及电气特性通过电路仿真进行,所以 PHY 芯片虚拟验证只能验证数字逻辑部分。PHY 芯片虚拟验证分为基本资源验证和功能验证。基本资源验证是通过主机接口模型来模拟主机软件行为,以达到对芯片内部可访问资源进行验证的目的。而对于功能验证,可以通过主机接口模型、本地 Link 模型和远程节点模型产生各类型的数据包,然后把这些数据激励施加在待测逻辑上,以达到芯片内部功能的验证。

3 验证平台搭建

1394 总线物理层芯片验证平台如图 2 所示。

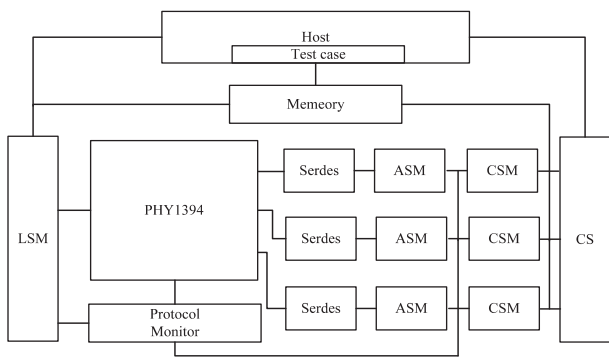


图 2 1394 总线物理层芯片虚拟验证平台

其搭建的原则是按照验证规范,通过开发相应的验证组件来模拟芯片实际工作时的周边元件,使平台尽量接近芯片实际的运行环境,能够模拟尽可能多的工作场景^[3,5-6]。该平台集成了4个1394节点构成一条1394总线,其中三个远程节点由验证组件ASM和CSM构成,实现了1394总线协议物理层全部功能。本地节点由要验证的PHY芯片数字逻辑(图中PHY1394B)、LSM以及模拟Serdes模型构成^[7-9]。下面将描述验证平台中各部分的作用^[10-11]。

(1) **LSM:链路层模型**。该模型可以模拟 ALink 或 BLink 进行工作,用于根据 Host 主机的指示发送相应类型的请求,或接收从 PHY 发送来的包和状态信息,以及发送主机所指定的包。

(2) PHY1394:待测 PHY 芯片数字逻辑代码。

(3) Serdes: PHY 的 Serdes 部分仿真模型用于模拟 PHY 中 Serdes 部分的模拟电路工作, 可实现 S100, S200, S400, S800 的 Beta 类型 Serdes 的功能。

(4) ASM:对等节点 PHY 模拟部分与 Serdes 相同的模型,与待测的 PHY 节点形成连接。

(5) CSM:对等节点模型,用于仿真一个 1394 节点或一个子网。在 Host 控制下与运行其上的 CS(Cable

SoftWare)一起实现一个子网络或节点的所有功能,在主机软件的控制下,与 ASM 一起作为串行总线的节点使用,可以配置为多个端口(最多 16 个),也可以模拟一个子网络。

(6)CS:对等节点软件,运行于 CSM 之上,用于控制对等节点的操作。

(7)Host:主机控制软件。该模块是测试平台的最高软件层,用于配合 testcase 完成 PHY 的测试,提供了供 LSM 和 CSM 等调用的一系列函数,完成激励施加、响应检查,并输出测试结果。

(8)Test case:具体的测试用例。

(9)Memory:存储 CSM 和 LSM 模型发送或接收的数据。

(10)Protocol Monitor:协议监视器直接对 PHY 中的信号进行检测。主要关注请求处理过程,直接将数据发送到 PHY 的 Port Controller 的输入端,并且访问写请求的处理和授权。包括 Phy-Link 接口检测、协议检查、环路检测和端口检测。

4 验证实施

此处以 PHY 芯片在 ALink 模式下包发送的验证为例,结合前文所述验证平台,说明验证的实施过程^[12-14]。该验证项的目的是 PHY 具有发送基本包的能力。

验证实施过程依照如下步骤,该验证项总线拓扑结构如图 3 所示。

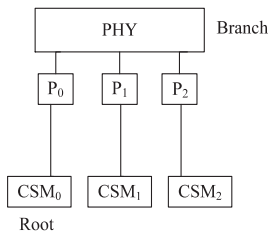


图 3 验证拓扑结构

(1)上电复位,总线初始化,LSM 向 PHY 分别发送一个 S100、S200、S400 的异步包请求,等待该异步包得到授权,完成包发送和接收并比较包接收结果。

(2)根节点发送 cycle start 请求,随后发送 cycle start 包,其他节点接收 cycle start 包。

(3)总线进入等时周期,PHY 连续发送 6 个等时请求,包速率分别为 S100、S100、S200、S200、S400、S400,速率相同的两个包一组。包格式分别为异步读数据块请求包、异步写数据块请求包、等时数据块包、异步写数据块请求包。

(4)等待一个子务间隔,判断测试过程中是否出错,如果没有错误,则场景通过。

其他验证项的实施与上述过程基本类似,均在虚

拟验证平台各组件的协同工作下执行。

整个验证平台的开发采用了分层的概念,平台开发人员和 testcase 编写人员相互独立。这样做的好处是测试人员可以不用了解验证环境,就可以通过配置不同的 1394 总线网络拓扑结构,选择不同的包格式、速度等设置项,快速写出各种 testcase,对 PHY 芯片进行充分验证。

5 结束语

文中通过对 1394 总线物理层芯片进行功能分析,明确了其验证策略,详细描述了虚拟验证平台的搭建过程。通过验证实施发现,该验证平台具有高效率、灵活等特点,可以极大地缩短验证时间,提高验证效率,从而节省了验证的人力和时间。

参考文献:

- [1] IEEE Std 1394™-2008 IEEE standard for a high-performance serial bus[S]. [s. l.]:IEEE,2008.
- [2] 申敏,曹聪玲.基于 SoC 设计的软硬件协同验证技术研究[J].电子测试,2009(3):9-12.
- [3] Lam W K. Hardware design verification:simulation and formal method-based approaches[M]. [s. l.]:Prentice Hall PTR Publisher,2005.
- [4] 汪国有,王至勉,何晓翔,基于 FPGA 的 IEEE1394 物理层控制器设计与实现[J].微计算机信息,2004,20(7):73-75.
- [5] 郭蒙,田泽,蔡叶芳,等.1553B 总线接口 SoC 验证平台的实现[J].航空计算技术,2008,38(6):99-101.
- [6] 吴晓成,田泽,郭蒙,等.AFDX 交换芯片虚拟验证关键技术研究[J].计算机技术与发展,2013,23(8):177-180.
- [7] Wolberg G. Digital image warping[M]. Los Alamitos, California:IEEE Computer Society Press,1990:208-209.
- [8] Device control register bus 3.5 architecture specifications[M]. [s. l.]:IBM,2006.
- [9] On-chip peripheral bus architecture specifications[M]. [s. l.]:IBM,2001.
- [10] 李哲,田泽,张荣华.AFDX 网络交换机芯片关键性能验证方法研究[C]//第十六届计算机工程与工艺年会暨第二届微处理器技术论坛文集.出版地不详:出版者不详,2012:483-486.
- [11] 田靖,田泽.AFDX-ES SoC 虚拟仿真平台的构建与应用[J].计算机技术与发展,2010,20(8):192-194.
- [13] 华为技术有限公司.一个成功的百万门级芯片验证平台[J].中国集成电路,2005(6):36-43.
- [14] 吴英攀,于立新,薛可,等.基于层次化验证平台的存储器的控制器功能验证[J].微电子学与计算机,2009(2):25-28.