

基于 DMA 的双通道千兆以太网 MAC 设计与验证

刘 浩,田 泽,刘承禹,雷 宇

(中航工业西安航空计算技术研究所 集成电路与微系统设计航空科技重点实验室,
陕西 西安 710068)

摘 要:以太网是现有局域网采用的通用的通信协议标准。千兆以太网向下完全兼容 10/100 Mbps 以太网,并利用了原以太网标准所规定的全部技术规范。作为以太网技术的核心,千兆以太网 MAC 层协议是数据帧收发的基础,负责上层数据和物理层比特流的封装和解封,流量控制,校验检测等功能。针对航电系统应用中对通信带宽和数据实时性的要求,文中提出了基于 DMA 的双通道千兆以太网 MAC 方案。首先对缓冲区描述符存储结构进行描述,基于此种存储结构提出了基于 DMA 的双通道千兆以太网 MAC 架构设计,最后对发送、接收模块微结构进行了详细设计。在 NCSim 平台下对整个设计进行了仿真验证。结果表明 GMII 接口能够以 10/100/1 000 Mbps 的速率实现半双工/全双工通信,满足设计要求。

关键词:缓冲区描述符;DMA;千兆以太网 MAC;GMII

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2016)05-0132-03

doi:10.3969/j.issn.1673-629X.2016.05.028

Design and Verification of Dual-channel Gigabit Ethernet MAC Based on DMA

LIU Hao, TIAN Ze, LIU Cheng-yu, LEI Yu

(Aeronautics Science and Technology Key Laboratory of Integrate Circuit and Micro-system Design,
AVIC Computing Technique Research Institute, Xi'an 710068, China)

Abstract: Ethernet is the popular communication protocol standard implemented in existing LANs. Gigabit Ethernet is fully compatible with 10/100 Mbps Ethernet, and adopting all specifications of original Ethernet. As the key of Ethernet technique, gigabit Ethernet MAC is the base of frame data transmitting, it implements the assembling and disassembling framing between upper data and physical level, flow control, and CRC check so on. Aiming at the demands of high-bandwidth and real-time-transmission in avionics applications, a method of dual-channel gigabit Ethernet MAC based on DMA is put forward. First, an overview of buffer descriptor is described, based on which propose the system design of dual-channel gigabit Ethernet MAC based on DMA. Finally, the structure design of sending and receiving module is discussed. Through simulation of the whole design under NCSim platform, the results show that the GMII interface can work in Full Duplex/Half Duplex mode at 10/100/1 000 Mbps respectively to meet the requirements.

Key words: buffer descriptor; DMA; gigabit Ethernet MAC; GMII

0 引 言

以太网自提出以来,得到了飞速发展,已经成为当前局域网的标准。千兆以太网与 10/100 Mbps 以太网完全兼容^[1],并利用了原以太网标准所规定的全部技术规范,包括 CSMA/CD 协议、以太网帧格式、全双工、流量控制等^[2]。千兆以太网以其高效、高速、高性能等特点广泛应用于工业、国防、航空航天等特殊领域^[3]。

航电系统的发展趋势要求网络既能够提供更大的带宽,又能保证实时性数据的传输。文中提出的基于 DMA^[4]的双通道千兆以太网 MAC^[5]解决方案,主机事先按照缓冲区描述符存储结构开辟好缓冲区,然后启动 DMA 实现以太网数据与发送、接收模块之间的数据搬移,实现了 PLB4^[6]接口与 GMII^[7]接口之间高效的数据传输。

收稿日期:2015-06-16

修回日期:2015-09-22

网络出版时间:2016-05-05

基金项目:中国航空工业集团公司创新基金(2010BD63111)

作者简介:刘 浩(1985-),男,硕士研究生,工程师,研究方向为集成电路设计;田 泽,博士,研究员,中航首席技术专家,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20160505.0814.002.html>

1 缓冲区描述符存储结构

缓冲区描述符存储结构由一组寄存器和一组环形队列组成。软件将待发送的以太网数据填充到缓冲区中,为接收到的以太网数据开辟好缓冲区,同时更新描

述符的控制字段;硬件自动处理描述符并且在每一帧处理完成后更新描述符的状态字段。缓冲区描述符存储结构如图1所示。

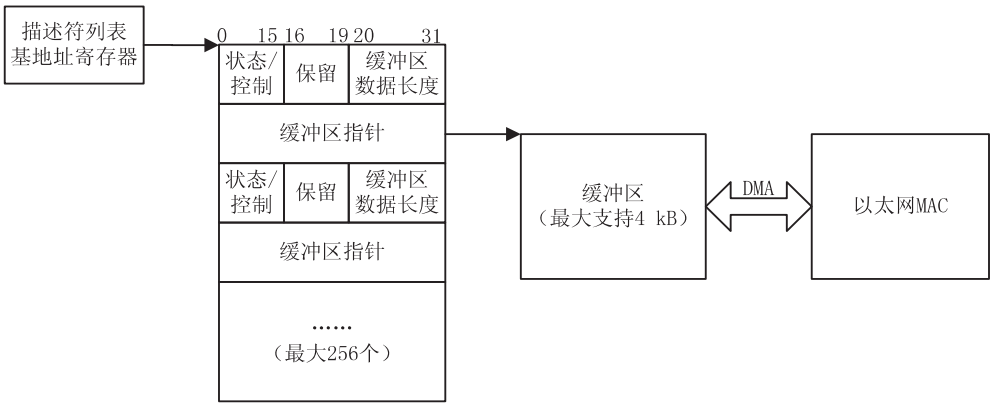


图1 缓冲区描述符存储结构

主机对描述符列表基地址寄存器进行配置,该寄存器的值指向了主机内存空间中描述符列表的基地址。描述符列表是一组环形队列,最大可达256个。每个描述符长度为8字节,包含3个有效字段:状态/控制字段定义了缓冲区的空/满状态、回绕模式;缓冲区数据长度字段定义了缓冲区数据的长度;缓冲区指

针字段定义了缓冲区在主机内存实际存储的首地址。DMA根据该实际存储地址完成缓冲区数据与以太网MAC之间的搬移。

缓冲区与以太网MAC之间的DMA数据搬运如图2所示。

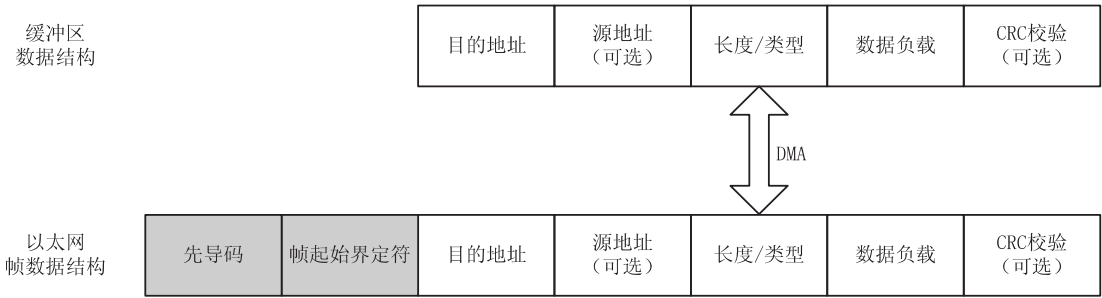


图2 缓冲区与以太网MAC之间的DMA数据搬运

缓冲区中存放的数据包含以太网帧格式^[8]中的目的地址(6字节)、源地址(6字节)、长度/类型(2字节)、数据负载(最大1500字节)以及CRC校验^[9](4字节)。DMA将缓冲区中的数据搬运到以太网MAC后,以太网MAC只需添加先导码(7字节,由0/1相间的数据组成)和帧起始界定符(1字节)即可形成标准的以太网帧并将其发送。以太网MAC在接收到一帧数据后,将先导码和帧起始界定符剥离,然后将帧数据通过DMA搬运到缓冲区中。

址过滤等功能。

2 基于DMA的双通道以太网MAC架构设计

图3描述了基于DMA的双通道以太网MAC架构设计。该设计包含如下子模块:一个双通道DMA模块,实现缓冲区与以太网MAC之间的数据搬运;两个以太网MAC模块,实现以太网组帧解帧、流控管理、地

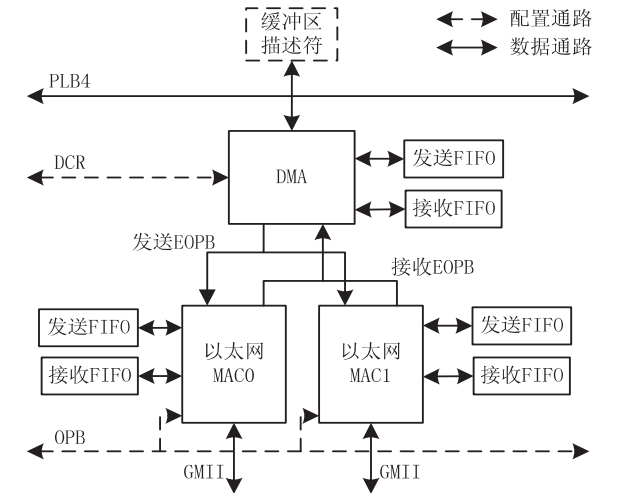


图3 基于DMA的双通道以太网MAC架构设计

对于发送通道,软件通过DCR总线^[10]配置DMA模块内部的描述符列表基地址寄存器,DMA模块根据

该寄存器的值通过 PLB4 总线对缓冲区发起 Burst 读操作, Burst 长度可配置为 4、8、16 四字传输; DMA 模块将读取到的数据通过发送 EOPB 总线传输给以太网 MAC。EOPB 总线是基于标准 OPB 总线^[11]的扩展, 将数据位宽从 32 位扩展到 128 位, 字节使能位宽从 4 位扩展到 16 位。这样做的好处是保证了数据位宽与 PLB4 总线数据位宽一致, 提高传输效率的同时也降低了设计的复杂度。以太网 MAC 将接收到的数据打包成标准以太网帧格式通过 GMII 接口发送到网络上^[12-13]。

对于接收通道, 以太网 MAC 将从网络上收到的标准以太网帧解包后通过接收 EOPB 总线提交给 DMA 模块, DMA 模块通过 PLB4 总线发起 Burst 写操作将数据写入缓冲区中。

3 基于 DMA 的双通道以太网 MAC 详细设计与验证

3.1 发送模块微结构设计

以太网发送模块微结构设计如图 4 所示。

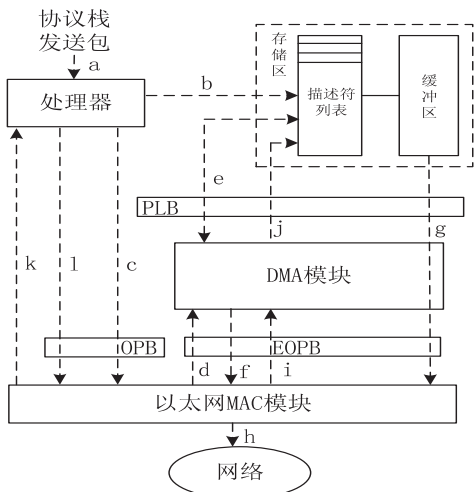


图4 以太网发送模块微结构设计

软件先将发送数据包准备好, 通过处理器将发送数据包解析到发送缓冲区中并且更新发送描述符的控制字段, 然后软件通过寄存器配置启动以太网 MAC 模块的发送功能。以太网 MAC 模块向 DMA 模块请求发送数据包。DMA 模块获取发送描述符信息, 将控制字段写入以太网 MAC 模块, 同时启动 DMA 将发送数据包从缓冲区搬移至以太网 MAC 模块。以太网 MAC 模块将发送数据包组帧形成标准以太网帧格式并发送到网络上。待发送完成后, 以太网 MAC 模块请求 DMA 模块读取状态字段。DMA 模块将读取到的状态字段写入发送描述符。以太网 MAC 模块向处理器发出发送中断表明数据包发送完成; 软件清除以太网 MAC 模块的发送中断。

3.2 接收模块微结构设计

以太网接收模块微结构设计如图 5 所示。

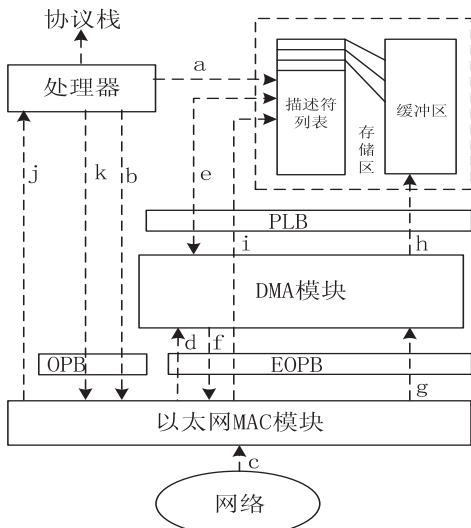


图5 以太网接收模块微结构设计

软件先开辟一块空闲的接收缓冲区并且更新接收描述符的控制字段, 然后软件通过寄存器配置启动以太网 MAC 模块的接收功能。以太网 MAC 模块从网络上接收以太网帧, 并且向 DMA 模块发起接收数据包处理请求。DMA 模块获取接收描述符信息, 并将控制字段写入以太网 MAC 模块, 同时启动 DMA 将接收到的数据包写入缓冲区中。待接收完成后, 以太网 MAC 模块请求 DMA 模块读取状态字段。DMA 模块将读取到的状态字段写入接收描述符。以太网 MAC 模块向处理器发出接收中断表明数据包接收完成; 软件清除以太网 MAC 模块的接收中断。

3.3 仿真验证

通过 NCSim 平台搭建仿真环境, 使用 Verilog 和 BFL^[14]语言, 借助外部 PLB 模型、DCR 模型、OPB 模型、以太网 PHY 模型以及时钟复位模型对设计添加激励, 详尽地对 10/100/1 000 Mbps 下全双工/半双工模式、流量控制、地址匹配等功能进行了验证。

典型的全双工千兆以太网自环过程如下:

- (1) 软件通过 DCR 接口配置发送通道和接收通道的描述符列表基地址;
- (2) 软件通过 OPB 接口配置以太网 MAC 模块的收发功能;
- (3) DMA 模块读取发送通道描述符控制字;
- (4) DMA 模块启动 DMA 读取 PLB 空间发送缓冲区中的数据;
- (5) GMII 接口自环发送、接收以太网帧;
- (6) DMA 模块将状态字写回到发送通道描述符;
- (7) DMA 模块读取接收通道描述符控制字;
- (8) DMA 模块启动 DMA 将经过自环接收到的以

(下转第 138 页)

外,在芯片测试时也能够提供更加直观的存储功能的判断。然而受限于存储系统数据位宽与主机接口数据位宽的不匹配以及存储系统竞争机制中主机访问的优先级问题,导致以往的设计中很少能够实现由外部主机直接对片外存储的有效读写访问,因此该设计充分考虑了主机访问存储系统的操作类型、操作顺序以及存储对外部读写访问的处理、竞争机制的特点,实现了在不限制外部主机操作类型、操作顺序以及不影响存储系统与其余功能单元的数据交互的前提下,由主机直接访问存储系统的功能,解决了日渐增加的外部存储资源对前端设计造成的设计隐患,极大提高了前端设计验证的效率,保证了前端设计功能的准确性。

参考文献:

- [1] 蔡士杰,宋继强,蔡敏. 计算机图形学[M]. 第3版. 北京:电子工业出版社,2007:10-21.
- [2] 徐新海,林宇裴,易伟. CPU-GPGPU 异构体系结构相关技术综述[J]. 计算机工程与科学,2009,31(A1):24-26.
- [3] Wolf W. High performance embedded computing architectures, applications, and methodologies[M]. New York:Elsevier,2007.
- [4] 128-bit processor local bus architecture specifications[M]. [s.l.]:IBM,2004.
- [5] Patnaik G, Corrigan A. Efficient utilization of a CPU-GPU cluster[C]//Proc of 50th AIAA aerospace sciences meeting

including the new horizons forum and aerospace exposition. Nashville, Tennessee:[s. n.],2012.

- [6] Rainald F C, Baum J D. Large-scale blast calculations on GPU clusters[C]//Proc of 50th AIAA aerospace sciences meeting including the new horizons forum and aerospace exposition. Nashville, Tennessee:[s. n.],2012.
- [7] 贾真,林清. PCI 总线应用设计与研究[J]. 现代电子技术,2008,31(10):85-87.
- [8] 马安国,成玉,唐遇星,等. GPU 异构系统中的存储层次和负载均衡策略研究[J]. 国防科技大学学报,2009,31(5):38-43.
- [9] 王鹏,伊鹏,金德鹏,等. 基于三级存储阵列缓存高速数据包及性能分析[J]. 软件学报,2005,16(12):2181-2189.
- [10] 张立倩,白凤山. 基于 PCI 总线的数据传输系统设计[J]. 内蒙古大学学报:自然科学版,2005,36(1):84-88.
- [11] 张伟栋,王国庆,崔红利. 一种基于 IP 内核的 PCI 总线接口设计方法研究[J]. 航空计算技术,2008,38(5):115-118.
- [12] 柳钰,梅策香,吴继侠. PCI 总线从设备控制器的设计与实现[J]. 微计算机信息,2009,25(7-2):278-280.
- [13] 刘鑫,许华荣. 基于 GPU 的特征点提取与匹配算法比较[J]. 计算机辅助设计与图形学学报,2013,25(10):1496-1502.
- [14] 刘海华,陈心浩. 异步非透明 PCI-PCI 桥的应用研究[J]. 微计算机应用,2006,27(4):478-480.

(上接第 134 页)

以太网帧数据写入 PLB 空间;

(9)DMA 模块将状态字写回到接收通道描述符。

4 结束语

文中提出一种基于 DMA 的双通道千兆以太网 MAC 方案,详细论述了缓冲区描述符,体系结构设计,以太网帧发送、接收微结构设计。经过验证,该设计满足千兆以太网 MAC 层协议,实现了以太网帧的高效、高速、低开销传输,可以方便地集成到嵌入式系统中。

参考文献:

- [1] 董小娜,甄国涌,杜志,等. 基于 Express Card 接口的千兆以太网网卡设计[J]. 计算机测量与控制,2012,20(8):2267-2269.
- [2] 詹俊鹏,李鹏. 基于 Altera FPGA 的千兆以太网实现方案[J]. 电子设计工程,2009,17(2):50-52.
- [3] 董继承,刘健,王瑞. 一种带优先级队列的千兆以太网 MAC 设计[J]. 电子设计工程,2011,19(8):116-119.
- [4] MCMAL DMA to PLB4 synthesizable core databook[M]. [s.l.]:IBM,2007.

- [5] Ethernet Media Access Controller4 (EMAC4) core databook[M]. [s.l.]:IBM,2004.
- [6] 128-bit processor local bus architecture specifications[M]. [s.l.]:IBM,2004.
- [7] Ethernet Gigabit MAC4 (GMAC4) core databook[M]. [s.l.]:IBM,2006.
- [8] 李俊生,袁继兵,郑林华. 基于 AM79C874 高速以太网控制器 MAC 层的设计与实现[J]. 电子工程师,2006,32(12):63-66.
- [9] 刘伟,王俊芳,王立莹,等. 千兆以太网 MAC 中 CRC 算法的设计与实现[J]. 通信技术,2012,45(7):32-34.
- [10] Device control register bus 3.5 architecture specifications[M]. [s.l.]:IBM,2006.
- [11] On-chip peripheral bus architecture specifications[M]. [s.l.]:IBM,2001.
- [12] 孔阳,武杰,马毅超,等. 基于千兆以太网物理层的高速传输设计[J]. 核技术,2010,33(11):863-866.
- [13] 曹政,李磊,陈明宇. 万兆以太网 MAC 层控制器设计与实现[J]. 小型微型计算机系统,2007,28(6):974-978.
- [14] Processor local bus functional model toolkit[M]. [s.l.]:IBM,2003.