

# 面向航电系统的 Power 架构双核处理器系统设计

刘浩,田泽,刘承禹,雷宇

(中航工业西安航空计算技术研究所 集成电路与微系统设计航空科技重点实验室,  
陕西 西安 710068)

**摘要:**航电系统在需求牵引和技术推动下正朝着高度综合化的方向发展,大量的红外、射频、信号处理、数字处理模块被集成在单一系统中,对系统的处理器性能、数据带宽提出了更高的挑战。而单一地提高处理器工作频率已经无法明显提升系统整体性能,并且会带来功耗、散热等问题。双核处理器解决方案可以在处理器主频不变的情况下将可执行的指令数增加一倍。航电系统综合化、小型化和低功耗的需求以及工艺水平的提升,为单芯片集成多处理器内核的设计提供了支撑。文中提出一种面向综合化航电系统的 Power 架构双核处理器系统设计方案。首先对双核处理器系统架构进行描述,在此基础上详细分析了总线互连、复位策略、存储一致性等关键技术。该方案可广泛应用于高度综合化航电系统设计领域。

**关键词:**Power 架构;双核;总线互连;存储一致性

**中图分类号:**TP39

**文献标识码:**A

**文章编号:**1673-629X(2016)03-0190-03

**doi:**10.3969/j.issn.1673-629X.2016.03.044

## Avionics System-oriented Design of Dual-core Processor System Based on Power Architecture

LIU Hao, TIAN Ze, LIU Cheng-yu, LEI Yu

(Aeronautics Science and Technology Key Laboratory of Integrate Circuit and Micro-system Design,  
AVIC Computing Technique Research Institute, Xi'an 710068, China)

**Abstract:** With the development trend of high-integration in avionics system under requirement and technique, more and more modules such as infrared devices, radio frequency devices, DSPs are integrated in a single system, which leads to a higher challenge to CPU performance and data bandwidth. The rise of CPU frequency solely would not promote the system performance and would cause problems of power consumption and heat radiation. The method of dual-core will double the number of instructions without changing the CPU frequency. The needs of integration, miniaturization and lower power-consumption in avionics system and development of technology brings supports to the design of multi-cores integrated in a single chip. A design scheme of integrated avionics system-oriented design of dual-core processor based on Power architecture is proposed. First, the architecture of dual-core processor is described, based on which analyzes bus interconnection, reset strategy, memory consistency in details. This scheme can widely adopt to design field of highly integrated avionics system.

**Key words:** Power architecture; dual-core; bus interconnection; memory consistency

## 0 引言

航电系统目前正在向高度综合化方向发展<sup>[1]</sup>,大量的红外、射频、信号处理、数字处理模块<sup>[2]</sup>被综合到一个系统,这对航电系统的性能、带宽、功耗、散热提出了严峻的挑战。将多模块集成为单芯片,能够大幅度减少元器件种类和板间连接器,有效解决面积、功耗和

散热等问题。因此采用面向综合化航电系统的专用单芯片双核处理器设计成为绝佳的解决方案<sup>[3]</sup>。

PowerPC 是一种精简指令集(RISC)架构的中央处理器,以其优异的性能、较低的能耗以及较低的散热量被广泛应用于嵌入式环境<sup>[4]</sup>。文中提出面向综合化航电系统的 Power 架构双核处理器系统设计方案,内

收稿日期:2015-06-12

修回日期:2015-09-18

网络出版时间:2016-03-04

基金项目:中国航空工业集团公司创新基金(2010BD63111)

作者简介:刘浩(1985-),男,硕士研究生,工程师,研究方向为集成电路设计;田泽,博士,研究员,中航首席技术专家,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计等。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20160304.1508.002.html>

部集成两个高性能PowerPC处理器,主处理器负责数据处理,从处理器负责FC-ASM协议<sup>[5]</sup>处理。主、从处理器之间通过DDR2存储器交换数据。文中对基于Power架构的双核乃至多核处理器开发具有一定的参考价值。

### 1 面向综合化航电系统的Power架构双核处理器架构设计

根据主、从处理器的功能划分,提出面向综合化航电系统的Power架构双核处理器架构设计,如图1所示。

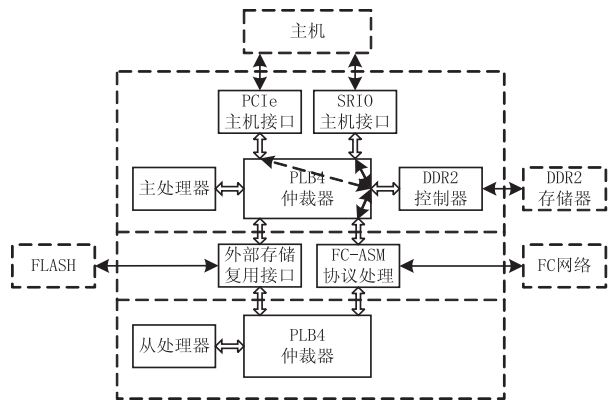


图1 面向综合化航电系统的Power架构双核处理器架构设计

主处理器集成了PCIe、SRIO主机接口和DDR2控制器,同时对FC-ASM协议处理模块开放一个高速数据接口,提供了一条主机—DDR2存储器—FC-ASM协议处理模块之间的数据处理高速通道。从处理器对FC-ASM协议处理模块开放一个配置接口,提供了初始化以及寄存器配置通道。主、从处理器通过外部存储复用接口访问片外FLASH,片外FLASH存放着处理器上电所需的初始化程序。

### 1 总线互连

主、从处理器以及周边模块之间通过PLB4总线<sup>[6]</sup>进行互连。PLB4总线是高性能数据总线,用于在高速主、从设备之间进行读数据和写数据的快速交换。PLB4总线包含64位地址线、128位数据线。每一个PLB主设备通过独立的地址线、写数据线、读数据线和控制信号连接到PLB4总线上;每一个PLB从设备通过共享的地址线、读数据线、写数据线、控制和状态信号连接到PLB4总线上。各个设备对PLB总线的访问通过一个集中的总线仲裁器来完成总线控制的分配。

考虑到PCIe、SRIO主机接口与FC-ASM协议处理模块之间需要通过DDR2存储器交换大量数据,因此在主处理器PLB0总线上只分配DDR2控制器一个

从设备;其余从设备被分配在主处理器的PLB1总线上。主处理器总线互连如图2所示。

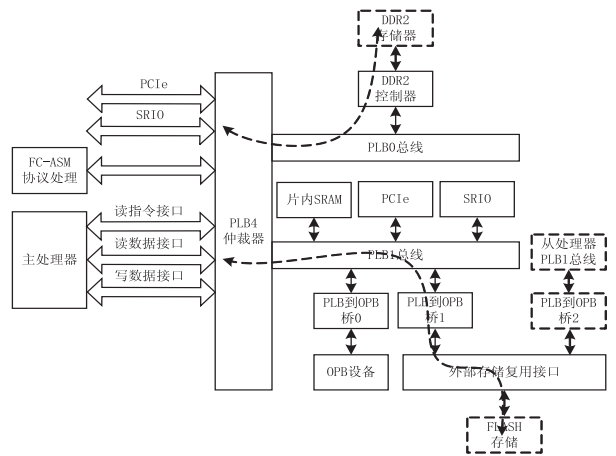


图2 主处理器总线互连

从图中可以看出,两条相对独立的数据通路:PCIe、SRIO、FC-ASM协议处理模块与DDR2存储器之间的FC通信数据通路;主处理器与FLASH存储之间的程序加载数据通路<sup>[7]</sup>。

从处理器对冗余的周边模块进行裁剪,只保留了与处理器核和FC-ASM模块正常工作相关的模块。从处理器总线互连如图3所示。

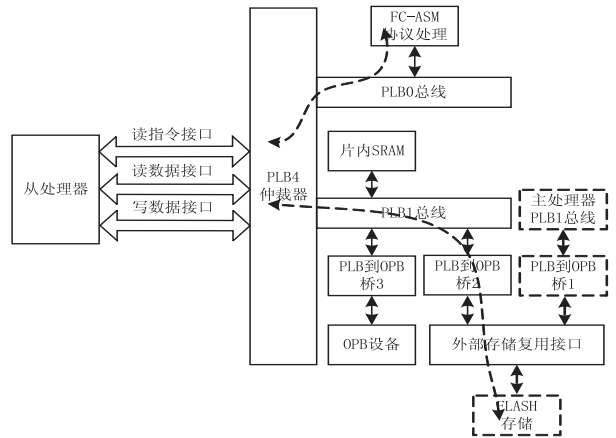


图3 从处理器总线互连

### 3 复位策略

复位分为硬件复位、软件复位和看门狗复位三种方式<sup>[8-9]</sup>。其中主处理器和从处理器具有独立的软件复位和看门狗复位。复位策略如图4所示。

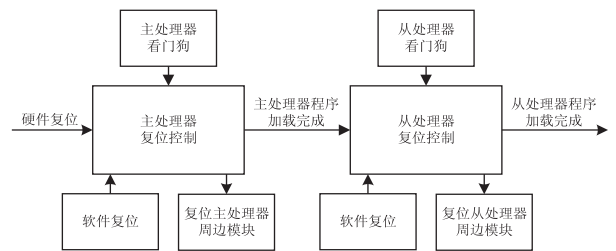


图4 复位策略

硬件复位结束后,主处理器开始初始化并从外部 FLASH 加载程序<sup>[10-14]</sup>,待主处理器程序加载完成后,从处理器开始初始化并从外部 FLASH 加载程序。

#### 4 存储一致性信号量方案

主、从处理器之间通过 DDR2 存储器交换数据,为了保证存储一致性<sup>[15]</sup>,文中提出了一种信号量的解决方案。

存储一致性信号量方案如图 5 所示。

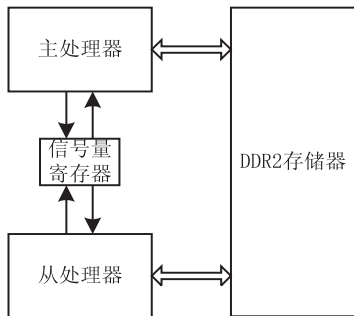


图 5 存储一致性信号量方案

主、从处理器共享一个信号量寄存器。如果从处理器要对 DDR2 存储器进行访问,应先读取信号量寄存器,如果寄存器值为“0”,表明主处理器正在对 DDR2 存储器进行访问。主处理器完成对 DDR2 存储器的访问后,对信号量寄存器进行写操作,写操作会将信号量寄存器主处理器端置“0”,从处理器端置“1”。从处理器读取到信号量寄存器值为“1”后,表明从处理器可以发起对 DDR2 存储器的访问。信号量解决方案提供了主、从处理器对共享的 DDR2 存储器的互斥操作机制,保证了存储一致性。

#### 5 结束语

文中提出了面向综合化航电系统的 Power 架构双核处理器系统设计方案,详细论述了架构设计、总线互连、复位策略、存储一致性设计。面向航电系统特定应用,将多模块集成到单片,有效解决了原系统存在的面积、功耗、散热、布线复杂等问题。文中对基于 Power 架构的双核乃至多核处理器开发具有一定的参考

价值。

#### 参考文献:

- [1] 李成文,李 鹏,湛文韬,等.一种小型化高性能综合处理系统的设计与实现[J].航空计算技术,2014,44(4):121-125.
- [2] 刘丽君,贺占庄,李 灏.基于 PowerPC 的嵌入式系统硬件设计[J].计算机技术与发展,2008,18(2):251-253.
- [3] Kuon I, Tessier R, Rose J. FPGA architecture survey and challenges[J]. Foundation and Trends in Electronic Design Automation, 2008, 2(2):135-253.
- [4] 潘 越,宋 萍,李科杰.基于 PowerPC 和 FPGA 的小型无人直升机飞行控制计算机系统设计[J].计算机测量与控制,2013,21(1):112-115.
- [5] John G H, Hani S M. Numerical modeling of ore dilution in blast hole stoping[J]. International Journal of Rock Mechanics and Mining Sciences, 2007, 44(5):692-703.
- [6] 128-bitprocessor local bus architecture specifications[M]. [s. l.]:IBM, 2004.
- [7] PPC464-H90 embedded processor core support manual [M]. [s. l.]:IBM, 2007.
- [8] 林学龙. MPC8xx 系列处理器的嵌入式系统复位电路设计[J].单片机与嵌入式系统应用, 2005(4):80-83.
- [9] 王 勇. 基于 MPC8641D 处理器的对称多处理技术研究[J]. 信息与电脑, 2010(5):22-23.
- [10] 周 洪,沈 华. 基于 MPC8640 处理器的通用处理模块硬件设计[J]. 电脑知识与技术, 2014, 10(20):4922-4925.
- [11] 许 伟,冯 萍,郭海山. 光纤通道交换网络接口卡的零拷贝技术研究与实现[J]. 计算机测量与控制, 2008, 16(3):366-369.
- [12] 王长清,岑 凡,蔡惠智. 基于 PowerPC 架构多核处理器嵌入式系统硬件设计[J]. 微计算机信息, 2010, 26(6-2):6-7.
- [13] 刘丽君,贺占庄,李灏. 基于 PowerPC 的嵌入式系统硬件设计[J]. 计算机技术与发展, 2008, (02):251-253.
- [14] 李 攀,田 泽,蔡叶芳,等. 基于 SOPC 的 PCI 通信接口设计与实现[J]. 计算机技术与发展, 2009, (09):211-214.
- [15] 陈海荣. 基于双核 PowerPC 处理器的高性能计算模块设计[J]. 计算机测量与控制, 2011, 19(11):2824-2827.