

# SAE AS5643 协议分析及设计实现

王宣明,田 泽,魏艳艳,牛少平,徐文进

(中国航空计算技术研究所,陕西 西安 710068)

**摘 要:**为满足航空、航天等高安全领域对高可靠、低延迟、确定性的需求,SAE 组织对 IEEE 1394b 协议局部进行了限制和改进,形成了 SAE AS5643 协议,其全称为用于军事和飞行器应用的 1394b 总线接口需求,目的是标准化 Mil-1394b 在军事和飞行器中的安全关键/任务关键应用中的方法途径。文中从实现系统确定性和可靠性两个方面来详细分析 SAE AS5643,提出 Mil-1394b 总线相比 IEEE 1394b 总线更适合作为完全关键的航空总线等高可靠场合的应用,提出了基于逻辑及 FPGA 实现 AS5643 协议的解决方案,并给出了实验结果,表明该解决方案满足设计指标,性能良好,提高了协议解析速度以及数据传输时间精度。

**关键词:**SAE AS5643;IEEE 1394b;分析;实现

**中图分类号:**TP39

**文献标识码:**A

**文章编号:**1673-629X(2015)07-0213-04

**doi:**10.3969/j.issn.1673-629X.2015.07.048

## Analysis and Design Implementation of SAE AS5643

WANG Xuan-ming, TIAN Ze, WEI Yan-yan, NIU Shao-ping, XU Wen-jin

(Aeronautics Computing Technique Research Institute, Xi'an 710068, China)

**Abstract:** To meet the requirement of high-reliability, low delay and determinacy for aviation field, SAE enhances the IEEE 1394b protocol and has been standardized as the SAE AS5643 protocol, whose full name is 1394b bus interface requirements used for military and aircraft application, the purpose is to standard the way for Mil-1394b in safety and task critical application in military and aircraft. Analyze SAE AS5643 in detail from the determinism and reliability of system, present that the Mil-1394b bus is more suitable for the application as a critical avionics bus in high reliability occasions compared with IEEE 1394b bus. And propose a solution for the implementation of AS5643 protocol based on logic and FPGA. Experimental results show that the method meets the design indicators, with good performance, and increases the speed of protocol parsing and time precision of data transmission.

**Key words:** SAE AS5643; IEEE 1394b; analysis; implementation

## 0 引 言

随着高度综合化航空电子技术的发展,早期三代战机中的 MIL-STD-1553B 数据总线的传输速率已不能满足应用需求,迫切需要一种传输速率更高的数据总线。IEEE 1394b 总线能够提供上千兆的数据传输率,可同时支持同步和异步传输,适用于数据传输量较大的设备,且允许 1394B 总线中有闭环存在<sup>[1]</sup>,从而可方便地进行冗余设计,为该总线在航空领域的应用奠定了基础。虽然 IEEE 1394b 总线可提供必需的数据传输功能,但由于它是由消费电子发展而来的,无法满足航空器对系统鲁棒性与确定性的要求<sup>[2]</sup>。汽车工程师学会(SAE)对 1394b 协议局部进行了限定,形成

了 SAE AS5643 标准(全称《SAE AS5643:用于军事和飞行器应用的 1394b 接口需求》<sup>[3]</sup>),以满足航空领域对高可靠性、低延迟、确定性的要求。

已有技术一般基于处理器运行的驱动程序来实现 AS5643 协议解析,但处理器在进行此工作的时间精度不高。FPGA 逻辑处理具有高时间精度,可并行处理的优点,故文中提出采用 FPGA 来实现 AS5643 协议解析,提高了协议解析的时间精度,并减少了处理器工作,使其主要进行顶层应用信息处理和控制在,增加了整个系统的运行效率<sup>[4-6]</sup>。

首先分析了 SAE AS5643 协议对 IEEE 1394b 增加的限制内容,及其在增强系统确定性和可靠性方面

收稿日期:2014-08-13

修回日期:2014-11-21

网络出版时间:2015-06-23

基金项目:“十二五”微电子预研(51308010601,51308010701);总装预研基金(9140A08010712HK6101)

作者简介:王宣明(1983-),男,硕士,工程师,主要从事数字集成电路设计和验证等方面的研究;田 泽,博士,研究员,研究方向为 SoC 设计、VLSI 设计、嵌入式系统开发和应用等。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20150623.1054.054.html>

的作用,然后提出了 SAE AS5643 协议在 FPGA 中的设计实现,最后通过实验对本设计进行了测试。实验结果完全符合 AS5643 协议规范的要求。

## 1 SAE AS5643 协议分析

SAE AS5643 是在 IEEE-1394b 基础上建立的面向航空领域的总线标准,其对 IEEE-1394b 协议进行了确定性、实时性和可靠性约束,以保证 IEEE-1394b 总线应用到航空领域,能满足航空领域的需求<sup>[7-9]</sup>。

### 1.1 网络确定性约束

确定性是航空总线系统有效稳定通信的前提之一,但传统 IEEE 1394b 协议不能满足航空领域应用对网络确定性的需要。如在 IEEE 1394b 协议中规定在一个传输周期内(一般 125  $\mu$ s),等时包的传输是在循环开始包到达之后开始的。但是如果上一个异步包未完成传输,则会导致循环开始包的传输被延迟,这又导致其后的等时包传输被延迟。这样的延时积累下来,就会影响到网络传输的确定性<sup>[2]</sup>。另外,IEEE 1394b 为等时和异步事务动态分配带宽,根节点可重新选择,动态分配通道号,这都会增加网络的不确定性。

针对 IEEE 1394b 存在的不足,SAE AS5643 通过在以下几个方面对 IEEE 1394b 协议进行改进,来提高网络的确定性。

#### (1) 预配置网络拓扑。

机载通信网络所采用的网络技术除了在通信带宽上必须满足系统应用要求外,在通信可靠性、实时性、确定性、网络健壮性等方面都有较高要求,因此在设计应用于机载通信环境的 1394 网络时,网络拓扑架构也是保证系统通信指标的一个重要因素,关系到具体设计方式和硬件架构。结合 1394 网络的特性以及机载应用要求,机载 1394 网络拟采用具备环型物理结构的线缆总线拓扑方式构成网络,为系统提供最大的通信可靠性,如图 1 所示。并且要求在整个航电系统的生命周期内尽可能保持不变<sup>[2]</sup>。由于物理拓扑是环路,允许环路在总线初始化过程中自动检测和断开,环路使得总线上另外节点发生故障时,为节点提供一条备用通路并自动将故障节点重构为树的末端,增强了冗余。在预配置的网络拓扑中,CC(Control Computer)指定为根节点且不允许更改。

#### (2) 通道号静态分配。

在 1394 总线中,异步包以节点 ID 进行寻址,等时包以通道号进行寻址。异步流包为在异步周期内发送的等时包,所以其寻址方式为通道号寻址。静态分配通道号要求每个节点在总线中使用固定的通道号,在正常工作过程中不能修改。在 1394b 标准中,目标节点的通道号是由等时资源管理器(IRM)分配。而 SAE

AS5643 协议规定,总线中每个节点的通道号是根据航空总线系统结构预先分配好的<sup>[2]</sup>。不同节点进行通信时,发送节点都会按照预先定义的目标通道号发送消息,接收节点只会在本节点预先定义的通道号上接收消息,采用这种方式可以进一步保证网络数据传输的确定性。

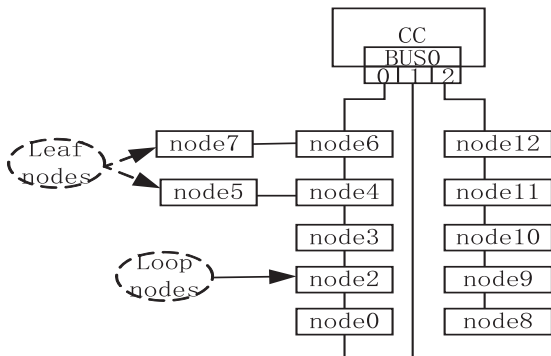


图 1 带一个闭环回路的网络结构

#### (3) 带宽预分配。

在 1394 标准中,带宽是通过等时资源管理器分配的,但是 SAE AS5643 协议规定系统中不需要等时资源管理器。为了使每个节点能够独立的相互通信,这就要求预先分配带宽。从每一帧开始(STOF 包),总线上每个节点发送和接收时间(相对于 STOF 包的偏移)应根据体系结构预先分配。总线上每个节点的偏移时间都是本节点专有的<sup>[2]</sup>。预分配带宽以 STOF 包为时间基准,总线上每个节点的发送偏移和接收的时间偏移由系统根据体系结构预先分配。这样就使得每个节点的发送和接收成为确定的,也不会受到其他节点的影响。在网络拓扑中,所有节点按照固定的接收、发送的偏移时间进行包的分时传输<sup>[3]</sup>。

(4) 匿名签署消息(Anonymous Subscriber Messaging, ASM)。

ASM 是为了满足嵌入式实时系统需求的上层协议。通过 ASM,远程节点可以获得它需要的每条消息。由于物理 ID 会根据总线网络拓扑变化而变化,如果使用物理 ID 来标识每条消息,使整个网络的通信变得不确定。因此,采用 ASM 中的消息 ID 来作为区分每条消息的唯一标识,这样不仅降低了网络不确定性,而且使软件在不了解网络状况的情况下完成通信,这就使航空总线系统数据通讯确定性得到了有效保障。

#### (5) 帧开始包(STart Of Frame, STOF)。

为使在处于总线上的所有节点之间保持全局同步,AS5643 协议中规定使用 STOF 包用于总线同步<sup>[2]</sup>。CC 在每条总线上以固定的周期帧率发送 STOF 包来通知总线上所有节点一个新帧的开始,为总线中的节点提供一个全局的同步源。总线上各个节点按照每个新帧的开始同步本地计时器,按照自身配置的偏移时

刻启动发送。确保节点在准确的时间点占用总线发送数据,可避免计时不准带来的故障蔓延,从而保证了网络通信的确定性。

#### (6)使用异步流包。

SAE AS5643 协议规定总线上的节点采用异步流包进行通信。异步流包是在异步周期内传输的等时包,包的发送按照公平仲裁的规则进行,并且接收节点不返回应答包<sup>[1]</sup>。按照公平仲裁的规则,可保证总线上每个节点都有公平的机会传输数据,不会出现某个节点长时间占用总线的情况。接收节点不返回应答包,就保证了发送节点在其自身发送偏移内,总线不被其他节点占用。所以使用异步流包可以满足航空总线系统网络通信中数据的确定性。

### 1.2 网络可靠性约束

可靠性是确保总线网络能够获得完整的、准确的、稳定的通信能力以及完备的故障检测、故障处理能力<sup>[10-11]</sup>。SAE AS5643 协议在传输的数据包中通过增加以下 3 个方面来提高网络可靠性。

#### (1)纵向奇偶校验(VPC)。

由于 CRC 算法自身的局限性,SAE AS5643 协议在 1394 链路层产生的 CRC 校验的基础上又附加一项校验,即 VPC<sup>[2]</sup>。VPC 校验是通过把包负载的每个数据字进行按位异或,再把异或得到的值按位取反的计算方法实现。VPC 校验的引入为判断消息的传输正确性提供依据,提高了故障检测和故障处理的能力<sup>[3]</sup>。

#### (2)健康状态字。

32 位健康状态字是传输的异步流包中数据负载区的一个字。通过异步流消息中携带的健康状态字数数据信息,网络 CC 节点可以获得总线上各 RN 节点的连接状态<sup>[3]</sup>。

#### (3)心跳(Heartbeat)。

心跳由应用软件产生而非定时器产生<sup>[2]</sup>,心跳字初始化为“0”,在每一个包含新数据的帧到来时增“1”,可用来指示正在运行的应用程序进行了数据更新,以表明通信节点上的应用软件运行正常<sup>[12-13]</sup>。

## 2 FPGA 逻辑设计

### 2.1 逻辑体系结构框图

综合上述分析,AS5643 协议是在 1394B 协议的基础上进行了一些限定和补充,而 1394B 协议的实现要基于 1394 物理层和链路层硬件。AS5643 协议可以选择在处理器中实现,但这样会加重处理器的负担,为此选用 FPGA 来实现 AS5643 协议<sup>[7-9]</sup>。FPGA 逻辑设计功能框图如图 2 所示。

FPGA 逻辑设计采用模块化设计,主要分为主机接口模块和 AS5643 处理模块。其中主机接口模块根

据不同主机接口需要,可分别选择 PCI 或 PCIe 主机接口模块来完成与主机间的通讯;消息缓冲区用于(DPRAM)暂存发送/接收消息负载;网络管理消息区和时统控制区主要实现航空总线系统定义的网络管理、时统功能、流数据传输功能。

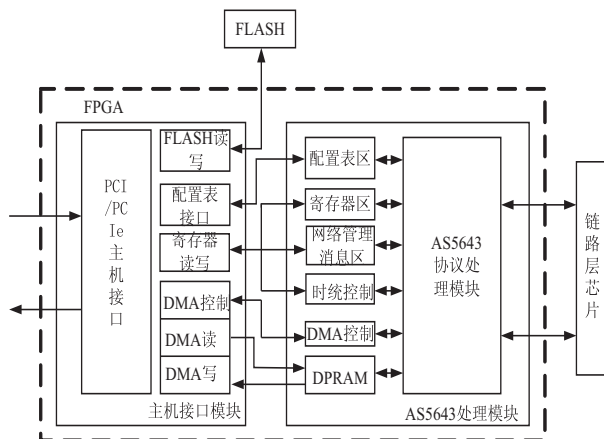


图2 FPGA体系结构示意图

配置表区主要用于保存配置表信息,主要包含待发送消息的通道号、数据长度、发送偏移,期望用于接收消息的消息ID号、接收偏移等配置信息;AS5643 协议处理单元为完成 AS5643 协议解析的核心部件,可根据从配置表和相应寄存器获取的发送消息配置信息,并且从 Link 层芯片获取的当前总线工作状态信息,并根据内部计时器,在消息的发送时刻启动发送,将暂存在消息缓冲区中待发送数据传输至 1394 链路层发送接口。当从 1394 链路层接收到消息后,可根据从配置表和相应寄存器获取的接收消息配置信息,将期望接收的数据保存在消息缓冲区中的指定位置,等待主机获取。从而实现了 AS5643 总线网络协议定义的异步流包、固定帧速率、STOF 包同步、带宽预分配、纵向奇偶校验、匿名签署消息以及通道号的静态分配等功能。

### 2.2 AS5643 协议处理模块设计

AS5643 协议处理模块实现了主机和链路层接口芯片之间的通信。其主要功能包括:

AS5643 协议定义的 CC/RN 功能;CC 功能节点发送 STOF 时,可由主机软件和逻辑自动发送两种机制控制,精度 1  $\mu$ s,逻辑自动发送时周期可设置;节点的物理 ID 号在复位时由硬件自动更新;满足 AS5643 协议通信的时间偏移要求,并能根据总线网络配置表的配置进行异步流包发送;硬件自动判断接收到的异步流包正确性;具有纵向奇偶校验功能,包括 VPC 的插入和校验;实现主机软件和逻辑自动对 LLC 芯片和 PHY 芯片的配置功能;具有一定的故障检测和容错功能。其功能框图如图 3 所示。

其包括的各功能单元描述如下:



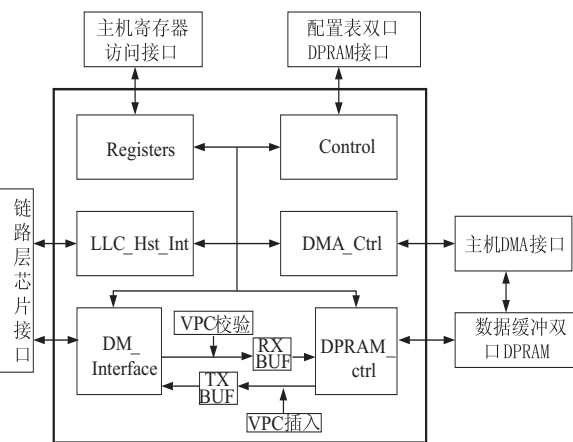


图 3 AS5643 协议处理模块功能框图

寄存器控制单元 (Registers) 工作在片内 DCM 产生的 50 MHz 时钟下, 主要实现如下功能: 实现系统定义的每个寄存器; 根据系统定义, 实现主机对可读寄存器的读访问, 对可写寄存器的写访问; 在软件复位时, 实现对寄存器清零, 或复位初始值的操作; 根据寄存器相应位置的值, 输出相应控制信号; 根据收到的状态信号, 置位寄存器相应位。

控制逻辑单元模块 (Control): 从片内配置表区读取配置表; 根据配置表和相应寄存器的配置信息, 以及通过 DM\_Interface 模块和 LLC\_Hst\_Int 模块反馈的 Link 层芯片工作状态信息, 产生相应的控制信号。

控制 DMA\_Ctrl 模块用于完成数据包在 DMA 读写通道和 DM\_Interface 模块之间的转移。

Link 层芯片主机接口单元 (LLC\_Hst\_Int): 在初始化/复位阶段, 完成逻辑自动访问 Link 层寄存器工作; 根据通讯需要, 将 Link 层芯片配置为接收或者发送模式; 提供主机对 Link 层芯片寄存器读写访问接口。

Link 层芯片 DM 接口单元模块 (DM\_Interface): 在发送消息状态下, DM 接口单元模块将 DMA\_Ctrl 单元存入发送缓冲中的数据信息, 抽取并构造成满足 Link 层芯片 DM 接口时序的数据包, 并根据控制逻辑单元传来的控制信号, 发送给 Link 层芯片; 在接收消息状态下, DM 接口单元模块负责将从 Link 层芯片 DM 接口收到的数据包转换格式, 传递给 DMA\_Ctrl 模块, 并判断接收数据包的状态信息 (数据长度、消息 ID、接收类型、接收时间等), 将判断结果存储到相应位置, 或报告给控制逻辑单元处理; 支持广播/组播功能, 根据配置过滤相应的包。

DPRAM 访问控制模块 (DPRAM\_Ctrl): 根据控制逻辑单元模块的控制信息, 在节点发送消息时, 从 DPRAM 中读取发送数据并提交 DM\_Interface 模块准备发送; 在节点接收消息时, 将从 DM\_Interface 模块收到的数据保存到 DPRAM 中, 完成数据包在双口 DPRAM 之间的转移。

DMA 控制单元模块 (DMA\_Ctrl): 根据控制逻辑的控制信号, 在发送数据包情况下, 负责通知 DMA 通道相关信息, 请求将要发送的数据包从主存相应位置中取出, 传递给发送缓冲, 然后送入 LINK 层 DM 接口单元完成数据包发送; 在接收数据包情况下, 负责通知 DMA 通道相关信息, 请求将 LINK 层 DM 接口单元收到的数据包, 通过接收缓冲, 存放主存相应位置中。

3 实验验证

在常温下进行了产品测试实验, 搭建验证环境, 将被测模块配置为 CC 节点, 一个端口连接仿真卡 (配置为远程节点), 一个端口连接 FireSpy410bT 1394 协议分析仪, 用于监控总线数据传输<sup>[10,14]</sup>。

实验中, 被测模块的发送偏移配置为 50 μs, 仿真卡的发送偏移配置为 8 475 μs, 采用 1394B 协议分析仪 FireSpy410bT 监测总线上的数据包。从实验中抓取的数据可以看出, 节点传送的数据包格式、CC 产生 STOF 包的周期、远程节点的传输偏移都满足 AS5643 协议测试规范的要求<sup>[10]</sup>, 具体指标如表 1 所示。

表 1 实验结果

	AS5643 协议规定	测试结果
STOF 发送精度	<12.5 μs	120 ns
发送偏移精度	<125 μs	500 ns

4 结束语

文中通过分析 SAE AS5643 对 IEEE 1394b 协议增加的限制, 提出满足 SAE AS5643 标准的网络具有较强的网络确定性和可靠性, 可满足航空器对通信网络安全性的需求。文中提出了基于 FPGA 的 AS5643 协议实现方案, 充分发挥了 FPGA 并行处理的优势, 可让 CPU 避免繁杂的总线协议处理。文中对 FPGA 逻辑设计和实现方案进行了详细介绍, 最后经过实验及应用证明, 该设计的功能、性能符合 AS5643 协议规范。

参考文献:

[1] 1394b: IEEE standard for a high performance serial bus - amendment 2 [S]. [s. l.]: The Institute of Electrical and Electronics Engineers, 2002.

[2] Bai Haowei. Analysis of a SAE AS5643 Mil-1394b based high-speed avionics network architecture for space and defense applications [C]//Proc of IEEE aerospace conference. [s. l.]: IEEE, 2007.

[3] SAE-AS5643: IEEE-1394b interface requirements for military and aerospace vehicle applications [S]. 2006.

[4] 张大朴, 王 晓. IEEE1394 协议及接口设计 [M]. 西安: 西

## 5 结束语

Rx 是高速 SERDES 设计中的难点,文中创新地提出了一种新型的抖动容限验证方案,改善了 Rx 的设计验证工作,同时结合新型的数据检查方法,提出了完整的时钟数据恢复电路的验证方法。通过验证超过  $10^6$  bits 充分验证时钟数据恢复电路工作的极限特性,采用该方案设计验证的芯片,按照 PCI Express 协议要求进行抖动容限的测试。结果表明,Rx 在  $1.12 \mu\text{s}$  之后能够从输入数据当中恢复出正确的时钟和相位,测试结果与验证结果一致,符合协议要求,抖动容限验证方案能够满足 Rx 电路的设计需要。该验证方案同时能够推广至基于 RapidIO、FC 等其他协议设计的高速 SERDES 的接收电路当中。

### 参考文献:

- [1] Behzad R. Design of integrated circuit for optical communications[M]. USA: Wiley, 2005.
  - [2] Williams S, Thompson H, Hufford M, et al. An improved CMOS ring oscillator PLL with less than 4ps accumulated jitter [C]//Proceedings of IEEE custom integrated circuits conference. [s. l.]: IEEE, 2004: 151–154.
  - [3] 陈一辉,郭 淦,叶菁华,等. 一种采用常跨导偏置技术的高速多相时钟发生器[J]. 微电子学, 2004, 34(3): 345–348.
  - [4] Loke A L, Barnes R K, Wee T T, et al. A versatile 90-nm CMOS charge-pump PLL for SerDes transmitter clocking[J].
- 
- (上接第 216 页)
- 安电子科技大学出版社, 2004.
- [5] 张少锋,田 泽,杨 峰,等. 基于 AS5643 协议的 Mil-1394 仿真卡设计与实现[J]. 计算机技术与发展, 2013, 23(8): 168–171.
  - [6] 赵 彬,田 泽,杨 峰,等. 基于 AS5643 协议的接口模块设计与实现[J]. 计算机技术与发展, 2013, 23(8): 100–102.
  - [7] 马 宁,王宣明,郑 斐. 飞机管理系统 1394 总线 AS5643 协议的设计与实现[J]. 航空计算技术, 2013, 43(6): 122–124.
  - [8] 马 宁,田 泽,史嘉涛,等. AS5643 协议处理 FPGA 的仿真验证[J]. 计算机技术与发展, 2014, 24(5): 153–156.
  - [9] 魏艳艳,田 泽,王宣明. 一种 CCDL 的 FPGA 设计与实现[J]. 计算机技术与发展, 2014, 24(5): 120–124.

IEEE Journal of Solid-state Circuits, 2006, 41(8): 1894–1907.

- [5] PHY interface for the PCI express architecture PCI express3.0 revision 0.5[S]. 2008.
- [6] Gu R, Tran J M, Lin Heng-Chih, et al. A 0.5–3.5Gb/s low-power low-jitter serial data CMOS transceiver[C]//Proc of ISSCC. San Francisco: IEEE, 1999: 352–353.
- [7] Hsieh M T, Sobelman G E. Architectures for multi-gigabit wire-linked clock and data recovery[J]. IEEE Circuits and Systems Magazine, 2008, 8(4): 45–57.
- [8] Hanumolu P K, Kim M G, Wei G Y, et al. A 1.6Gbps digital clock and data recovery circuit[C]//Proc of IEEE custom integrated circuits conference. [s. l.]: IEEE, 2006: 603–606.
- [9] Wallace P, Bayruns R, Smith J, et al. A GaAs 1.5Gbps clock recovery and data retiming circuit[C]//Proc of IEEE international solid-state circuits conference. [s. l.]: IEEE, 1990.
- [10] Yoko D A. A multi-standard low power 1.5–3.125Gb/s serial transceiver in 90nm MOS[C]//Proc of IEEE custom integrated circuits conf. [s. l.]: IEEE, 2006: 401–404.
- [11] Partovi H. A 62.5Gb/s multi-standard SerDes IC [C]//Proc of IEEE custom integrated circuits conf. [s. l.]: IEEE, 2003: 585–588.
- [12] 何小威,李少青,唐世民. 一种用于微处理器的高频锁相环设计与实现[C]//第十届计算机工程与工艺学术年会. 桂林: 出版者不详, 2006.
- [13] Stauffer D R, Mechler J T. High speed SerDes device and applications[M]. [s. l.]: Springer Science Business Media, 2009.
- [10] 郑 斐,田 泽,马 宁,等. 1394 与 RS422 总线桥的设计与实现[J]. 计算机技术与发展, 2013, 23(7): 253–256.
- [11] 楼晓强,田 泽,王 治,等. 1394b 中继设备对总线的影响分析和研究[J]. 计算机技术与发展, 2014, 24(4): 178–180.
- [12] 杨 峰,田 泽,王绮卉,等. 高可靠性 1394 总线传输线缆阻抗特性测试研究[J]. 计算机技术与发展, 2013, 23(8): 161–163.
- [13] SAE AS5657 test plan/procedure for AS5643 IEEE-1394b interface requirements for military and aerospace vehicle applications[S]. 2007.
- [14] SAE AS5706 test plan/procedure for AS5643/1 S400 copper media interface characteristics over extended distances[S]. 2007.

SAE AS5643协议分析及设计实现

作者:	<a href="#">王宣明</a> , <a href="#">田泽</a> , <a href="#">魏艳艳</a> , <a href="#">牛少平</a> , <a href="#">徐文进</a> , <a href="#">WANG Xuan-ming</a> , <a href="#">TIAN Ze</a> , <a href="#">WEI Yan-yan</a> , <a href="#">NIU Shao-ping</a> , <a href="#">XU Wen-jin</a>
作者单位:	<a href="#">中国航空计算技术研究所, 陕西 西安, 710068</a>
刊名:	<a href="#">计算机技术与发展</a> 
英文刊名:	<a href="#">Computer Technology and Development</a>
年, 卷(期):	<a href="#">2015 (7)</a>

引用本文格式: [王宣明](#). [田泽](#). [魏艳艳](#). [牛少平](#). [徐文进](#). [WANG Xuan-ming](#). [TIAN Ze](#). [WEI Yan-yan](#). [NIU Shao-ping](#). [XU Wen-jin](#) [SAE AS5643协议分析及设计实现](#) [期刊论文] - [计算机技术与发展](#) 2015 (7)