

一种外视频叠加显示控制接口的设计与实现

颜 哲, 卢 俊, 田 泽

(中国航空计算技术研究所, 陕西 西安 710119)

摘 要:显示控制接口是图形处理器芯片的重要组成部分之一。图形处理引擎绘制出的图像数据必须通过显示控制接口组织成标准格式的视频信号,才能输出给显示设备。我国航空机载领域使用的图形处理芯片大多不具备外视频输入及叠加功能,通常采用附加 FPGA 芯片实现这些功能。因此具有外视频输入及叠加等功能的显示控制接口,实现了图形绘制和外视频叠加等功能的集成,使得图形处理器芯片的功能更加丰富、应用更加灵活,也使得在某些应用中可以省去附加的 FPGA 芯片,能有效减小板面积及体积。文中设计并实现了一种外视频叠加显示控制接口,支持外视频输入及叠加,支持图像源和视频源的剪裁、旋转、伽马校正、HSV 调整和缩放。设计通过了虚拟仿真验证,功能和性能均满足图形处理器芯片的要求。

关键词:外视频叠加;显示控制接口;HSV 调整;缩放

中图分类号:TP31

文献标识码:A

文章编号:1673-629X(2015)06-0224-04

doi:10.3969/j.issn.1673-629X.2015.06.050

Design and Implementation of a Video Overlay Display Control Interface

YAN Zhe, LU Jun, TIAN Ze

(Aeronautical Computing Technique Research Institute, Xi'an 710119, China)

Abstract: The display control interface is one of the important portions of graphic processing chip. The graphic data drew by graphic processing engine should be transformed to video signals by display control interface before output to display instrument. FPGA chip was used to implement functions of video input and overlay, if the graphic processing chip has not these functions, in aeronautical field. Display control interface with external video input and overlay functions makes the graphic processing chip more flexible, and makes the composite display system smaller and lighter without using FPGA chip. Design and implement a video overlay display control interface, which supports external video input and overlay, and cutting, whirling, gamma correction, HSV adjusting and scaling for video source and graphic source. The design has passed the virtual verification, and meets the functional and performable requirements of graphic processing chip.

Key words: video overlay; display control interface; HSV adjustment; scale

0 引言

在图形处理器芯片中,图形处理引擎绘制出的图像以数据形式存放在显存中,必须通过显示控制接口将其组织成标准格式的视频信号,并通过显示设备显示出来才可以被观看者感知,其次显存中存储的图像数据只能作为输出视频的原始数据,还需要经过一系列的处理,才能适应显示设备的特性以及观看者对于视频色彩、亮度、分辨率大小等要素的要求^[1-3]。因此显示控制接口是图形处理器芯片中重要且不可或缺的组成部分,为图形处理器芯片提供多种实用功能,以适

应更广泛的应用场景。

对于机载座舱综合显示系统等面向航空机载领域的应用中,通常要求将图形处理器绘制的图像和观瞄、雷达视频等进行叠加后输出显示,同时要求支持图像和视频的旋转、缩放、亮度调整等多种功能,并且要求整个系统具备高可靠性,以适应机载恶劣的电磁环境。目前,由于我国航空机载领域所使用的国外图形处理器芯片大多不具备外视频输入及叠加功能或者功能不全,所以一般采用图形处理器芯片加 FPGA 芯片的实现方式^[4],外视频输入及叠加功能在 FPGA 芯片中实

收稿日期:2014-07-17

修回日期:2014-10-23

网络出版时间:2015-05-20

基金项目:“十二五”微电子预研(51308010601,51308010710,51308010711)

作者简介:颜 哲(1984-),男,工程师,研究方向为集成电路设计与验证;田 泽,博士,研究员,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20150520.1513.008.html>

现,存在设计复杂、器件数量较多、板面积及重量较大等问题。因此在具有我国自主知识产权的图形处理芯片的设计中,将外视频输入及叠加等多种功能集成到显示控制接口中,单图形处理器芯片即可代替图形处理器芯片加FPGA芯片的实现方式,降低了设计复杂度,省去FPGA芯片等多个器件及连接线缆,大大降低板面积及重量。两种设计方案对比如图1所示。

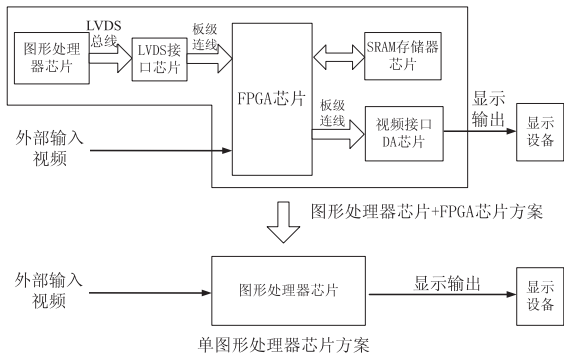


图1 设计方案对比

单图形处理器芯片方案较以往的图形处理器芯片+FPGA芯片方案具有诸多优势,但对显示控制接口的功能与性能提出更高要求。在单图形处理器芯片方案中,显示控制接口需支持外视频输入及叠加、图像源和视频源剪裁、旋转、伽马校正、HSV调整和缩放功能。

1 设计与实现

1.1 结构设计

针对以上问题,设计出一种外视频叠加显示控制接口,支持外视频输入与叠加,外视频格式支持TV格式和VESA格式,以及图像源、视频源剪裁、旋转、伽马校正、HSV调整和缩放等功能。根据功能特点,将显示控制接口划分为寄存器模块、视频输入模块、视频输

出模块和视频输出接口。寄存器模块提供寄存器配置接口,通过对寄存器的配置实现对显示控制接口的控制;视频输入模块主要功能是接收输入视频,进行视频格式检查、解析及颜色空间转换等操作,提取有效像素数据并且最终输出给存储管理模块;视频输出模块主要功能是从存储管理模块读取视频和图像源数据,进行剪裁、旋转、缩放、HSV调整、伽马校正、叠加等处理后,最终以标准视频格式输出。视频输出接口由数字视频输出接口^[5]、LVDS接口^[6]、TMDS接口^[7]和模拟RGB接口组成,输出视频均可由任意一个接口输出。

根据视频输入和视频输出功能相互独立的特点,视频输入模块和视频输出模块相互独立,之间没有交互信号,可以独立设计。

显示控制接口设计中多处采用IP复用技术,有效降低了设计复杂度,缩短了设计周期,并有益于提高电路的可靠性。显示控制接口结构图如图2所示。其中,视频输入模块由滤波及同步、TV到VESA格式转换、YCbCr到RGB颜色空间转换^[8]、VESA格式检查和行缓冲器等功能模块组成。对于TV格式视频,首先经过滤波及同步处理,然后将其转换为VESA格式,同时将像素数据由YCbCr转换为RGB颜色空间,之后进行VESA格式检查,再由行缓冲器模块采集有效像素数据并写入缓冲器,最终由存储管理模块读出;对于VESA格式视频,首先经过滤波及同步处理,然后进行VESA格式检查,再由行缓冲器模块采集有效像素数据并写入缓冲器,最终由存储管理模块读出。输入通路的设计使其能够支持多种视频格式,包括TV格式和VESA格式的多种分辨率,涉及多种频率的像素时钟,并且支持YCbCr到RGB颜色空间转换,将视频数据统一到RGB颜色空间。

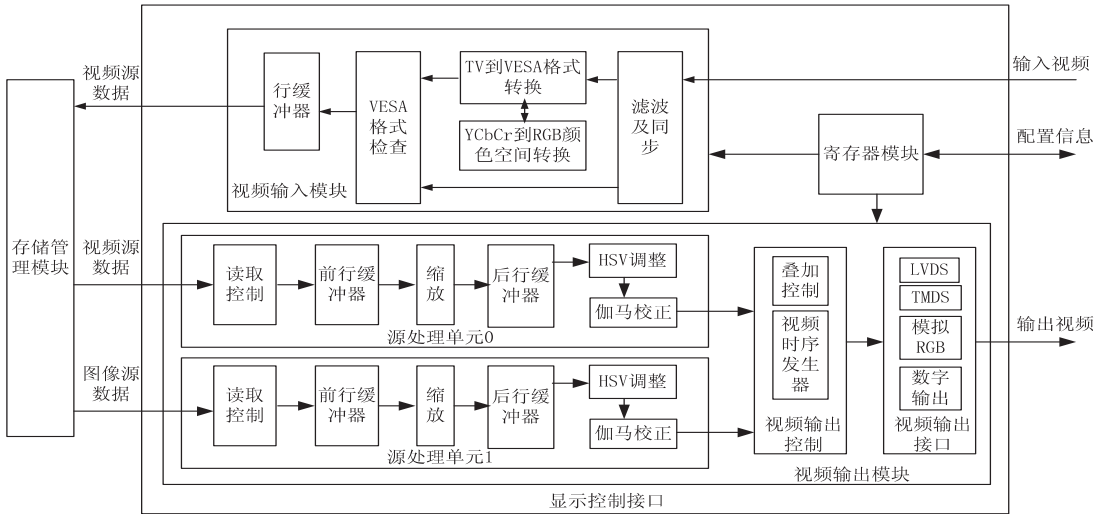


图2 显示控制接口结构框图

视频输出模块由源处理单元和视频输出控制模块组成。其中源处理单元由读取控制、前行缓冲器、缩

放、后行缓冲器、HSV调整、伽马校正和RGB亮度调整模块组成。视频输出控制模块由视频时序发生器和叠

加模块组成。由读取控制模块从存储管理模块读取视频或图像源数据,写入前行缓冲器,然后输出给缩放模块进行缩放处理,处理后的数据写入后行缓冲器,再由输出控制模块发起读操作,数据读出后再经过 HSV 调整、伽马校正和 RGB 亮度调整后最终输出给输出控制模块。输出控制模块由视频时序发生器和叠加模块组成。首先按要求产生视频时序,然后根据叠加要求在特定的时机发起对图像、视频数据和光标数据的读操作,待数据有效时进行叠加,叠加后的数据与视频时序相匹配,最终输出完整的视频信号。

视频输出接口包含数字视频输出接口、LVDS 接口、TMDS 接口和模拟 RGB 接口,前端输出的两路视频可通过其中任意一种接口输出。集成这些最常用的视频接口,可提供灵活的输出接口选择,大大扩展了图形处理芯片的应用范围,并可简化板级系统设计。

1.2 关键模块设计与实现

显示控制接口中伽马校正、缩放、HSV 调整以及外视频叠加等关键模块的设计与实现如下。

1.2.1 伽马校正

最常用的伽马校正方案包括三种,即采用电阻网络分段校正、采用开关电容网络校正和采用数字查找表校正^[9]。前两种校正方法一般应用于显示设备端,采用模拟分立器件电路方式实现。对于芯片内的数字视频信号处理,通常采用第三种方式实现。数字查找表实现伽马校正具有电路结构简单、速度快的优点,结合软件编程可灵活调整伽马校正系数,有很强的实用性,因此显示控制接口中采用数字查找表方法实现。

1.2.2 缩放

对数字图像进行缩放,必须对未知采样点进行估计,通常采用图像差值来实现^[10]。差值算法的好坏直接关系到图像的失真程度。这存在一条相悖的要素:图像处理速度和图像精度。要获得高速实时的图像输出,只能采用相对简单、运算量小的差值算法;而要获得高精度的处理结果,只能牺牲速度,采用复杂读高的算法^[11]。目前的图像缩放算法研究趋势是能够实现无极缩放^[12],并且尽可能准确、清晰地恢复出图像的边缘和重要细节要素。无极缩放算法中最常用的是经典的 Catmull-Rom 样条插值算法^[13],如下所示:

$$Q^i(t) = T \bullet M_{CR} \bullet G_{B_{\gamma}} = \frac{1}{2} T \bullet \begin{bmatrix} -1 & 3 & -3 & 1 \\ 2 & -5 & 4 & -1 \\ -1 & 0 & 1 & 0 \\ 0 & 2 & 0 & 0 \end{bmatrix} \begin{bmatrix} P_{i-3} \\ P_{i-2} \\ P_{i-1} \\ P_i \end{bmatrix}$$

$$T = [t^3 \quad t^2 \quad t \quad 1]$$

其中, t 的取值范围是 $[0, 1)$, t 的取值都是每次累加以后的小数部分;像素的选取是根据每次累加和的

值确定的;假如在这个像素的位置上,则取这个前一个像素、这个像素本身,以及这个像素的后两个像素;如果在两个像素之间,则取该位置的前两个和后两个像素;如果没有像素,则进行像素复制。

1.2.3 HSV 调整

HSV 色彩空间将色彩 h , 饱和度 s 和亮度 v 分离,使得在图像处理时,可以单独改变某个属性来调节图像而不影响其他属性。同时 HSV 在亮度和饱和度方向上均匀,这两个属性的改变程度可以用比例来控制。计算机系统通常使用 RGB 颜色空间,因此进行 HSV 调整时需要先将视频数据由 RGB 颜色空间转换到 HSV 颜色空间,然后进行 HSV 参数调整,之后再转换回 RGB 颜色空间,得到色彩、饱和度和亮度调整后的视频数据。

色彩空间从 RGB 到 HSV 的转换公式如下^[14]: 设 (r, g, b) 是颜色的红、绿、蓝坐标,它们的取值范围都是 $[0, 1]$ 。设 \max 为 r, g, b 中最大值, \min 为最小值。要转换到 HSV 空间上的 (h, s, v) 值,其中 $h \in [0, 360)$, $s, v \in [0, 1]$ 。

$$h = \begin{cases} 0^\circ & , \text{ if } \max = \min \\ 60^\circ \times \frac{g-b}{\max-\min} + 0^\circ & , \text{ if } \max = r \text{ and } g \geq b \\ 60^\circ \times \frac{g-b}{\max-\min} + 360^\circ & , \text{ if } \max = r \text{ and } g < b \\ 60^\circ \times \frac{b-r}{\max-\min} + 120^\circ & , \text{ if } \max = g \\ 60^\circ \times \frac{r-g}{\max-\min} + 240^\circ & , \text{ if } \max = b \end{cases}$$

$$s = \begin{cases} 0 & , \text{ if } \max = 0 \\ \frac{\max-\min}{\max} & , \text{ otherwise} \end{cases}$$

$$v = \max$$

在 HSV 调整之后需要将 HSV 颜色空间转换成 RGB 颜色空间,转换公式如下^[3]:

$$h_i = \left\lfloor \frac{h}{60} \right\rfloor (\bmod 6);$$

$$f = \frac{h}{60} h_i; \quad p = v \times (1 - s);$$

$$q = v \times (1 - f \times x);$$

$$t = v \times (1 - (1 - f) \times s)$$

对于每个颜色向量 (r, g, b) , 有

$$(r, g, b) = \begin{cases} (v, t, p), & \text{ if } h_i = 0 \\ (q, v, p), & \text{ if } h_i = 1 \\ (p, v, t), & \text{ if } h_i = 2 \\ (p, q, v), & \text{ if } h_i = 3 \\ (t, p, v), & \text{ if } h_i = 4 \\ (v, p, q), & \text{ if } h_i = 5 \end{cases}$$

1.2.4 视频叠加

首先由输出视频时序发生器产生所要求分辨率模式的输出视频时序,通过计数器对行和列坐标进行标定,作为视频、图像叠加的基准,再结合视频、图像叠加位置信息,将图像和视频叠加到输出视频画面中。叠加时通过精确计算数据从显存到叠加的延迟周期数,提前若干周期发起对显存中视频、图像数据的读取,并对缓冲器发起精确的读取操作,经过预处理到达叠加单元时实现视频和图像的同步,保证输出视频中视频、图像叠加位置精确和画面完整。叠加方式包括逐像素 Alpha 叠加、全局 Alpha 叠加、透明色叠加及键控叠加。

逐像素 Alpha 叠加采用 GPU 绘图时产生的每个像素点的 Alpha 参数值作为叠加参数,通过以下公式产生叠加后的像素点值:

新像素值 = Alpha × 图像像素值 + (1 - Alpha) 视频像素值

其中,Alpha 为经归一化后的值。

全局 Alpha 叠加与逐像素 Alpha 叠加采用同样的叠加公式,区别在于整帧采用同一个 Alpha 值对每个像素进行叠加计算。

透明色叠加是指通过指定一个固定的颜色值作为透明色,图像中与透明色值相等的像素点由相应位置的视频像素点值代替,从而达到抠出图像中透明色像素显示视频的效果。

键控叠加与透明色叠加类似,通过指定一个颜色值范围作为键控范围,图像中值处于键控范围的像素点由相应位置的视频像素点值代替,从而达到抠出图像中某个颜色范围的区域显示视频的效果。

选择上述四种叠加方式可满足不同应用的需要。

2 虚拟仿真验证

显示控制接口的虚拟仿真验证是在图形处理器芯片验证中完成的,虚拟验证平台由视频信号发生器模型、视频格式检查及接收模型和存储器芯片模型组成,如图 3 所示。仿真工具采用 Menter Graphic 公司的 Questasim,版本为 6.4C。视频信号发生器负责产生

TV 格式和 VESA 格式的各种分辨率视频信号;视频格式检查及接收模型对显示输出视频信号格式及有效视频数据进行检查,判断输出视频是否正确;存储器芯片模型作为显存提供数据存储空间。验证实施时需要对支持的所有分辨率格式输入视频进行遍历验证,并且针对缩放、HSV 调整、伽马校正和视频叠加等功能设计验证项进行充分验证。

3 结束语

针对航空机载领域中图形处理器芯片的应用需求,通过研究现有视频叠加系统实现方案的特点,提出单图形处理器实现方案,将外视频输入及叠加功能集成到显示控制接口中,设计出一种外视频叠加显示控制接口,支持外视频输入及叠加,支持图像源和视频源的剪裁、旋转、伽马校正、HSV 调整和缩放。经过虚拟平台验证,证明该设计的功能和性能均达到设计要求,可以满足图形处理器芯片的需求。

参考文献:

[1] Mobility RADEON 9000 Databook[M]. [s. l.]:ATI technologies Inc,2004.

[2] M72/M74Databook[M]. [s. l.]:Advanced Micro Devices, Inc,2007.

[3] ATI RADEON E4690 Databook[M]. [s. l.]:Advanced Micro Devices, Inc,2009.

[4] 谢建春,杨敬宝,李翠娟. 新型机载嵌入式显示单元的设计与实现[J]. 航空计算技术,2011,41(6):109-111.

[5] Jack K. Video demystified[M]. 5th ed. [s. l.]:Elsevier Inc, 2007.

[6] Electrical characteristics of Low Voltage Differential Signaling (LVDS) interface circuits[S]. [s. l.]:TIA,2001.

[7] Digital visual interface DVI[S]. [s. l.]:Digital Display Working Group,1999.

[8] Blair B K. Television engineering handbook[M]. [s. l.]:McGraw-Hill, Inc,1986.

[9] Clarke C K P. Digital video;studio signal processing[R]. [s. l.]:BBC Research Department,1989.

[10] 冈萨雷斯,伍兹. 数字图像处理[M]. 北京:电子工业出版社,2003.

[11] 吕荣国,蒋林,杨飞. 图像缩放的研究与 FPGA 设计[J]. 计算机技术与发展,2011,21(12):205-208.

[12] 林夏菲,吴凤鸣. Catmull-Rom 插值算法在基于 OpenGL 的三维地形绘制中的应用实现[J]. 电脑知识与技术,2008,3(4):788-789.

[13] 江巨浪. 基于改进 Catmull-Rom 样条的图像缩放算法[J]. 计算机技术与发展,2007,17(4):211-213.

[14] 袁奋杰,周晓,丁军,等. 基于 FPGA 的 RGB 和 HSV 色空间转换算法实现[J]. 电子器件,2010,33(4):493-497.

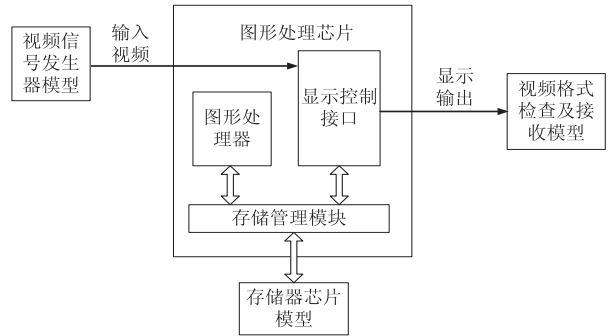


图 3 虚拟验证平台结构框图

一种外视频叠加显示控制接口的设计与实现

作者：[颜哲](#)，[卢俊](#)，[田泽](#)，[YAN Zhe](#)，[LU Jun](#)，[TIAN Ze](#)
作者单位：[中国航空计算技术研究所, 陕西 西安, 710119](#)
刊名：[计算机技术与发展](#)[ISTIC](#)
英文刊名：[Computer Technology and Development](#)
年，卷(期)：2015(6)

引用本文格式：[颜哲](#).[卢俊](#).[田泽](#).[YAN Zhe](#).[LU Jun](#).[TIAN Ze](#) 一种外视频叠加显示控制接口的设计与实现[期刊论文]

-[计算机技术与发展](#) 2015(6)