

一种低抖动带宽自适应锁相环的设计与实现

刘颖,田泽,邵刚,刘敏侠

(中国航空计算技术研究所,陕西西安 710119)

摘要:随着高速通信系统的发展和传输速率的不断提高,锁相环作为提供精确时钟信号的核心电路,不仅需要产生低抖动、低噪声的时钟,而且要求频率覆盖范围广和支持多协议,而恒定带宽的锁相环无法满足多协议对锁相环带宽的要求。为了实现统一架构下多协议对不同频率的带宽要求,文中设计了一种宽温低抖动带宽自适应的锁相环电路,利用比较器模块和电荷泵形成反馈回路灵活地改变电荷泵电流,实现了环路带宽对不同频率在锁定过程中的自适应调整。同时采用改进的占空比校正、压控振荡器和电荷泵电路,降低了锁相环噪声。采用 0.13 μm CMOS 工艺。测试结果表明输出频率为 1.062 5 ~ 3 GHz,数据率覆盖 1.062 5 ~ 5.9 Gbps, $\text{RJ} < 1.3$ ps,温度范围为 $-55 \sim 125$ $^{\circ}\text{C}$,满足了 FC-P1-4、PCIE1.1 和 Rapid IO1.3 的协议要求,已成功应用于多款高速 SerDes 芯片中。

关键词:锁相环;带宽自适应;宽温;低抖动

中图分类号:TP31

文献标识码:A

文章编号:1673-629X(2015)06-0163-03

doi:10.3969/j.issn.1673-629X.2015.06.036

Design and Implementation of an Adaptive Bandwidth PLL with Wide Temperature Range and Low Jitter

LIU Ying, TIAN Ze, SHAO Gang, LIU Min-xia

(Aeronautical Computing Technique Research Institute, Xi'an 710119, China)

Abstract: With the development of high speed communication system and the improvement of the transmission speed, PLL to be the core circuit of providing precision clock is not only required to produce low jitter and low noise clock, but also demanded wide frequency range and multi-protocol support, but the fixed bandwidth PLL cannot reach the requirement of multi-protocol. An adaptive bandwidth PLL with wide temperature range and low jitter is designed for achieving the requirements of multi-protocol in the unify configuration, using the comparator and charge pump to form a feedback loop to flexibly change the charge pump current, and making the loop bandwidth adaptively adjusted at different rates. Adopt the improved duty-cycle controller, voltage control oscillator and charge pump circuit to decrease the noise of PLL. This chip is fabricated in 0.13 μm CMOS process. The measured results show that the output frequency is from 1.062 5 to 3 GHz and the data rate covers 1.062 5 ~ 5.9 Gbps, RJ is less than 1.3 ps, the operating temperature range is $-55 \sim 125$ $^{\circ}\text{C}$, which meet the protocol requirements of FC-P1-4, PCIE1.1 and Rapid IO1.3, and has been successfully applied to a variety of high speed SerDes chip.

Key words: PLL; adaptive bandwidth; wide temperature range; low jitter

0 引言

由于锁相环能够产生低抖动、低噪声的时钟,被广泛应用于高速兼容多种协议的通信系统中。在高速通信系统中,为了能够采用统一锁相环结构实现多协议对不同数据率的带宽要求,要求锁相环不仅能够产生低抖动的时钟信号,而且频率覆盖范围广。另一方面,恒定带宽对锁定时间和噪声的影响是相互矛盾的,即

环路带宽越大,锁定时间越短,但是对噪声的抑制能力越差;环路带宽越小,噪声性能越好,但锁定时间越长^[1-2]。因此,自适应带宽的锁相环不仅能够统一架构下满足多种协议要求,还可以平衡锁相环噪声与锁定时间之间的矛盾^[3-4]。

文中在对电荷泵锁相环研究的基础上,提出了一种宽温低抖动带宽自适应的锁相环电路,实现了环路

收稿日期:2014-07-17

修回日期:2014-10-23

网络出版时间:2015-05-20

基金项目:“十二五”微电子预研(51308010601,51308010711);总装预研基金(9140A08010712HK6101)

作者简介:刘颖(1988-),女,硕士,研究方向为数模混合集成电路设计;田泽,博士,研究员,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20150520.1513.007.html>

带宽在不同频率下的自适应调整,大大缩短了锁定时间;同时,在电路模块设计中采取抖动优化措施^[5-6],降低锁相环噪声。

1 电路结构

文中基于传统的电荷泵锁相环结构设计实现了一种带宽可调的自适应锁相环电路^[7-10],由鉴频鉴相器(PFD)、电荷泵(CP)、低通滤波器、偏置电路(BIAS)、比较器模块(COMP)、压控振荡器(VCO)、可编程分频器(DIV)和占空比调整模块(DCC)组成,如图 1 所示。此结构带宽自适应的核心在于利用比较器模块、偏置电路和电荷泵模块形成反馈回路,灵活地改变电荷泵电流,从而实现带宽自适应。自适应带宽调整通过 COMP 模块将电荷泵输出的控制电压 V_{ctrl} 与参考电压 V_{ref} 相比较产生 V_{reg} 电压,其中 V_{ref} 为电源电压的一半, V_{reg} 为 BIAS 模块提供的偏置电压,产生 $V_{\text{p-cp}}$ 和电流 I_{cp} 反馈到电荷泵,控制电荷泵的输出电流 I_{out} 和电压 V_{ctrl} 。上电后 V_{ctrl} 与 V_{ref} 之间相差较大,产生大电流 I_{cp} 对电容 C_1 快速充电,使 V_{ctrl} 迅速增大,缩短了捕获时间;当 V_{ctrl} 与 V_{ref} 之间相差较小时,电流 I_{cp} 较小,电压 V_{ctrl} 微调,直到控制电压稳定在参考电压 V_{ref} ,电荷泵电流恒定,环路锁定。

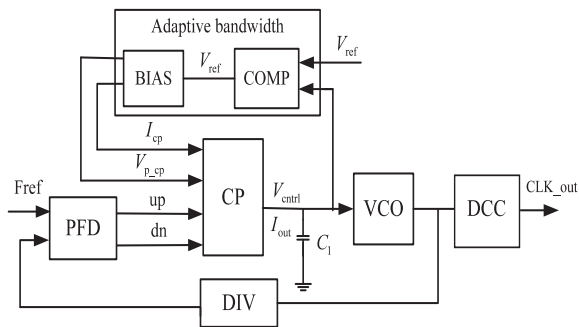


图 1 锁相环结构图

2 电路设计及抖动优化

为了获得良好的锁相环性能,在电路模块设计中需要采取抖动优化措施^[11-12]。根据抖动来源,可分为随机抖动(RJ)和确定性抖动(DJ)。在锁相环电路中,压控振荡器是随机抖动的主要来源。确定性抖动分为周期性抖动和数据相关抖动,通过调整占空比和电荷泵来改善占空比失真(DCD)和时钟抖动。

2.1 压控振荡器(VCO)

压控振荡器由电压电流转换电路(V/I)和电流控振荡器(CCO)组成^[13],如图 2 所示。电压电流转换电路将电荷泵输出的控制电压 V_{ctrl} 转换成 CCO 所需的控制电流 i_{cco} ,可以最大程度地增大压控振荡器调谐曲线的线性范围,确保环路的稳定性,采用全差分结

构,大大抑制了共模干扰,同时 p 管 MP_1 能够起到屏蔽电源干扰的作用,减小了压控振荡器的电源噪声,降低了随机抖动^[14]。

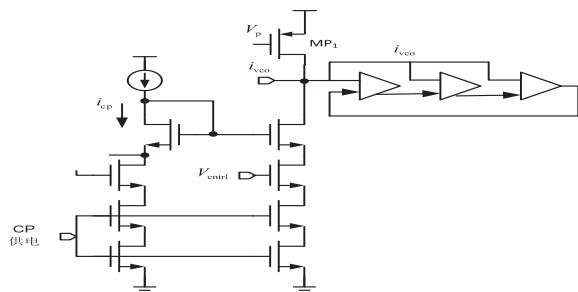


图 2 压控振荡器电路

2.2 占空比调整(DCC)

占空比调整电路包括滤波电路、比较电路和调整电路,如图 3 所示。VCO 输出时钟信号经过滤波转换为直流电压信号,利用比较器将输出电压信号与参考信号相比较,其中参考信号为电源电压的一半,产生反馈信号改变时钟信号的上升下降时间,不断重复此过程,使占空比最终达到 50%,抑制 DCD。

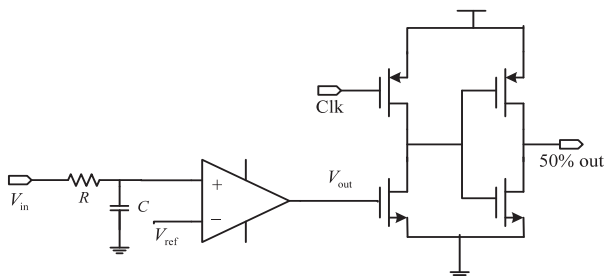


图 3 占空比调整电路

2.3 电荷泵(CP)

电荷泵采用双环控制电路,通过积分路径和比例路径调整锁相环锁定,其控制电路如图 4 所示。由带开关的电流源组成,分别产生电流 $I_{\text{out_prop}}$ 和 $I_{\text{out_int}}$,其中积分路径和比例路径分别由三组开关控制支路电流 8 级可调,根据鉴频鉴相器的输出信号来判断电荷是泵入环路滤波器还是从环路滤波器中泵出,进而调整 V_{ctrl} 。通过配置积分路径和比例路径的电流实现了锁相环带宽可配置。

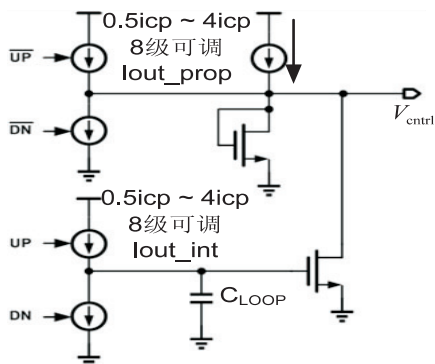


图 4 电荷泵双环控制电路

3 物理实现及仿真结果

基于 0.13 μm CMOS 工艺,在 Cadence 环境下完成版图,设计时注意差分结构对称走线,高频信号线尽量短同时抑制共模噪声,减少信号间相互串扰。

使用 Cadence Spectre 工具对锁相环电路进行整体仿真,从图 5 可以看出锁相环带宽自适应调整的过程,上电 0.5 μs 后 V_{ctrl} 和 V_{ref} 相差较大使 i_{vco} 大幅度变化,放大器的负反馈调整系数较大, i_{vco} 步长较大,使得 V_{ctrl} 向 V_{ref} 快速靠拢;当两者电压相差较小时 i_{vco} 在很小范围内微调,减小了电荷泵的步长,直到锁定, V_{ctrl} 保持稳定。

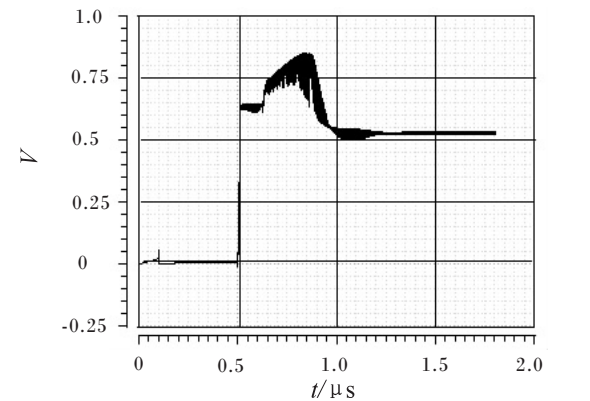


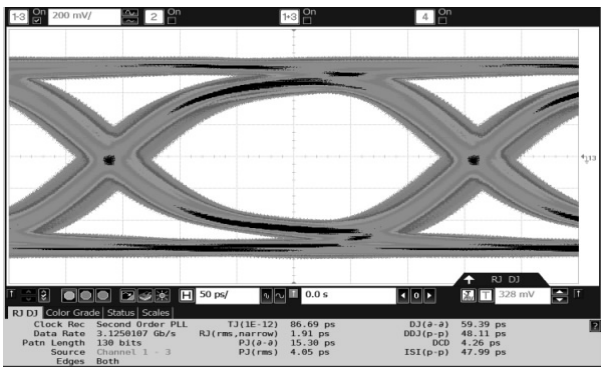
图 5 3.125 Gbps 速率 V_{ctrl} 电压曲线

4 测试结果

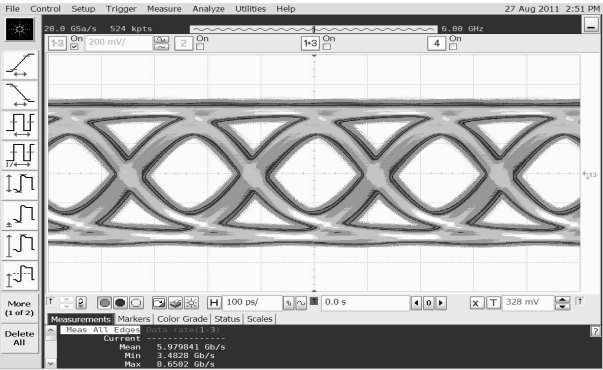
使用 TEK DTG5334 码型发生器和 Agilent DSA90804 示波器对 PLL 进行测试。测试包含 FC(数据率 1.062 5/2.125 Gbps),PCIE(数据率 2.5 Gbps),Rapid IO(数据率 1.25/2.5/3.125 Gbps)要求的 6 种数据率,同时进行了最高振荡频率测试,测试结果如图 6 所示。在各数据率下,PLL 输出时钟的 RJ<1.3 ps,在温度-55~125℃范围内无明显漂移,PLL 的最大振荡频率可达到 2.45 GHz,能够满足 1.062 5~5.9 Gbps 速率的通讯要求。对文中所设计的锁相环电路测试结果总结如表 1 所示。

表 1 锁相环测试结果

参数	测试结果
工艺库	0.13 μm CMOS
电源电压/V	1.2/3.3
输入参考频率/MHz	50~78.5
数据率范围/Gbps	1.062 5~5.9
输出抖动/ps	RJ<1.3 ps
环路带宽/MHz	1~4
分频比	4~131(以 PLL 时钟输出范围为例)



(a)数据率为 3.125 Gbps 时数据眼图



(b)数据率为 5.9 Gbps 时数据眼图

图 6 数据眼图

5 结束语

文中设计实现了一种宽温低抖动带宽自适应的锁相环电路,通过比较控制电压和参考电压灵活地调整电荷泵电流,使环路带宽在锁定过程中自适应调整,在一定程度上解决了噪声与锁定时间的矛盾,降低锁相环的噪声,通过配置 PLL 电荷泵的积分系数和微分系数,实现了 PLL 的带宽可配置,同一架构下满足多协议的要求。该芯片采用 0.13 μm CMOS 工艺设计实现,经测试,该 PLL 输出频率为 1.062 5~3,数据率覆盖 1.062 5~5.9 Gbps,RJ<1.3 ps,温度范围为-55~125℃,符合 FC-PI-4、PCIE1.1 和 Rapid IO1.3 的协议要求,已成功应用于多款高速 SerDes 芯片中。

参考文献:

[1] Lee J, Kim B. A 250MHz low jitter adaptive bandwidth PLL [C]//Proc of IEEE international solid-state circuits conference. San Francisco; IEEE,1999;346-347.

[2] Hur C, Choi Y S, Choi H H, et al. A low jitter phase-lock loop based on a new adaptive bandwidth controller [C]//Proc of IEEE Asia-Pacific conference on circuit and systems. Tainan; IEEE,2004;421-424.

[3] Partovi H, Evans B, Wilson T, et al. A 62.5Gb/s multi-stand-ard SerDes IC [C]//Proc of IEEE 2003 custom integrated cir-cuits conference. [s. l.]: IEEE,2003;585-588.

量人员和结果报告形式。

6 结束语

当前,软件工程开发的规模越来越大、质量要求越来越高,软件企业组织的团队开发能力将是其生存和发展的根本。通过实施 GJB5000A 三级工程管理标准,能够使企业组织迅速提升软件研发实力,使软件过程开发迈向标准化、规范化、国际化的发展之路。这无论对软件企业组织本身还是对我国软件行业整体来说,都是有利的,推行 GJB5000A 三级势在必行。

参考文献:

[1] 军用软件开发文档通用要求[S]. GJB 438B-2009,2009.
[2] 军用软件开发通用要求[S]. GJB 2786A-2009,2009.
[3] 军用软件研制能力成熟度模型[S]. GJB 5000A-2008,2008.
[4] 张臻鉴,毛佳,高柯,等. GJB5000A 的过程和产品质量保证过程域研究[J]. 航空计算技术,2013,43(3):102-104.
[5] 韩峰岩,王昕,肖丽雯,等. 一种实用的嵌入式软件质量管理框架[J]. 计算机工程,2006,32(9):242-244.

(上接第 165 页)

[4] Maneatis J G. Low-jitter process-independent DLL and PLL based on self-biased techniques[J]. IEEE Journal of Solid-state Circuits,1996,31(11):1723-1732.
[5] Mansuri M, Ken Chih-Kong. Jitter optimization based on phase-locked loop design parameters[J]. IEEE Journal of Solid-state Circuits,2002,37(11):1375-1382.
[6] Kishine K, Ishii K, Ichino H. Loop-parameter optimization of a PLL for a low-jitter 2.5-Gb/s one-chip optical receiver IC with 1:8 DEMUX[J]. IEEE Journal of Solid-state Circuits,2002,37(1):38-50.
[7] Loke A L S, Barnes R K, Wee T T, et al. A versatile 90-nm CMOS charge-pump PLL for SerDes transmitter clocking[J]. IEEE Journal of Solid-state Circuits,2006,41(8):1894-1907.
[8] Song Ying, Wang Yuan, Jia Song, et al. An adaptive-bandwidth CMOS PLL with low jitter and a wide tuning range[J]. Journal of Semiconductors,2008,29(5):908-912.
[9] Rao C, Wang A, Desai S. A 0.46ps RJrms 5GHz wideband LC

[6] 马丽飞. 浅谈 SQA 在 GJB5000A 二级实施过程中的作用[J]. 电子质量,2014(2):43-45.
[7] Humphrey W S. 软件过程管理[M]. 北京:清华大学出版社,2002.
[8] 宋志刚. 基于 GJB5000A 的型号软件设计过程的研究与实践[J]. 航空计算技术,2014,44(4):106-108.
[9] 中国人民解放军总装备部. GJB5000-2003 军用软件能力成熟度模型[S]. 2003.
[10] 陈颖姣,何贤,王忠,等. 借鉴现代项目管理理论提升科研项目管理水平[J]. 科技管理研究,2010(24):208-210.
[11] RTCA DO-178B software considerations in airborne system and equipment certification[S]. [s.l.]:RTCA, Inc,1992.
[12] ISO/IEC 12207 standard for information technology-software life cycle processes[S]. [s.l.]:International Organization for Standard and International Electrotechnical Commission,1995.
[13] ISO/IEC TR 15504 information technology-software process assessment[S]. [s.l.]:International Organization for Standard and International Electrotechnical Commission,1998.
[14] Pinto J K. Project management 2002[J]. IEEE Engineering Management Review,2002,30(4):42-42.

PLL for multi-protocol 10Gb/s SerDes[C]//Proc of IEEE 2009 custom integrated circuits conference. San Jose:IEEE,2009:239-242.
[10] Chang K Y K, Wei J, Huang C, et al. A 0.4-4-Gb/s CMOS quad transceiver cell using on-chip regulated dual-loop PLLs[J]. IEEE Journal of Solid-state Circuits,2003,38(5):747-754.
[11] 丁志钊. 基于 PLL 频率合成器锁相环的降噪技术[J]. 电子测量技术,2009,32(5):44-46.
[12] 刘玮,肖磊,杨莲兴. 1.25Gbps 串并并串转换接收器的低抖动设计[J]. 固体电子学研究进展,2009,29(1):99-105.
[13] Xiao Lei, Liu Wei, Yang Lianxing. Low jitter design for ring oscillator in Serdes[C]//Proc of 7th international conference on ASIC. Guilin:IEEE,2007:307-310.
[14] Pialis T, Phang K. Analysis of timing jitter in ring oscillators due to power supply noise[C]//Proc of 2003 international symposium on circuits and systems. [s.l.]:IEEE,2003:685-688.

一种低抖动带宽自适应锁相环的设计与实现

作者：[刘颖](#)，[田泽](#)，[邵刚](#)，[刘敏侠](#)，[LIU Ying](#)，[TIAN Ze](#)，[SHAO Gang](#)，[LIU Min-xia](#)
作者单位：[中国航空计算技术研究所, 陕西 西安, 710119](#)
刊名：[计算机技术与发展](#)[ISTIC](#)
英文刊名：[Computer Technology and Development](#)
年，卷(期)：2015(6)

引用本文格式：[刘颖](#).[田泽](#).[邵刚](#).[刘敏侠](#).[LIU Ying](#).[TIAN Ze](#).[SHAO Gang](#).[LIU Min-xia](#) 一种低抖动带宽自适应锁相环的设计与实现[期刊论文]-[计算机技术与发展](#) 2015(6)