

# 一种 0.4–4GHz 大范围高精度占空比调整电路

吕俊盛,田 泽,邵 刚

(中航工业西安航空计算技术研究所,陕西 西安 710068)

**摘 要:**文中提出一种适用于高速电路系统的大范围、高精度占空比调整电路。该电路能够自动调整输入时钟的占空比,使其达到 50% 左右的理想值。基于对占空比畸变原理的分析,文中提出的占空比调整电路采用模拟负反馈的方法,能够在 0.4–4 GHz 频率范围内实现 20%–80% 的大范围占空比调整,调整误差小于 0.42%。电路采用 65 nm CMOS 工艺设计实现,面积仅为 30  $\mu\text{m}\times 95\ \mu\text{m}$ ,功耗仅 1.42 mW。相较其他类型电路,该电路结构简单、性能优异、功耗低、面积小、易于集成,能够广泛应用于对占空比要求苛刻的电路系统中。

**关键词:**占空比调整;大范围;高精度;高速

中图分类号:TP31

文献标识码:A

文章编号:1673–629X(2015)06–0084–03

doi:10.3969/j.issn.1673–629X.2015.06.018

## A 0.4–4GHz Large Range High Precision Duty-cycle Correction Circuit

LÜ Jun-sheng, TIAN Ze, SHAO Gang

(Xi'an Aeronautics Computing Technique Research Institute of AVIC,  
Xi'an 710068, China)

**Abstract:** A large range high precision Duty Cycle Correction (DCC) circuit for high speed circuit system is presented. The circuit can automatically adjust the clock duty cycle to the ideal value about 50%. Based on a comprehensive analysis of the principle of the Duty Cycle Distortion (DCD), adopt an analog feedback method to achieve 20%–80% large range duty cycle correction from 0.4 to 4 GHz, while the error is less than 0.42%. The circuit is designed in 65 nm CMOS technology, which occupies only 30  $\mu\text{m}\times 95\ \mu\text{m}$  and consumes 1.42 mW. The circuit has the advantages of simple architecture, excellent performance, low power, small area, and easy to integrate, which can be widely applied into the circuit system with DCC requirements.

**Key words:** duty cycle correction; large range; high precision; high speed.

## 0 引言

随着电子系统数据处理能力不断增强,数据传输的速率也随之大幅提高,许多系统的传输速率由之前的 kbps、Mbps 级别飞跃到如今的 Gbps 级别。对于一些高速数据传输系统,如采用双倍速率同步动态随机存储器(DDR SDRAM)的 IO 接口和半速结构的高速串行接口(SerDes)来说,时钟的占空比对系统的性能至关重要。在这些系统中,时钟占空比必须严格控制在 50% 左右,使得上升和下降沿有相等的相位余量对数据进行采样,从而保证数据采样的正确性。然而,即便输入的时钟源能够保证 50% 的占空比,时钟树的失

配、其他信号的耦合以及工艺的漂移等因素均会使经过传输后的输出时钟占空比发生畸变,使其严重偏离 50% 的理想值。因此,在高速电路系统中,需要有专用的电路模块来保证时钟 50% 的占空比。

常用的占空比调整电路主要采用数字<sup>[1–7]</sup>和模拟<sup>[8–13]</sup>两种方法。数字方法能够获得较大的调整范围,但其调整精度受其最小调整步长的影响,变得十分有限;同时,数字调整模块会占用较大的面积,因此该方法实现的电路不易在面积要求严格的系统中集成。而模拟方法的电路能够达到较高的调整精度,但其调整范围较小,因此在电路环境复杂、占空比畸变严重的

收稿日期:2014–07–17

修回日期:2014–10–23

网络出版时间:2015–05–10

基金项目:“十二五”微电子预研资助项目(51308010601,51308010710,51308010711)

作者简介:吕俊盛(1986–),男,博士,工程师,研究方向为高速数模混合集成电路设计;田 泽,博士,研究员,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20150520.1513.006.html>

环境中较难应用。

文中提出了一种适用于高速电路的大范围、高精度占空比调整电路,能够保证时钟 50% 的占空比。电路采用负反馈结构的模拟方法,能够在 0.4~4 GHz 频率范围内实现 20%~80% 的大范围占空比调整,调整误差小于 0.42%。该电路结构简单、性能优异、功耗低、面积小、易于集成,能够广泛应用于对占空比要求苛刻的电路系统中。

## 1 占空比畸变的原理

理想时钟信号的占空比为 50%,但是在传输过程中,信号驱动器对时钟信号的上升和下降沿有不对称的响应,造成信号脉冲在经过驱动器后脉宽发生畸变,从而使时钟信号的占空比偏离 50%。这种畸变在信号经过长距离的多级传输后会由于累积、周围信号的耦合变得更为严重。另外,由于在制造和应用时工艺、电压、温度(PVT)的偏差,也会使得信号占空比进一步恶化。

一个占空比为 50% 的理想时钟信号,其直流分量为其高、低电平的平均值,而由于占空比的畸变,其直流分量会偏离理想值<sup>[7]</sup>。具体来讲,当占空比大于 50% 时,直流分量大于平均值;反之,则小于平均值,如图 1 所示。

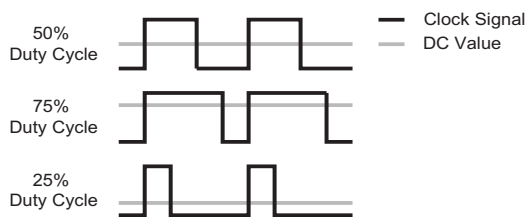


图1 时钟占空比与其直流值的关系

## 2 电路总体结构

文中根据时钟占空比与其直流值的关系,提出了如图 2 所示的占空比调整电路,电路主要包括三个模块:占空比检测电路、占空比调整电路和低通滤波器。三个模块形成负反馈环路,实现时钟信号占空比的调整。输出时钟经过 RC 低通滤波器后,其高频成分被充分滤除,剩下的直流分量输入占空比检测电路中。占空比检测电路将输出时钟的直流分量与参考电压进

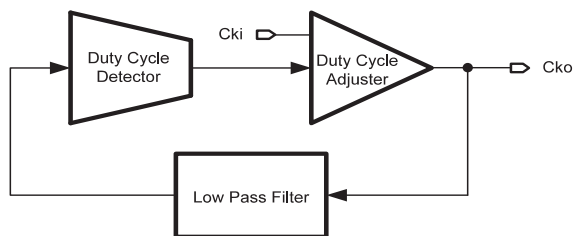


图2 占空比调整电路的总体结构

行比较,输出调整电压。占空比调整电路根据调整电压控制输入时钟 Cki 的占空比,使其直流分量逼近参考电压,即信号高、低电平的平均值,最终经过驱动使输出时钟 Cko 达到 50% 的理想值。

## 3 电路模块设计

### 3.1 占空比检测电路

占空比检测电路通过比较 RC 低通滤波器输出的时钟直流分量和参考电压来输出占空比调整电压,其电路结构如图 3 所示。由于时钟信号采用 CMOS 电平,其高低电平分别为 VDD 和 0,因此,占空比为 50% 的理想时钟的直流分量  $V_{dc} = VDD/2$ 。电阻  $R_1$  和  $R_2$  组成的分压器提供参考电压  $V_{ref} = VDD/2$ ,由  $M_1 \sim M_4$  和  $M_8$  组成的差分放大器比较参考电压与时钟信号的直流分量,比较结果通过电流镜  $M_3$ 、 $M_6$  镜像到输出口来控制输出电压的大小。当输入的时钟信号直流分量高于参考电压时, $M_3$ 、 $M_6$  的栅电压减小,使得输出电压升高;反之,输出电压降低。同时,输入信号通过  $M_5$  反向控制输出电压,避免输出级  $M_6$ 、 $M_9$  输出的调整电压超出后级占空比调整电路的正常工作范围,保证电路工作正常。

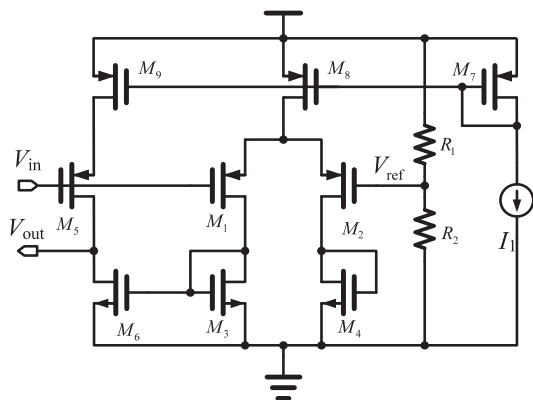


图3 占空比检测电路

### 3.2 占空比调整电路

占空比调整电路接收检测输出的调整电压,将输出时钟的占空比调整到 50%。如图 4 所示,占空比调整电路包括两级,第一级为调整控制级,第二级为反向

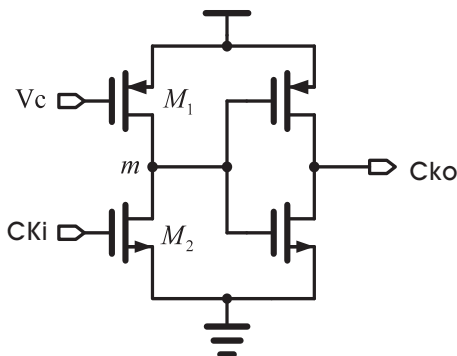


图4 占空比调整电路

器输出驱动器。NMOS 管  $M_2$  接收输入的时钟信号输出到中间节点  $m$  上,PMOS 管  $M_2$  根据调整电压  $V_c$  的不同,来控制  $m$  节点上时钟信号的上升和下降转换时间。当  $V_c$  值较高时,  $M_1$  趋近关断,此时  $m$  点信号上升沿变缓,下降沿变快,使得占空比降低;反之,当  $V_c$  值较低时,  $M_1$  打开,  $m$  点信号上升沿加速、下降沿变缓,使得占空比增大,由此来完成时钟信号的占空比调整。

4 仿真和测试结果

文中提出的占空比调整电路在 65 nm CMOS 工艺平台上设计流片实现,整体面积仅为  $30\text{ }\mu\text{m}\times95\text{ }\mu\text{m}$ ,版图及其应用芯片如图 5 所示。电路采用 1.2 V 供电,功耗仅为 1.42 mW。

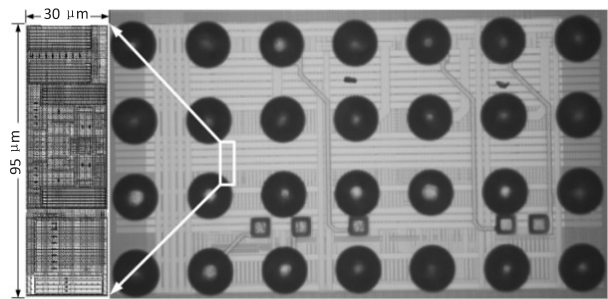


图 5 占空比调整电路的版图及其应用芯片照片

当电路输入 0.4 ~ 4 GHz 不同占空比的时钟时,后仿真结果如图 6 所示。

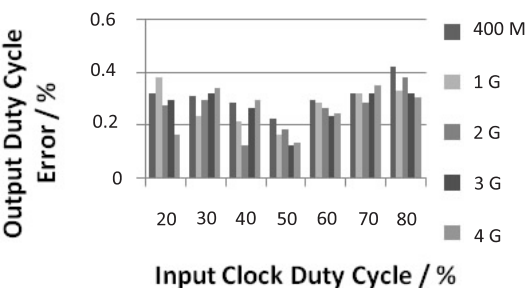


图 6 输入不同频率、不同占空比时钟信号时的电路占空比调整精度后仿真结果

结果表明,电路对于 20% ~ 80% 的不同输入占空比均能正常工作,输出时钟占空比均能调整到 50% 的理想值左右,最大调整误差仅为 0.42%,电路调整范围大、精度高。

表 1 为近年来发表的占空比调整电路的主要指标,并与文中提出的电路进行了对比。

由表可知,文中提出的占空比电路在工作频率、调整范围、调整精度、功耗和面积上均具有明显优势,因此,能够集成于多种对占空比要求苛刻的高速电路系统中。

表 1 占空比调整电路性能对比

来源	工艺 /nm CMOS	工作电压 /V	类型	工作频率 /GHz	最大调整 范围 /%	最大调整 误差 /%	功耗/mW	面积 /mm <sup>2</sup>
文献[4]	180	1.8	数字	0.4 ~ 2.0	20 ~ 80	3.50	3.6 @ 2 GHz	0.025
文献[5]	130	1.2	数字	0.3 ~ 1.0	40 ~ 60	1.00	3.2	0.048
文献[6]	65	1.0	数字	0.2 ~ 1.0	20 ~ 80	1.00	5.83 @ 1 GHz	0.01
文献[7]	54	1.8	数字	0.3 ~ 1.8	13	1.60	29.5 @ 1 GHz	0.11
文献[12]	180	1.8	模拟	0.5 ~ 1.1	30 ~ 70	1.00	4.8 @ 1.3 GHz	0.207
文献[13]	180	1.8	模拟	0.5 ~ 2.0	20 ~ 80	1.49	3.6 @ 1 GHz	0.043
文中	65	1.2	模拟	0.4 ~ 4	20 ~ 80	0.42	1.42 @ 4 GHz	0.003

5 结束语

文中提出了一种适用于高速电路的大范围、高精度占空比调整电路,能够自动调整输入时钟的占空比,使其达到 50% 左右的理想值。经过对占空比畸变原理的分析,文中采用模拟负反馈结构实现电路,能够在 0.4 ~ 4 GHz 频率范围内实现 20% ~ 80% 的大范围占空比调整,调整误差小于 0.42%。电路采用 65 nm 工艺设计实现,面积仅为  $30\text{ }\mu\text{m}\times95\text{ }\mu\text{m}$ ,功耗仅为 1.42 mW。经过流片测试,表明电路功能正确。该电路结构简单、工作频率高、调整范围大、精度高、功耗低、面

积小,能够广泛应用于对占空比要求苛刻的高速电路系统中。

参考文献:

[1] 何小威,陈 亮,冀 蓉,等. 基于相位合成的时钟 50% 占空比调节电路设计[J]. 电子学报,2007,35(8): 1572-1576.

[2] 陈柱佳,杨海钢. 一种新型宽范围固定上升沿的数字占空比矫正电路[J]. 中国科学院研究生院学报,2012,29(4): 501-506.

[3] 何小威,陈 亮,李少青,等. 纯数字时钟 50% 占空比调节

4 结束语

针对传统的基于 MapReduce 的 SVM 分类算法在各子节点上的分类准确率的问题,文中提出了 PISV-MAM。该算法引入了迭代机制和遗传算法对 SVM 参数进行优化,将遗传算法运用在每一次迭代中,克服了人为选取 SVM 参数的随意性,使得支持向量机在每一次迭代中都能得到最佳参数,从而在收敛时,得到最优的分类器。实验数据表明,PISVMAM 得到的分类器与传统算法相比,分类准确率有了很大提高。该算法对于 SVM 分类算法来说,能够很好地对海量数据集进行训练和分类。

参考文献:

[1] Chen Kang,Zheng Weimin. Cloud computing system instances and current research[J]. Journal of Software,2009,20(5):1337-1348.

[2] Theodoridis S,Koutroumbas K. 模式识别[M]. 北京:电子工业出版社,2010.

[3] 黄 山,王波涛,王国仁,等. MapReduce 优化技术综述[J]. 计算机科学与探索,2013,7(10):865-885.

[4] White T. Hadoop 权威指南[M]. 周敏奇,王晓玲,金澈清,等,译. 北京:清华大学出版社,2011.

[5] 赵保学,李战怀,陈 群,等. 基于共享的 MapReduce 多查询优化技术[J]. 计算机应用研究,2013,30(5):1405-

1409.

[6] 刘 鹏,黄宜华,陈卫卫. 实战 Hadoop[M]. 北京:电子工业出版社,2011.

[7] 周 锋,李旭伟. 一种改进的 MapReduce 并行编程模型[J]. 科协论坛:下半月,2009(2):65-66.

[8] 廖周宇,谢晓兰,刘建明. 云计算环境下基于 SVM 的数据分类[J]. 桂林理工大学学报,2013,33(4):765-769.

[9] 泰国和. SVM 分类核函数及参数选择比较[J]. 计算机工程与应用,2011,47(3):123-124.

[10] 马永杰,云文霞. 遗传算法研究进展[J]. 计算机应用研究,2012,29(4):1201-1206.

[11] 刘靖洁,陈桂明,刘小方,等. 基于遗传算法的 SVM 参数组合优化[J]. 计算机应用与软件,2012,29(4):94-96.

[12] Catak F O,Balaban M E. CloudSVM:training an SVM classifier in cloud computing systems[M]. Berlin:Springer-Verlag,2013.

[13] JerryLead. SMO 算法的数学推导[EB/OL]. 2011-01-03. <http://www.cnblogs.com/jerrylead/archive/2011/03/18/1988419.html>.

[14] Chang Chih-Chung, Lin Chih-Jen. LIBSVM: a library for support vector machine[J]. ACM Transactions on Intelligent Systems and Technology,2011(2):1-27.

[15] Apache Hadoop[EB/OL]. 2012-04-16. <http://hadoop.apache.org/>.

(上接第 86 页)

电路设计[J]. 电子器件,2008,31(4):1197-1200.

[4] Gu J,Wu J,Cu D,et al. All-digital wide range precharge logic 50% duty cycle corrector[J]. IEEE Trans on Very Large Scale Integration Systems,2012,20(4):760-764.

[5] Min Y J,Jeong C H,Kim K Y,et al. A 0.31-1 GHz fast-corrected duty-cycle corrector with successive approximation register for DDR DRAM application[J]. IEEE Trans on Very Large Scale Integration Systems,2012,20(8):1524-1528.

[6] Chung C C,Sheng D,Shen S E. High-resolution all-digital duty-cycle corrector in 65-nm CMOS technology[J]. IEEE Trans on Very Large Scale Integration Systems,2014,22(5):1096-1105.

[7] Yun W J,Lee H W,Shin D,et al. A 3.57Gb/s/pin loe jitter all-digital DLL with dual DCC circuit for GDDR3 DRAM in 54-nm CMOS technology[J]. IEEE Trans on Circuits Syst II, Exp Briefs,2011,19(9):1718-1722.

[8] 杜振场,殷 勤,吴建辉,等. 一种固定下降沿的高精度时钟占空比调整电路[J]. 微电子学,2007,37(5):739-743.

[9] 张炜华,姚若河,吴桐庆. 一种改进的模拟占空比矫正电路[J]. 微电子学与计算机,2007,24(3):174-177.

[10] 张炜华,姚若河,朱建培. 一种新型的模拟占空比矫正电路[C]//第十四届全国半导体集成电路、硅材料学术年会. 北京:出版者不详,2005.

[11] 李 华,钟 正,方 粮,等. 占空比调节器的设计与实现[C]//第十二届计算机工程与工艺全国学术年会. 呼和浩特:出版者不详,2008.

[12] Cheng K,Su C,Chang K. A high linearity,fast-locking pulse width control loop with digitally programmable duty cycle correction for wide range operation[J]. IEEE Journal of Solid-state Circuits,2008,43(2):399-413.

[13] Han S,Kim J. Hybrid duty-cycle corrector circuit with dual feedback loop[J]. Electronics Letters,2011,47(24):1311-1313.

一种0.4-4 GHz大范围高精度占空比调整电路

作者：[吕俊盛](#)，[田泽](#)，[邵刚](#)，[Lü Jun-sheng](#)，[TIAN Ze](#)，[SHAO Gang](#)

作者单位：[中航工业西安航空计算技术研究所, 陕西 西安, 710068](#)

刊名：[计算机技术与发展](#)

英文刊名：[Computer Technology and Development](#)

年，卷(期)：2015(6)

引用本文格式：[吕俊盛](#). [田泽](#). [邵刚](#). [Lü Jun-sheng](#). [TIAN Ze](#). [SHAO Gang](#) 一种0.4-4 GHz大范围高精度占空比调整电路[期刊论文]-[计算机技术与发展](#) 2015(6)