

# 一种高速数模混合倒装芯片协同仿真技术研究

蔡叶芳,田 泽,邵 刚,唐龙飞,刘宁宁

(西安航空计算技术研究所,陕西 西安 710068)

**摘 要:**串行数据率的不断提高使得传输信号的波长和板中传输线长度可比拟,分布参数显现出不可忽视的影响。文中提出了一种全信道仿真的方法,在 HFSS 软件中对倒装焊管壳进行建模,在 SiWave 软件中对 PCB 链路进行分析,并分别提取出 S 参数和 Spice 网表,以及高速数模混合 SoC 芯片中 SerDes 接口中 Tx 及 Rx 模块版图寄生参数提取后的 RCX 网表。在 Cadence Spectre 软件下进行协同仿真的方法,较好地预计出了高速数模混合倒装焊芯片在版图、封装、管壳以及信道影响情况下的传输特性,为电路设计以及改进提供了依据。

**关键词:**SerDes;封装;管壳;信道;协同仿真

中图分类号:TP31

文献标识码:A

文章编号:1673-629X(2015)06-0056-04

doi:10.3969/j.issn.1673-629X.2015.06.012

## Research on a High Speed Transceiver Co-simulation Technology with Flip-chip Package

CAI Ye-fang, TIAN Ze, SHAO Gang, TANG Long-fei, LIU Ning-ning

(Aeronautical Computing Technique Research Institute, Xi'an 710068, China)

**Abstract:** The paracitic effect has played a more important role when the waveform length has compared to the channel length in terms of increasing baudrate of serial communication. In this paper, a full channel simulation method has been proposed. The flip-chip package model has been extracted using HFSS, the PCB channel has been analyzed in SiWave as while, both S parameter and Spice model has been extracted and simulated with Rx and Tx RCX netlist using Spectre simulator. The simulation has accurately predicted the performance of high speed circuit with paracitic effect of layout, package, channel, and the method is an effective way for circuit optimization.

**Key words:** SerDes; package; tube; channel; cooperating simulation

## 0 引 言

随着集成电路技术以及通信技术的发展,不同设备之间的数据传输容量越来越大, SATA、PCI\_E、RapidIO、Fiber Channel 等高速串行通信接口的应用越来越广泛。目前的 SerDes 接口已经达到 10 Gbps 甚至更快的速率。由于分布参数的影响,高速 SerDes 的应用对于芯片版图设计、封装以及测试等方面也提出了更高的要求<sup>[1-3]</sup>。

图 1 给出了一个典型的内嵌高速 SerDes 接口的数模混合倒装焊芯片传输通道物理层模型,该模型包含一个发射器芯片和一个接收器芯片。其中,发射器芯片和接收器芯片分别通过倒装封装连接到两块不同的子卡上,两块子卡则分别通过连接器和背板相连。

由于在整个通信系统中,所传输的信号波长已经小于信道长度,因此,集总参数的概念已经不适合于高速 SerDes 系统,必须用分布参数的理论来分析。这就要求在串行链路设计时必须对链路的每个重要环节进行评估和优化,保证在由连接器、传输线、过孔、芯片封装、版图等环节组成的互联通道对信号影响的情况下,系统仍有足够的裕量。

文中针对一款采用了 3.125 Gbps Rapid IO 协议的 SoC 管壳及信道进行了建模仿真,并与测试结果进行了对比。从仿真和测试结果对比可以看出,文中所采用的管壳链路仿真设计方法较好地预计了信道的性能,可以作为芯片电路版图设计、管壳设计以及板级电路设计的重要依据。

收稿日期:2014-07-17

修回日期:2014-10-23

网络出版时间:2015-05-20

基金项目:“十二五”微电子预研(51308010601,51308010711);总装预研基金(9140A08010712HK6101)

作者简介:蔡叶芳(1982-),男,工程师,研究方向为 SoC 设计、VLSI 设计;田 泽,博士,研究员,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20150520.1513.004.html>

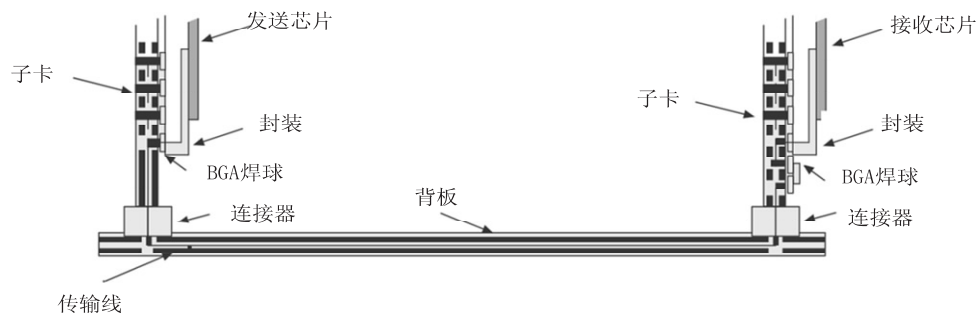


图1 典型的高速数模混合倒装焊芯片传输通道物理层模型

1 串行链路建模及优化

1.1 封装建模

传输信号质量由封装导致的寄生参数的影响包括接地反弹和噪声、传播延迟、边沿速率变缓和输出引线时滞等。对于高速率的 SerDes 芯片而言,通常的封装形式包括键合线封装和倒装 BGA 封装。倒装 BGA 封

装使用衬底来代替键合线框架,并且可以有效地改善性能,与相等的键合线封装相比,倒装 BGA 封装减少了寄生的引脚到引脚的容性和感性寄生。BGA 封装能够通过设计数据和控制连线的位置,使得引脚到引脚的电容耦合以及连线长度的差异最小<sup>[4-5]</sup>。因此,为了提高芯片性能,文中所使用的 SoC 芯片采用了倒装 BGA 封装,图2给出了该封装所采用的结构。

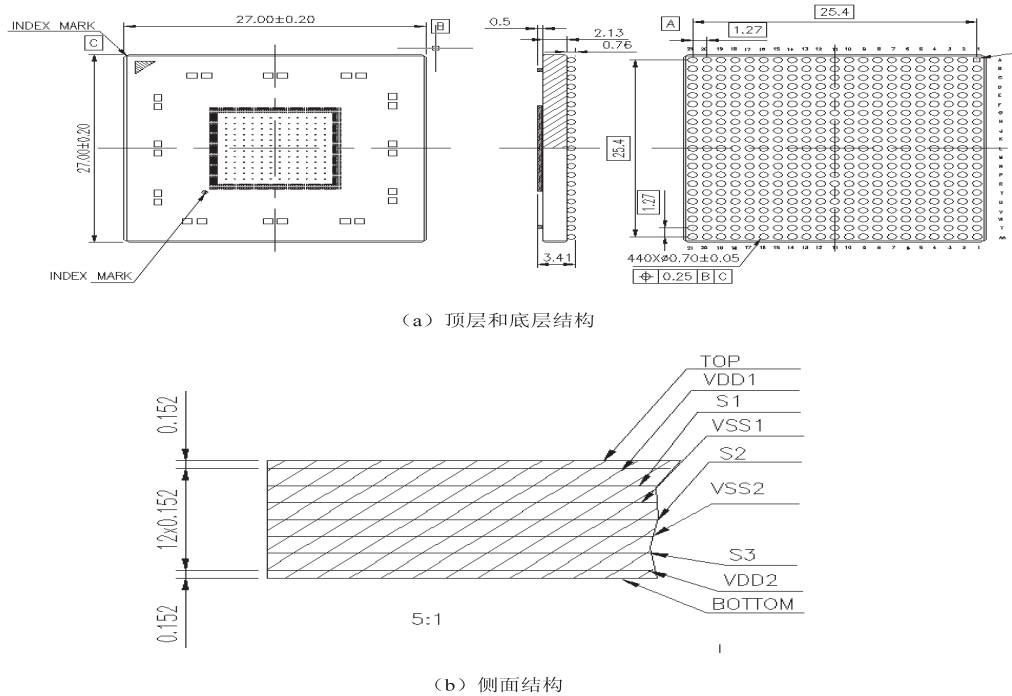


图2 文中 SoC 芯片所采用的 BGA 封装结构

对于封装建模,在文献[6]中将焊球以一均匀金属块代替,将每一个锡球以指定的横截面积及材料参数与实际相等的连接单元体来代替,简化处理复杂几何体的金属焊球;文献[7]中也把所有焊球当作一个单元体来进行网格划分和有限元计算,实验结果表明,所得到的结果并没有明显差异。因此文中实验在设计 BGA 封装的三维立体模型时,对金属焊球做了以下三种假设:

- (1) 每个金属球视为一单一圆柱体;
- (2) 每个焊球的底面半径及高度完全相等;
- (3) 焊球在基板上呈几何对称结构分布。

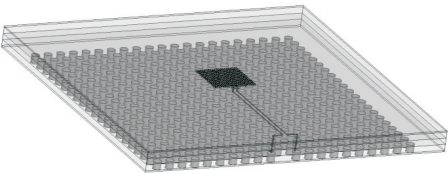
通过以上合理简化和假设,可以有效提高 BGA 封装三维物理模型仿真精度和计算效率。

根据图2所示的封装结构,在 HFSS 中对该封装进行了建模仿真<sup>[8-10]</sup>,具体过程如下:

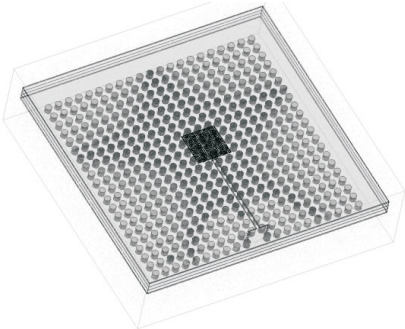
- (1) 创建几何模型。确定封装的结构尺寸,作为输入数据,画出芯片封装外壳、引脚、地及基板等各个部分的模型;
- (2) 设置材料属性,输入模型尺寸的同时,可以确定各个材料的属性;
- (3) 定义信号流路径;创建信号源输入端模型,因为信号源的输入和输出端的设定影响到电流及磁场的

方向,所以根据芯片的实际情况考虑,信号从邻近信号源输出端必须与一完整的金属导体或地平面相接。

图 3(a) 给出了 HFSS 中的 BGA 封装模型。通过封装材料,层厚及线宽设计,满足单端信号线特征阻抗



(a) BGA 封装 HFSS 模型



(b) BGA 封装中场强分布

图 3 BGA 封装模型及场强分布

50 Ω,差分信号线特征阻抗 100 Ω。图 3(b) 给出了在 HFSS 中的场强分布仿真结果。利用 HFSS 软件还可以提供关键信号路径布线的 Spice 电路模型和 S 参数仿真结果。

1.2 信道建模

信道的响应主要由铜传输线的趋肤效应损耗、封装及背板引起的电解质损耗、信道阻抗不匹配引起的反射共同决定<sup>[11]</sup>。虽然在极高速率系统中,封装与背板的电解质损耗可以通过使用先进的背板材料来缓和,但是趋肤效应损耗的增加与频率的平方根成正比,是电互连模型中最根本的损耗,很难去除<sup>[12-13]</sup>。在实际系统中组成信道的各部分器件相互间存在阻抗不匹配引起反射。在 SerDes 系统中,传输导体引起的散射、电解质带宽损耗结合在一起会直接影响到 SerDes 芯片中线均衡器的设计。

针对文中设计采用的 SerDes 芯片在 Altium Designers 下设计了 PCB 板。该 PCB 采用 10 层板布线,其中,L1、L3、L4、L7、L8 以及 L10 为布线层,其他层为屏蔽层。在 PCB 设计过程中,根据材料特性和工艺参数对传输线的阻抗进行计算,使其特征阻抗为 50 Ω。表 1 给出了相应的布线参数。

表 1 PCB 相关参数

理论板厚/mm	完成板厚/mm	板材类型	层	线宽/线间距	阻抗	H1 (mil)	Er1	H2 (mil)	Er2
1.93	2±0.2	FR4 IT-180A	L1/10	5.5 mil	50.5	3.97	4.15	24.39	4.33
			L1/10	4.1/9 mil	100.2	3.97	4.15		
			L3/4/7/8	5 mil	49.9	3.94	4.15		
			L3/4/7/8	4.2/9 mil	98.8	3.94	4.15		

将图 4 所示的 PCB 版图导入到 Ansoft SiWave 中,对其进行电性能仿真,可以得到相应的 Spice 电路模型以及 S 参数结果。

2 电路仿真验证

根据对封装以及 PCB 的建模结果,以及 Tx 及 Rx 模块版图寄生参数提取后的 RCX 网表,将各自的 Spice 网表导入到 Cadence 中,利用 Spectre 对电路进行整体仿真<sup>[14]</sup>。图 4 给出了电路的整体仿真示意图。

在图 4 所示的整体仿真示意图中,Tx 模块包含串化模块 (MUX)、预加重模块 (FFE) 以及驱动电路 (DRIVER)。Rx 模块包含自动增益控制 (VGA)、均衡电路 (CTE)、反馈判决电路 (DFE)、时钟恢复电路 (CDR) 以及解串电路 (DMUX)。Tx 模块在 PLL 模块的作用下,将并行输入数据转换成串行数据,通过驱动电路驱动输出负载,传输至 Rx 模块输入端。Rx 模块将信号进行放大以及增益补偿后,在 CDR 模块的控制下,将串行数据转换成并行数据输出。

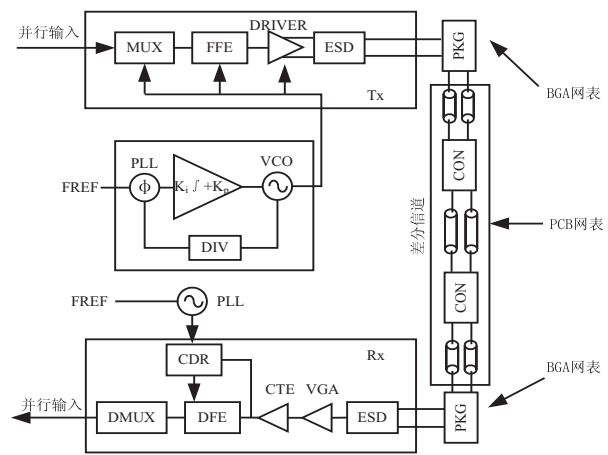


图 4 整体仿真示意图

在图 4 所示的整体仿真示意图中,芯片发送电路和接收电路之间连接有封装模型以及信道寄生参数模型。封装模型以及信道寄生模型直接影响到 Tx 模块中的 FFE 电路设计以及 Rx 中的 CTE 以及 DFE 电路设计。

图 5 给出了在包括封装以及信道影响时设计电路

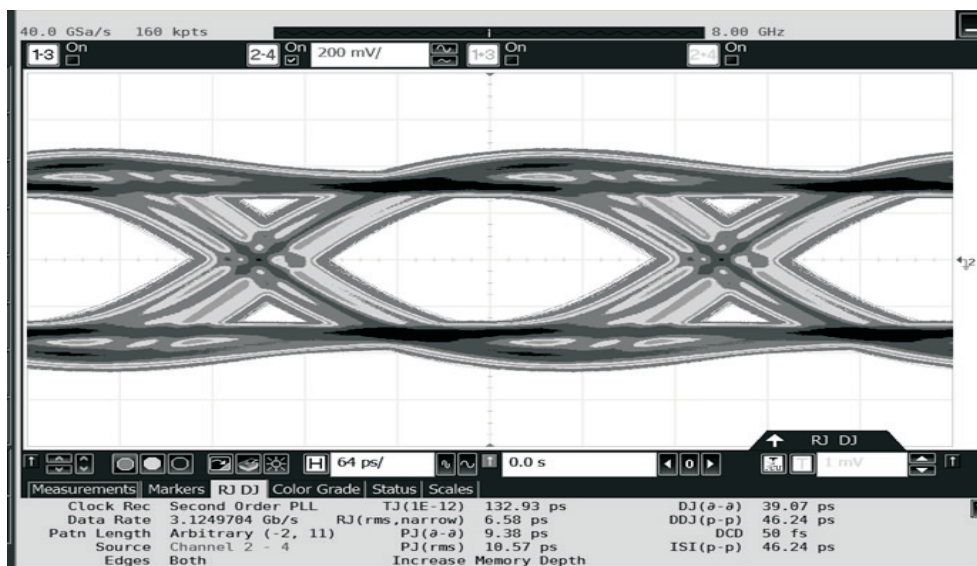


图5 发送数据眼图测试结果

的测试结果。从图中可以看出,在考虑到封装以及信道影响时,输出信号的眼图抖动变大,信号质量变差。

### 3 结束语

串行数据率的不断提高使得数字信号和模拟信号间的界限模糊,传输信号的波长和板中传输线长度可比拟,分布参数显现出不可忽视的影响。文中基于在HFSS软件中对芯片封装进行建模,在SiWave软件中对PCB进行仿真分析,并分别提取出S参数和Spice网表,以及高速数模混合SoC芯片中SerDes接口中Tx及Rx模块版图寄生参数提取后的RCX网表,在Cadence Spectre软件下进行协同仿真的方法,较好地预计出了内嵌高速SerDes的数模混合倒装焊芯片在版图、封装以及信道影响情况下的传输特性,为电路设计以及改进提供了依据。

#### 参考文献:

- [1] Wang M, Maramis H, Telian D, et al. New techniques for designing and analyzing multi-giga hertz serial links[J]. San Francisco: DesignCon Company, 2005.
- [2] Caroselli J. High-speed transceivers require systems modeling [EB/OL]. 2003-11-07. <http://www.eetimes.com>.
- [3] 郭梯云. 数据传输[M]. 北京: 人民邮电出版社, 1991.
- [4] Galal S, Razavi B. 40-Gb/s amplifier and ESD protection circuit in 0.18- $\mu$ m CMOS technology[J]. IEEE Journal on Solid State Circuits, 2004, 39(12): 2389-2396.
- [5] Aloisio A, Cevenini F, Giordano R, et al. Emulating the GLink chip set with FPGA serial transceivers in the ATLAS level-1 muon trigger[J]. IEEE Trans on Nuclear Science, 2010, 57(2): 467-471.
- [6] Aloisio A, Cevenini F, Giordano R, et al. High-speed, fixed-latency serial links with FPGAs for synchronous transfers[J]. IEEE Trans on Nuclear Science, 2009, 56(5): 2864-2873.
- [7] Lemke F, Slogsnat D, Burkhardt N, et al. A unified DAQ interconnection network with precise time synchronization[J]. IEEE Trans on Nuclear Science, 2010, 57(2): 412-418.
- [8] 周涛, 姚炯辉. 对高频PCB设计的研究[J]. 电子工程师, 2006, 32(11): 34-36.
- [9] 黄盛林, 姜海勋. 高速混合PCB板的电磁兼容性设计[J]. 船电技术, 2005, 25(3): 14-17.
- [10] 姜雪松, 陈绮, 许灵军, 等. 印制电路板设计[M]. 北京: 机械工业出版社, 2005: 86-89.
- [11] 周润景, 伟亭. Cadence高速电路板设计与仿真[M]. 北京: 电子工业出版社, 2006.
- [12] 陈伟, 姚天任, 黄秋元, 等. 基于信号完整性理论的PCB仿真设计与分析研究[J]. 武汉理工大学学报: 交通科学与工程版, 2005, 29(2): 273-276.
- [13] 杨洪军. 信号完整性分析及其在高速PCB设计中的应用[D]. 成都: 电子科技大学, 2006.
- [14] 周俊, 许凯华, 刘玉华, 等. 基于仿真的高速电路主板系统信号完整性研究[J]. 计算机工程与设计, 2010, 31(8): 1682-1684.

一种高速数模混合倒装芯片协同仿真技术研究

作者：[蔡叶芳](#)，[田泽](#)，[邵刚](#)，[唐龙飞](#)，[刘宁宁](#)，[CAI Ye-fang](#)，[TIAN Ze](#)，[SHAO Gang](#)，[TANG Long-fei](#)，[LIU Ning-ning](#)  
作者单位：[西安航空计算技术研究所, 陕西 西安, 710068](#)  
刊名：[计算机技术与发展](#)   
英文刊名：[Computer Technology and Development](#)  
年，卷(期)：2015(6)

引用本文格式：[蔡叶芳](#).[田泽](#).[邵刚](#).[唐龙飞](#).[刘宁宁](#).[CAI Ye-fang](#).[TIAN Ze](#).[SHAO Gang](#).[TANG Long-fei](#).[LIU Ning-ning](#) 一种高速数模混合倒装芯片协同仿真技术研究[期刊论文]-[计算机技术与发展](#) 2015(6)