

# 一种宽温多协议时钟恢复电路的设计与实现

邵 刚,田 泽,刘 颖,刘敏侠,王 晋  
(中航工业西安航空计算技术研究所,陕西 西安 710065)

**摘 要:**时钟恢复电路(CDR)是高速串行通讯中的重要模块,对通讯的稳定性和误码率有直接的影响,易受 PVT 影响。PCIE,RapidIO 等高速串行通讯协议中又对 CDR 的性能指标分别有数据抖动特性及抖动容限的容忍范围等严格定义。由于单一协议和速率设计的 CDR 电路在电路应用、验证测试和集成的复杂度较大,多协议兼容是技术趋势。文中设计实现了一种多协议兼容的双环时钟恢复电路,采用集成自适应带宽的锁相环结构 PI 插相器,配合数字控制、相位插值的方式实现。经流片验证,在 1~3.125 Gbps 速率范围内抖动容限和频率偏移等指标均满足协议标准值要求,误码率小于  $1\text{E}-12$ ,满足 FC(FC-P1-4)、PCIE(1.1)和 Rapid IO(1.3)的协议要求,工作温度范围为  $-55\sim 125\text{ }^{\circ}\text{C}$ 。目前该电路已成功应用于 PCIE、FC 和 RapidIO 等多款 SerDes 中,并集成应用于多款高性能 SoC 芯片中。

**关键词:**时钟恢复电路;多协议;宽温;相位插值

**中图分类号:**TP31

**文献标识码:**A

**文章编号:**1673-629X(2015)05-0164-04

doi:10.3969/j.issn.1673-629X.2015.05.039

## Design and Implementation of a Multi-mode Compatible CDR Circuit with Wide Operation Temperature Range

SHAO Gang, TIAN Ze, LIU Ying, LIU Min-xia, WANG Jin

(Xi'an Aeronautics Computing Technique Research Institute of AVIC, Xi'an 710065, China)

**Abstract:** CDR is the important module of high speed serial communication, and has direct effect on stability and bit error rate of communication, and accessible to PVT. PCIE, RapidIO and other high speed serial communication protocols have strict definitions of data jitter property and jitter tolerance. Due to the complexity of CDR circuit with single protocol and speed ratio design in circuit application, test and integration, multi-protocol compatibility is the trend. A multi-protocol dual-path CDR integrated adaptive bandwidth PLL is present in this paper. Use digital control and phase interpolation methods and adjust the CDR bandwidth by configuring digital control bits to recover the clock and data correctly at different rates. The measured results show that jitter tolerance and frequency deviation is met the protocol standard value from 1 to 3.125 Gbps, and the bit error rate is less than  $1\text{E}-12$ , which are all met the requirements of protocol FC (FC-P1-4), PCIE(1.1) and Rapid IO(1.3), the operating temperature range is  $-55\sim 125\text{ }^{\circ}\text{C}$ . At present, the circuit has been used in a variety of high speed SerDes chip successfully, and integrated in a variety of SoC with high performance.

**Key words:** CDR; multi-protocol; wide temperature range; phase interpolation

## 0 引言

在高速通信系统中,数据在发送过程中只传输数据信号而不传送与数据信号同步的时钟信号,导致数据流在传送的过程中失真。为了保证接收数据的准确性和数据处理的同步性,时钟信号必须从数据中提取出来,并对数据进行“重定时”来消除传输过程中的抖动,因此时钟数据恢复电路(CDR)对提升高速串行数据通信系统性能起到了十分关键的作用<sup>[1-2]</sup>。在针对

多协议兼容设计的 SerDes 电路中,CDR 需要在很宽的速率范围内满足不同高速串行通讯协议对频率偏移和抖动容限设计的指标,目前广泛使用的包括相位前馈型 CDR、基于 DLL 相位的反馈 CDR、过采样 CDR 等。根据协议要求和实现工艺考虑,文中设计实现了一种相位前馈型 Bang-Bang 结构的多协议兼容 CDR<sup>[3-5]</sup>。整体结构采用基于 PLL 码序列所定策略实现,通过 PLL 的带宽自适应处理及优化,CDR 带宽要求在满足

收稿日期:2014-06-16

修回日期:2014-09-19

网络出版时间:2015-04-22

基金项目:“十二五”微电子预研(51308010601,51308010711);总装预研基金(9140A08010712HK6101)

作者简介:邵 刚(1978-),男,硕士,研究方向为高速数模混合集成电路设计;田 泽,博士,研究员,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20150422.1113.035.html>

抖动容限的前提下尽量选择较小的值<sup>[6-7]</sup>,实现 FC, PCIe 和 RapidIO 等多协议对数据输入抖动抑制能力和抖动容限的要求。

1 时钟恢复电路结构

文中设计实现了一种基于锁相环结构的双环时钟恢复电路,如图 1 所示。

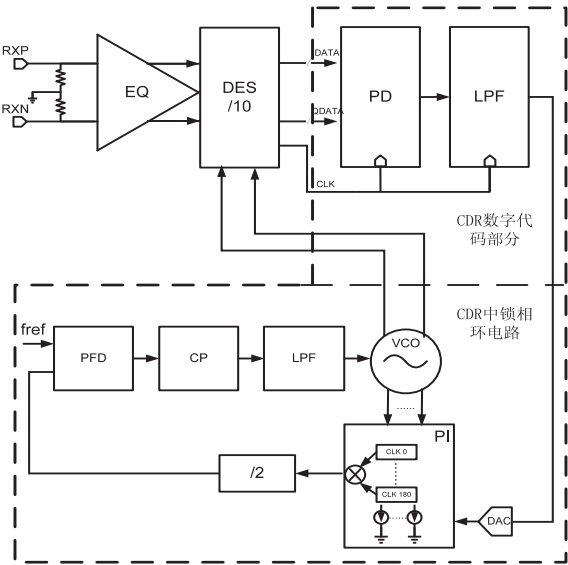


图 1 时钟恢复电路架构

首先,高速差分信号 RXP\RXN 经过均衡器(EQ)和串并转换支路(DEMUX),其中 DEMUX 电路时钟采用了半速时钟架构,通过四相时钟(I\Q 两路差分信号)的锁存结果转成 20 位时钟和相位数据,给入数字鉴相器(PD)中,经过数字鉴相器、数字滤波器等模块,转换成控制信号作用于 DAC,将 DAC 的控制结果给到相位插值模块(PI),其输出结果反馈到 PLL 的鉴频鉴相器,对频率和相位进行选择,通过 VCO 输出时钟信号到 DEMUX 中,形成反馈环路。

双环时钟恢复电路中核心环路采用带宽自适应的锁相环,其环路采用了数字控制、相位插值<sup>[8]</sup>的方式来实现,能够产生干净的参考频率,提供了低抖动和高噪声抑制特性,使设计有较大的灵活性。另一个环路是数字 CDR 环路,跟随输入数据的带宽来保证稳定性,通过数字控制位可配置 CDR 环路带宽。

2 模块设计

2.1 Bang-Bang 鉴相器

采样器采样并解串得到的数据和边沿信号通过数字鉴相器产生相应的超前、滞后信号,进入一个二阶数字滤波器,并将其编码为数据和边沿采样时钟的温度计码,作用于 DAC 的控制位来调整插值器的电流。采用数字代码综合实现,增强电路的抗噪性,能够克服 PVT 变化对电路带来的影响,提高电路整体性能。

Bang-Bang 鉴相器<sup>[9-10]</sup>用以判断输入数据与接收器本地时钟的相位差。当数据发生跳变时,中间的时钟对边沿进行采样,若采样结果与前一个采样结果相同,则时钟相位超前;若采用结果与后一个数据采样结果相同,则时钟相位滞后。Bang-Bang 鉴相器能够忽略输入相位差的大小,输出超前和滞后两种状态,其实现真值表如表 1 所示。其中,  $p_n$  是采样相位,  $d_{n-1}$  是采样前数据,  $d_n$  是采样后数据。

表 1 Bang-Bang 鉴相器真值表

$d_{n-1}$	$p_n$	$d_n$	判决结果
-1	-1	1	超前
1	1	-1	
-1	1	1	滞后
1	-1	-1	
-1	X	1	无结果
1	X	1	

2.2 CDR 环路参数设计

图 2 为 CDR 实现包含 PLL 的前馈结构的原理示意图,版图尺寸精简,便于逻辑工艺实现<sup>[9]</sup>。

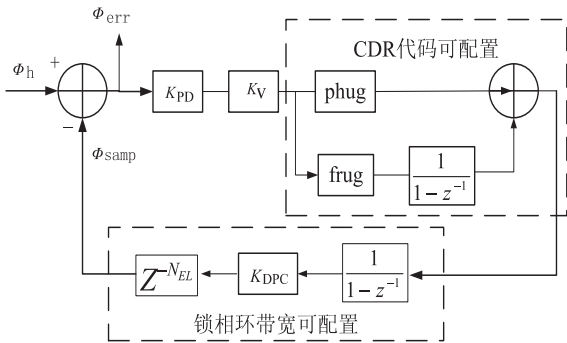


图 2 CDR 原理示意图

CDR 的 VCO 输出四项时钟用于 Slicer 的采样。CDR 开始工作时,首先 PLL 锁定本地输入时钟,开始频率锁定过程,锁定时钟频率为  $f_{refclk} * M$ ,对于半速结构 Rx,为波特率/2。当 PLL 频率锁定完成后开始相位锁定过程,其中 PLL 采用了自适应带宽结构,可加快频率锁定的过程和对快速相位位移的跟踪。

CDR 环路示意图如图 2 所示,CDR 带宽由两部分配置—CDR CPLF 带宽和锁相环带宽,可控制 CDR 带宽以满足不同数据率的要求。此环路在  $z$  域的开环增益表达式可写为:

$$L(z^{-1}) = (\frac{K_{PD} * K_V * K_{DPC}}{1 - z^{-1}}) (phug + \frac{frug}{1 - z^{-1}}) z^{-N}$$
(1)

通过  $s$  域到  $z$  域的转换  $s = \frac{1 - z^{-1}}{T}$ ,可得到两者的对应关系:

$$K_{VCO} = \frac{K_{DPC}}{T} * \frac{1}{2\pi}$$
(2)

$$\text{phug} = I_R * R \tag{3}$$

$$\text{frug} = \frac{T * I_P}{C} \tag{4}$$

其中,  $K_{\text{vco}}$  的比例系数  $\frac{1}{2\pi}$  是由于相位插值而产生的,DPC 的输入和输出端有  $\frac{1}{2\pi}$  的相位系数,  $K_{\text{DPC}}$  是由锁相环带宽决定的。

在多协议兼容条件下,数据率不同,数据周期不同,环路带宽的要求也不同。CDR 带宽控制由数字鉴相滤波带宽配置与锁相环带宽共同决定。数字部分带宽由 CTRL[3:0]控制,其中 phug 由 CTRL[3:2]控制,可调节范围为  $2^0$ 、 $2^{-1}$ 、 $2^{-2}$ 、 $2^{-3}$ ; frug 由 CTRL[1:0]控制,可调节范围为  $2^{-11}$ 、 $2^{-12}$ 、 $2^{-13}$ 、 $2^{-14}$ ,而锁相环带宽根据不同速率自适应调整。

2.3 相位插值模块设计

相位插值器相位插值模块通过外部相位选择信号调整权重,产生不同的相位信号与参考时钟进行比较,从而输出正确的时钟信号。

文中设计的相位选择包括 DAC 模块和相位插值模块。

DAC 采用二进制权重电流漏结构,由权重信号 ph\_sel<9:0>控制电流大小。ph\_sel<9:0>经过预编码,其中 ph\_sel<9:7>将信号周期分为八个相等象限,ph\_sel<6:3>编码后输出的温度数码控制两路相位数模转换器的电流按照线性权重逐一增大或减小,将每个象限插值 16 次,ph\_sel<2:0>在每个最小区域内再次插值,实现每个象限插值 128 相位。

相位插值器<sup>[11-14]</sup>(PI)利用多相的参考时钟混频生成特定相位的恢复时钟,产生用于输入数据对齐的信号,其基本结构如图 3 所示。

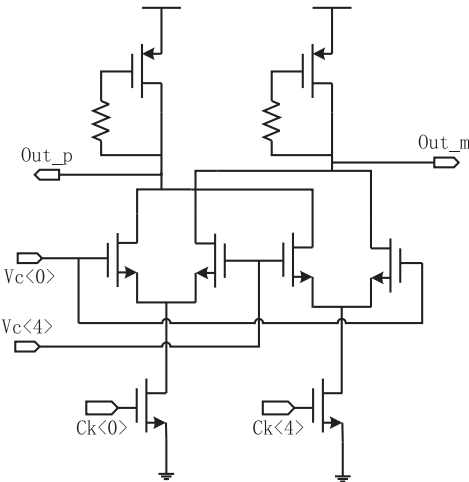


图 3 相位插值器的基本结构

输入时钟(ck<0>...ck<7>)是 VCO 输出的八相时钟,vc<0>~vc<7>是由 DAC 产生的相位选择信号,通

过调整权重  $\alpha_1$  和  $\alpha_2$  来产生不同的相位信号。

$$V_{\text{out}} = \alpha_1 V_{\text{clk},I} + \alpha_2 V_{\text{clk},Q} \tag{5}$$

基于 0.13  $\mu\text{m}$  CMOS 工艺,用 Cadence Spectre 工具对相位插值器进行仿真验证。图 4 为 45°范围内 PI 插值结果,从图中可以看出其单调性良好,积分非线性

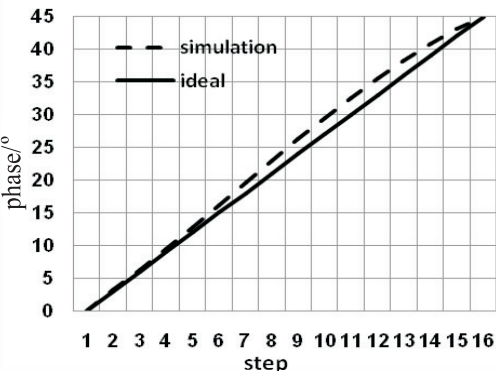


图 4 相位插值器的插值线性度

3 测试结果

CDR 电路流片后使用 Agilent E4903B 串行误码分析仪测试,分别使用 CJPAT、CRPAT、PRBS7 和 PRBS31 作为输入码型,测试三种不同数据率下的抖动容限和误码率,如图 5 所示。结果表明,抖动容限均高于协议要求,在 -55 ~ 125  $^{\circ}\text{C}$  温度范围内,±600 ppm 频率偏差下,1 ~ 3.125 Gbps 接收误码率小于 1E-12。

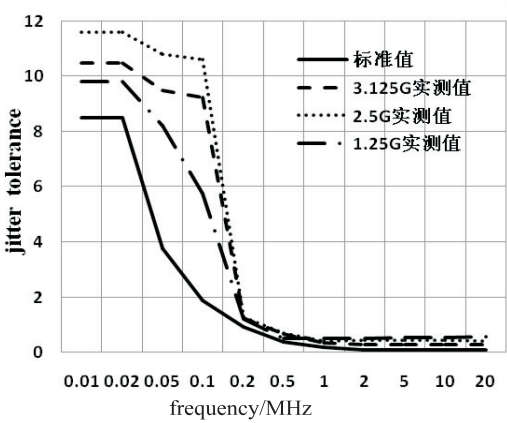


图 5 不同数据率下抖动容限测试结果

4 结束语

文中设计实现了一种以锁相环作为相位插值器和环路滤波器的双环时钟恢复电路,其内部采用自适应带宽的锁相环结构,以数字控制、相位插值的方式实现,以降低 PVT 的影响,并通过数字控制位调节 CDR 带宽,使其在不同速率下能准确地恢复时钟和数据。该电路采用 0.13  $\mu\text{m}$  logic 工艺流片,经测试,在 -55 ~

125 ℃ 范围内,1 ~3. 125 Gbps 速率范围抖动容限均满足协议标准值要求,误码率小于 1E-12,可容忍最大波特率偏差±600 ppm,可满足 FC(FC-PI-4)、PCIE(11)和 Rapid IO(1.3)的协议要求。目前,该电路已应用于 PCIE,Fibre-channel,RapidIO 等多款高速 SerDes 芯片中。

参考文献:

[1] 仇应华,王志功,朱 恩,等. 基于半速率锁相环的 5Gb/s CMOS 单片时钟恢复电路[J]. 固体电子学研究进展, 2006,26(1):72-76.

[2] Razavi B. Design of monolithic phase-locked loops and clock recovery circuits;theory and design[M]. New York,NY:IEEE Press,1996.

[3] Sun Yehui,Wang Hui. Analysis of digital bang-bang clock and data recovery for multi-gigabit/s serial transceivers [C]//Proc of custom integrated circuits conference. [s.l.]: IEEE,2009;343-346.

[4] 冯颖劼. 基于 0.13μm CMOS 工艺的 5Gbps CDR 电路的设计与实现[D]. 长沙:国防科学技术大学,2007.

[5] 邹 黎. 高速串行 RapidIO 下 3.125Gbps CDR 中相位插值器的设计[D]. 长沙:国防科学技术大学,2011.

[6] Ransijn H,O'Connor P. A PLL-based 2.5 Gb/s GaAs clock and data regenerator IC[J]. IEEE Journal of Solid-state Circuits,1991,26(10):1345-1353.

[7] Jeong D K,Borriello G,Hodges D,et al. Design of PLL-based

clock generation circuits[J]. IEEE Journal on Solid-state Circuits,1987,22(2):255-261.

[8] Sidiropoulos S,Liu D,Kim J,et al. Adaptive bandwidth DLLs and PLLs using regulated supply CMOS buffers[C]//Proc of IEEE symposium on VLSI circuits. [s.l.]:IEEE,2003;185-188.

[9] Sonntag J,Stonick J. A digital clock and data recovery architecture for multi-gigabit/s binary links[J]. IEEE Journal of Solid-state Circuits,2006,41(8):1867-1875.

[10] Lee J,Kundert K,Razavi B. Analysis and modeling of bang-bang clock and data recovery circuits[J]. IEEE Journal Solid-state Circuits,2004,39(9):1571-1580.

[11] Sun Yehui,Jiang Lixin. Analysis and design of a phase interpolator for clock and data recovery[J]. Journal of Semiconductors,2008,29(5):930-934.

[12] Kreienkamp R,Langmann U,Zimmermann,et al, A 10-gb/s CMOS clock and data recovery circuit with an analog phase interpolator[J]. IEEE Journal Solid-state Circuits,2005,40(3):736-743.

[13] Kromer C,Sialm G,Menoli C,et al. A 25-Gb/s CDR in 90-nm CMOS for high-density interconnects[J]. IEEE Journal Solid-state Circuits,2006,41(12):2921-2929.

[14] Abiri B,Shivnaraine R,Sheikholeslami A,et al. A 1-to-6Gb/s phase-interpolator-based burst-mode CDR in 65nm CMOS [C]//Proc of IEEE international solid-state circuits conference digest of technical papers. San Francisco,CA:IEEE, 2011;154-156.

(上接第 163 页)

确定数据传输是否正确。

3 结束语

文中在研究 ATA/ATAPI-6 协议和硬盘数据传输特点的基础上,提出了一种高效的 IDE 硬盘控制器,可支持不同模式的 PIO 和 Ultra DMA 传输。目前,该设计已成功应用于某音视频处理芯片,并基于 FAT32 文件系统<sup>[14]</sup>实现了大数据量音视频数据的读写。测试结果表明,该 IDE 硬盘控制器传输稳定可靠,数据读写速率接近理论最大值。

参考文献:

[1] 胡章君. 硬盘控制器的发展[J]. 电脑知识与技术,2010(15):4052-4054.

[2] 陈春旭,丁 一,来逢昌,等. 一种 IDE 接口控制器内核的设计[J]. 微处理机,2004,25(6):10-12.

[3] 孟庆义. 基于 VHDL 语言的硬盘控制器的设计[J]. 电脑知识与技术,2007(2):453-455.

[4] 张斌峰. IDE 接口电子盘实时记录模块的设计和实现[J]. 航空计算技术,2009,39(2):102-105.

[5] 余 俊,张菊平,赵 莉. 基于 FPGA 的 IDE 协议实现的研究[J]. 电子科技,2008,21(9):30-32.

[6] 李作勇,刘诗斌,冯 勇. 基于 FPGA 的 AHB 总线与 IDE 硬盘的接口设计[J]. 计算机工程与科学,2009,31(2):108-111.

[7] 张志伟,罗 鹏,赵婧媛. 机载固态硬盘的 IDE 接口设计[J]. 航空计算技术,2011,41(6):112-115.

[8] 顾文雅,戎蒙恬. IDE 硬盘的高带宽数据传输的实现[J]. 信息技术,2007,31(2):97-99.

[9] 李志鹏,王立强,康建斌,等. 连续数据记录系统中 IDE 数据接口的实现[J]. 无线电工程,2010(2):48-50.

[10] Information Technology -AT Attachment with Packet Interface - 6(ATA/ATAPI-6)[S]. [s.l.]:IBM,2002.

[11] 于详凤,刘学斌,胡炳樑,等. UDMA 突发数据传输中 CRC 的应用[J]. 电子器件,2008,31(5):1677-1680.

[12] Device control register bus 3.5 architecture specifications [S]. [s.l.]:IBM,2006.

[13] 128-bit processor local bus architecture specifications version 4.6[S]. [s.l.]:IBM,2008.

[14] 袁春旭,高 飞. TMS320F206 对基于 FAT32 文件系统 IDE 硬盘的文件操作[J]. 现代电子技术,2004,27(6):88-91.

# 一种宽温多协议时钟恢复电路的设计与实现

作者:

[邵刚](#), [田泽](#), [刘颖](#), [刘敏侠](#), [王晋](#), [SHAO Gang](#), [TIAN Ze](#), [LIU Ying](#), [LIU Min-xia](#), [WANG Jin](#)

作者单位:

[中航工业西安航空计算技术研究所, 陕西 西安, 710065](#)

刊名:

[计算机技术与发展](#) 

英文刊名:

[Computer Technology and Development](#)

年, 卷(期):

[2015\(5\)](#)

引用本文格式: [邵刚](#). [田泽](#). [刘颖](#). [刘敏侠](#). [王晋](#). [SHAO Gang](#). [TIAN Ze](#). [LIU Ying](#). [LIU Min-xia](#). [WANG Jin](#) 一种宽温多协议时钟恢复电路的设计与实现[期刊论文]-[计算机技术与发展](#) 2015(5)