

基于 PLB 双总线高速存储接口的设计与实现

卢俊, 颜哲, 田泽

(中国航空计算技术研究所, 陕西 西安 710068)

摘要:文中介绍了符合 CoreConnect 规范的高性能处理器局部总线在 SoC 芯片中的应用。为了提高基于 PPC 架构的 SoC 芯片性能, 增加存储带宽利用率, 提出一种基于 PLB 双总线的高速存储接口的设计。文中还描述了高速从接口和 DDR3 控制器的体系架构设计, 并通过对 DDR3 控制器的数据训练和自测试等关键技术和难点的介绍, 实现了高速存储系统的设计。通过仿真可知, 基于该接口的 SoC 芯片中 DDR3 SDRAM 的带宽利用率能提高到 85% 以上。通过 PCB 板上信号完整性分析表明, 该接口应用于电路板上的走线串扰小, 测试得到的眼图清晰端正, 满足设计要求。

关键词:高性能; 从接口; 带宽; 信号完整性

中图分类号: TP31

文献标识码: A

文章编号: 1673-629X(2015)04-0233-05

doi: 10.3969/j.issn.1673-629X.2015.04.054

Design and Implementation of High Speed Memory Interface Based on Dual-PLB-slaves

LU Jun, YAN Zhe, TIAN Ze

(Aeronautical Computing Technique Research Institute, Xi'an 710068, China)

Abstract: It introduces the application of PLB bus in the SoC, which follows CoreConnect bus specification. In order to improve the performance of SoC based on PowerPC and increase the storage bandwidth utilization, present an efficient memory interface based on two PLB, also introduce the architecture of high speed slave interface and of DDR3 controller. Through introducing the key techniques and difficult problems of data training and self-test for DDR3 controller, implement the design of high speed memory system. According to simulation result, the bandwidth utilization ratio of this memory interface can reach to 85%. The signal integrity analysis on PCB has presented that the placement and routing is good and the read data-eye is complete and clear.

Key words: high performance; slave interface; bandwidth; signal integrity

0 引言

基于 CoreConnect 总线规范的高性能的处理器的局部总线 PLB 是一种高带宽、低延迟的系统总线, 主要负责处理器、存储控制器以及其他高速设备在基于该标准下的集成互连。为了提高存储带宽利用率, 优化仲裁控制, 在复杂的系统中需要使用双总线连接从设备, 通过并行通路减少 CPU 到 PLB 总线设备的访问时间^[1-2]。当处理器、片上 L2 Cache 以及其他主设备通过 Crossbar 中的 PLB 仲裁器同时访问 DDR3 控制器时, PLB 仲裁器就会消耗较多访问时间, 从而使存储器的读写访问成为系统性能提高的瓶颈。为了解决该问题, 缓解仲裁器的压力, 提高外存带宽利用率, 平衡各

主设备的访问请求, 文中提出一种基于 PLB 双总线的高速存储系统架构。

1 高速存储系统体系架构

带有双从接口的存储器控制器模块为 SoC 芯片提供了高带宽利用率的存储接口。对于 DDR3-800 类型的 SDRAM 芯片, 存储数据位宽为 64 bits 时, 理论带宽为 6.25 GB/s; 当双从接口同时工作时可实现最大带宽为 5.328 GB/s, 也就是说该接口能将片外存储器的带宽利用率提高到 85% 以上。当该存储模块集成到 SoC 芯片后与片上二级 Cache 形成了高效的存储系统, 体系架构如图 1 所示^[3-4]。

收稿日期: 2014-06-15

修回日期: 2014-09-21

网络出版时间: 2015-03-31

基金项目: 国家“十二五”微电子预研基金项目(51308010601, 51308010710, 51308010711)

作者简介: 卢俊(1981-), 男, 工程师, 研究方向为集成电路设计与验证; 田泽, 研究员, 中国航空工业集团首席技术专家, 研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计等。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20150331.0941.004.html>

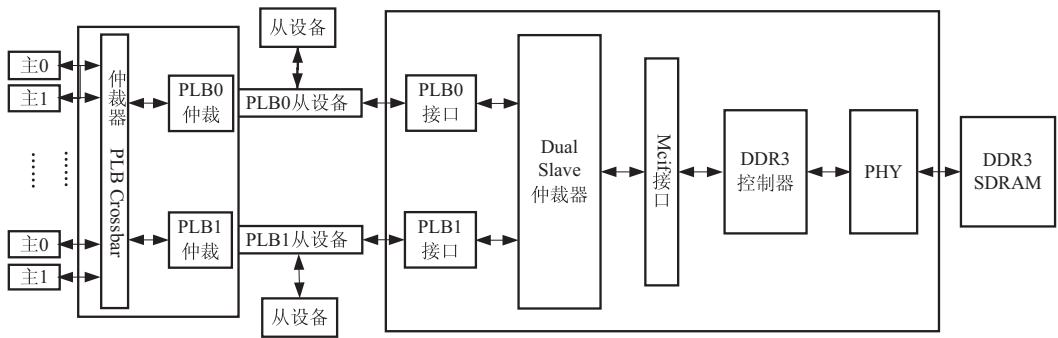


图 1 PLB 双总线存储系统体系架构

存储系统由三个仲裁控制实现 SoC 的多个主设备对外存的访问,它们分别是 crossbar 上的两路仲裁和 Dual Slave 仲裁器。模块 Mcif 接口实现 PLB 接口到 DDR3 控制器接口的转换以及 PLB 时钟域到 DDR3 时钟域的转换。DDR3 控制器和 PHY 共同组成了外存控制器。

1.1 从接口的设计

PLB 从接口单元符合 PLB4.6 标准的 slave 接口规范。支持的操作类型包括 1~16 字节单拍、4 字、8 字 line 操作和双字、4 字 burst 操作;支持流水操作,提供 6 个深度的 PLB 请求队列,内部集成 256 字节的读操作缓冲区,512 字节的写操作缓冲区,支持 3 周期的 PLB 仲裁。

当 PLB 总线发出读写请求,立即接收该请求(即 $sl_addrack$ 使能)。若该模块的地址队列满,则发出 sl_wait 信号并等待,直到地址队列有空闲。 sl_wait 信号会发送给 PLB 仲裁器,而 PLB 仲裁器将保持当前请求有效,直到从接口能够接收该请求为止。从接口还包含一个独立的 512-byte 的写缓存,对所有 PLB 到存储器的写事务进行缓冲;当缓存和地址队列有空闲时,该缓存作为一个环形队列最大可以接收 6 个事务;若地址队列不满,任何等待的 PLB 写请求可以立即得到地址响应。

从接口接收到请求和地址之后,数据能否被存储到写缓冲完全取决于写缓冲空间是否满。对于写缓冲满的情况,将在两次数据之间插入等待状态,直到下一个空闲空间出现。进行中的 burst 写传输不能被中断。

PLB 的读操作包含一个独立,大小为 256 字节的读缓冲区;该缓冲区被作为环形队列进行管理。对于任何被从接口响应请求操作,在缓冲区有空间时会被尽快传输到总线上,完成从 DDR3 SDRAM 芯片中读出的数据到 PLB 的操作。进行中的 burst 读传输不能被任何等待的 PLB 请求中断^[5]。

1.2 Mcif 接口的设计

Mcif 接口实现了 PLB 协议到 DDR3 控制器的接口转换,以及 PLB 时钟域到 DDR3 时钟域的转换。该接

口由多个子模块组成,包括三个 FIFO:地址 FIFO、写数据 FIFO、读数据 FIFO,命令地址控制模块,写通路,读通路和接口协议转换模块。

当该模块收到读写请求时会直接缓存在地址 FIFO 中,PLB 可以不断发读写请求而不需要等待。同时写数据 FIFO 会接收需要写入 SDRAM 中的数据。命令地址控制模块会将写入的命令仲裁,完成地址的拼接,并能将满足 burst 长度为 4 或者 8 的地址发出。该模块还会将单拍或不对齐的地址进行对齐处理,并产生对应的字节使能(或数据 mask)。写通路会将数据和 mask 位以 burst 为单位发出。

读操作时,读通路会将命令地址模块处理后的地址输出给 SDRAM,并读出整 burst 的数据。同时命令地址模块还会根据地址 FIFO 中输出地址的低位以及输出的字节使能产生新的 mask 信号,从而可以判断读出的数据是否有效。接口协议转换模块用于产生满足 DDR3 控制器接口时序的读写信号^[6]。

1.3 DDR3 控制器的设计

DDR3 存储器控制器用于用户访问片外 DDR3 SDRAM 存储器芯片。模块提供了用户访问外部存储器芯片的通道,支持片外 SDRAM 数据接口位宽为 32/64 位,加上 ECC 校验位,支持的最高数据位宽为 72 位^[7]。

该存储器控制器支持速度为最高位 533 MHz,存储容量为单片 512 Mbit、1 Gbit、2 Gbit、4 Gbit 的 DDR3 SDRAM 芯片。另外,该控制器支持的最大存储容量为 2 GB。该存储器控制器接口还提供软件可配置的寄存器接口,用于根据不同外存芯片进行大小、延迟等参数的配置,并能读取存储控制器的当前状态。

系统应用框图如图 2 所示。DDR3 存储器控制器包含有 2 个模块:控制器模块以及 PHY 模块(物理层模块)。

控制器模块:支持 DDR3 SDRAM 芯片的控制访问。该模块能提供高速低延迟的数据控制,用于用户端逻辑访问外部存储器。与 PHY 模块交互的接口提供满足协议 DFI 2.1 的访问。该模块还支持软件配置

功能,提供丰富的寄存器,使得用户能快速通过控制逻辑实现 PHY 的初始化、数据训练。

PHY:PHY 模块包含 PHY IO、delay line 等模拟电路。该模块数字逻辑接口时序满足协议 DFI 2.1。主

要包含有 delay line、DLLs、DDR-specific SSTL I/Os 等模拟电路,用于提供 SDRAM 存储芯片的高速数据通信。

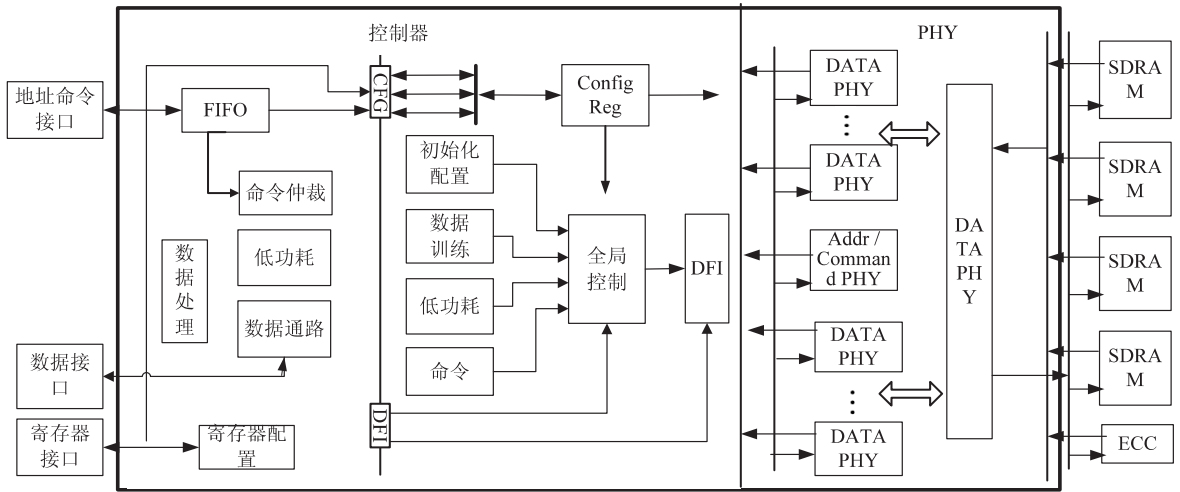


图2 DDR3 存储器控制器结构图

为保证信号完整性要求,DDR3 控制器必须使用物理层模块完成高速 IO 与片外 SDRAM 芯片的连接。仿真中使用 Micron DDR3 SDRAM 800 Mbps 1Gbx16bit 仿真模型搭建验证平台。

仿真所使用 DDR3 物理层仿真模型,按照 DFI 规范定义控制器与物理层(模型)的接口。建立该仿真模型的目的是能够让系统 power up 以及调用符合不同生产厂家的 SSTL-18 标准的 I/O 库、DLL 和 PLL 等 IP 模型。实际的 DDR3 的物理层包括产生命令、地址模块的硬核和数据模块的硬核,这些硬核内部分别集成了若干个 PLL 用于产生 90°、180°、270° 相位时钟以及倍频等功能。此外物理层还包括一个阻抗校准硬核称为补偿模块,能自动产生一个值来校准 IO 的推力(180 ±1% Ω 阻抗)大小,以求符合 JEDEC DDR3 的 DC 规范。其中数据模块是 8 bits,如果需要 64 bits 的数据位宽,则用 8 个数据模块拼接产生。

1.4 控制器的数据训练

为了保证写入 SDRAM 芯片中的数据满足协议规定的时序要求,在控制器内部设计一套数据训练逻辑。控制器通过向 DDR3 SDRAM 中写入测试序列,不断修正读出数据的正确性,完成数据相位的校准。数据校准分为 4 个阶段。

第一阶段用于校准每一位 DQS-DQ 的对准。由于从外存中读出的数据 DQ 和 DQS 的边沿不是准确对齐的,进入芯片之后由于路径不同,往往 DQS 的延迟会大于 DQ 的路径延迟,因此该阶段通过调整 delay_line 来增加 DQ 的延迟,同时 DQS 延迟保持不变,由此来调节 DQ-DQS 对齐。

第二阶段用于校准 DQS-CLK0 的对准。该阶段

用于调准每一位 DQS 的延迟偏移,使 DQS 落在数据沿有效的窗口内。通过调整 delay_line,使得每一位 DQS 和对应的 8 位 DQ 信号被锁定在 CLK0 的时钟沿处。

第三个阶段用于校准发出读命令到出数据的同步信号延迟。由于延迟值不仅仅由 CAS 决定还与 PCB 布线延迟、芯片内布线延迟有关,而且哪个时钟周期内有效数据会到达是未知的,因此有必要通过校准来确定周期性的延迟。

第四个阶段通过控制器逻辑用于控制何时产生 CLK0 时钟域的 DQS 门控电路。DDR3 控制器通过门控时钟信号要同步到 DQS 时钟域,同步是由 delay_line 在控制器的时钟域完成的。

1.5 自测试功能

在控制器内还设计了可配置的自测试逻辑,用于进一步验证数据的正常读写操作。数据训练结束,PHY ready 后可以通过软件配置自测试使能寄存器进入自测试模式。

使用软件配置自测试使能寄存器(SELF_TEST_EN);查询自测试状态寄存器(SELF_TEST_STATUS),当状态出错则自测试逻辑自动停止;若自测试状态错误位为 0,则自测试逻辑遍历 DDR3 SDRAM 的所有空间;若要手动停止,则使用软件向自测试使能寄存器(SELF_TEST_EN)的停止位写 1。

当配置自测试操作时,自测试后通过读取自测试状态寄存器判断数据比对正确,则可以开始正常读写操作。若在系统复位后不配置自测试模式寄存器,则当 PHY ready 有效后,控制器不进入自测试模式,可以直接开始正常读写操作。

当自测试停止,并且读取自测试状态寄存器错误

位有效,则说明数据比对不正确,则进入调试 DDR3 控制器的步骤;配置寄存器并进行手动校准 DQ 或 DQS 的延迟,调试时钟信号 clk0、clk90 是否存在相位关系,并重新执行初始化操作和校准操作;PHY ready 之后再次配置自测试使能寄存器并重新执行自测试操作,反复迭代直到自测试数据比对正确为止。

2 设计难点分析

2.1 时钟频率

随着 DDR3 工作频率的提高,半定制控制器逻辑

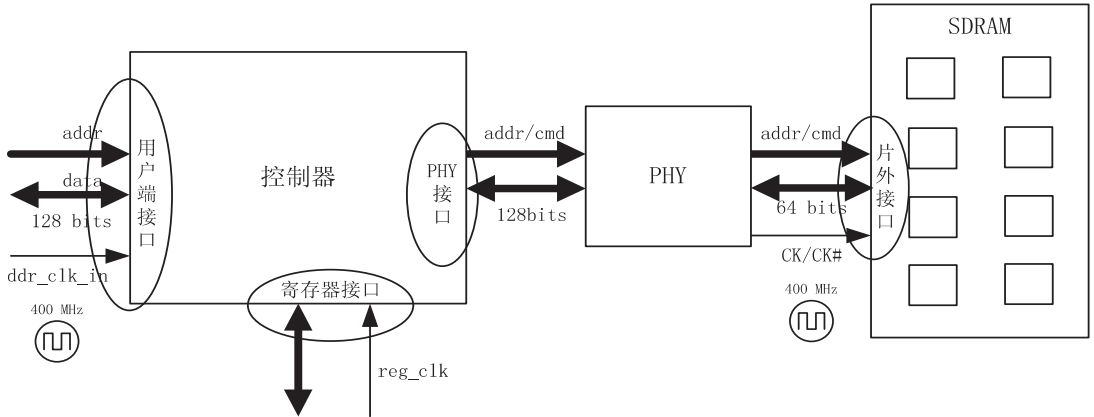


图 3 1:1 模式下的地址数据通道

(2)1:2 工作模式。

控制器在 1:2 时钟模式下,用户端数据位宽为存储器接口数据位宽的四倍。由两条并行的地址通道组成,每个通道都传输地址和命令。低的地址位通道会将地址和数据先发送给存储器。其中控制器按照一半数据率时钟工作,在地址总线上,PHY 将半数据率时

的综合与实现变得越来越困难。为了解决这个问题,引入控制器和 PHY 时钟频率比为 1:1 和 1:2 两种工作模式。

(1)1:1 工作模式。

控制器在 1:1 时钟模式下,用户端数据位宽为存储器接口数据位宽的两倍。其中控制器按照单数据率频率工作,PHY 按照双倍数据率(DDR)频率工作,而控制器输入时钟 ddr_clk_in 和 DDR 的差分输出时钟 CK/CK#按照单数据率时钟工作。该模式下的地址数据通道的访问方式如图 3 所示。

钟下的地址转换为单数据率频率下的地址,将半数据率时钟下的数据转换为照双倍数据率下的数据总线。在该模式下,控制器输入 ddr_clk_in 时钟频率为半数据率时钟频率,该频率是 DDR 的差分输出时钟 CK/CK#频率的一半。该模式下地址数据通道的访问方式如图 4 所示。

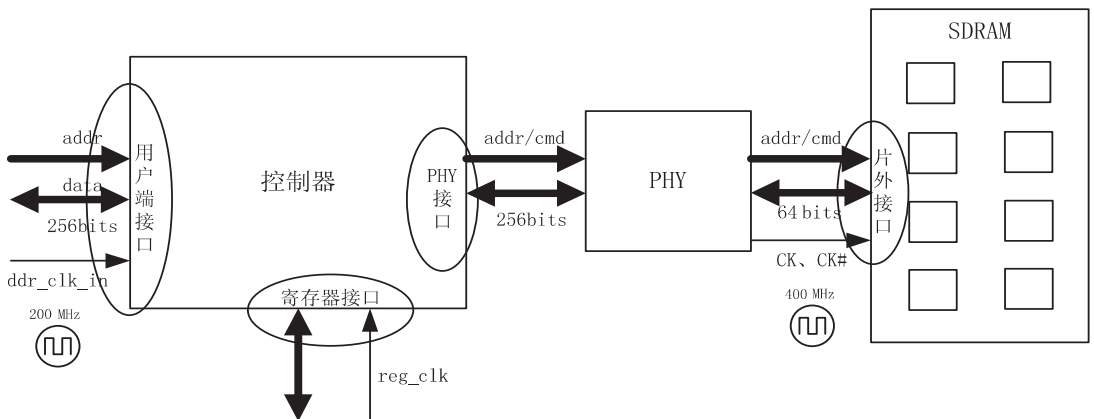


图 4 1:2 模式下的地址数据通道

2.2 信号完整性分析

由于 DDR3 SDRAM 芯片的数据传输频率可高达 1 600 M,这意味着信号的上升时间和下降时间极短,当信号的互连延迟大于边沿信号的翻转时间 20% 时,板上的信号线就会出现传输线效应,这种高速设计如果处理不当,可能会导致整个系统的失败,所以必须保证高速设计中的信号完整性^[8-9]。

DDR3 接口信号采用源同步时序,在源同步数据收发中,数据首先发向接收端,经稍短时间选通时钟再发向接收端采样锁存这批数据。源同步时序关系要满足两个基本时序分析公式^[10-11]:

建立时间

$$T_{co_test}(\text{Max}) + \text{Jitter} + T_{flight}(\text{Max}) + T_{setup} <$$

Tcycle

保持时间

$$T_{co_test}(\text{Min}) + T_{flight}(\text{min}) > T_{hold}$$

在实际电路板中,由于负载和数据手册给定的参考负载不同,上述公式将被修正如下:

建立时间

$$T_{co_sys}(\text{Max}) + \text{Jitter} + T_{pcb_delay}(\text{Max}) + T_{setup} < T_{cycle}$$

保持时间

$$T_{co_sys}(\text{Min}) + T_{pcb_delay}(\text{min}) > T_{hold}$$

DDR3 的控制器设计要满足 3 个时序:地址命令/控制时序、数据读时序和数据写时序。为了合理分配时序量,需要用 IBIS 仿真得到总的时序延迟。图 5 为布线负载模型和实际 PCB 布线负载对比示例。

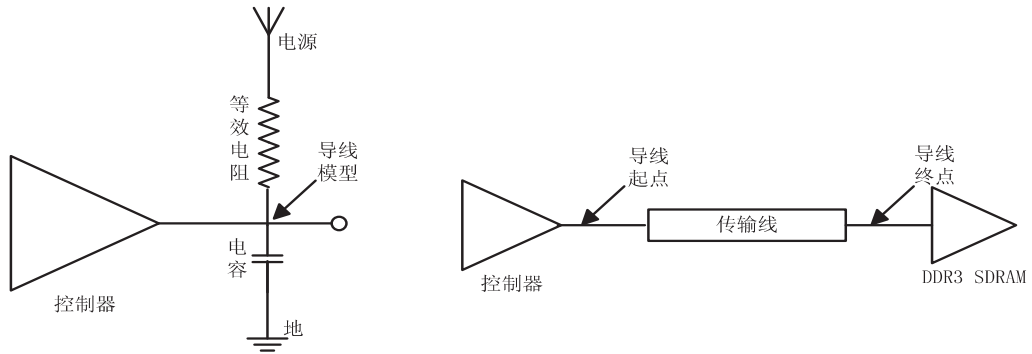


图 5 布线负载模型和 PCB 板实际布线

通过实际板级布线和典型测试平台负载对比,发现电压幅度变化大小受 PCB 叠层参数、信号上升沿时间、走线间距和走线平行长度等参数影响。仿真不同 DQ 数据线间距下的串扰仿真结果,得到合理的布线间距、宽度和总线方式,最大程度地避免了 PCB 板引起的信号完整性问题^[12-13]。

通过仿真产生的眼图来观察结果,可以直观地判断信号的好坏。眼图的“眼睛”张开的大小反映着网络间串扰的强弱。“眼睛”张得越大,且眼图越端正,表示网络间串扰越小;反之表示网络间串扰越大。当存在噪声时噪声将叠加在信号上,观察到的眼图会变得模糊不清。若同时存在串扰,“眼睛”将张得更小。与无串扰时的眼图相比,清晰端正的细线变成了模糊的带状线。噪声越大,眼图越模糊;布线间的串扰越大,眼图越不端正^[14]。

3 结束语

文中介绍了基于 PLB 双总线的存储接口的体系架构以及各子模块的功能,深入研究高效的 PLB 存储调度,描述了高速 DDR3 控制器的体系架构设计,最后分析了设计实现中的难点,并通过对互连通路的拓扑结构和布线通道的仿真,完成了信号完整性分析。仿真结果表明,该存储系统能将 DDR3 SDRAM 的带宽利用率提高到 85% 以上,达到了高带宽、低延迟的目的;实际的电路板走线串扰小,测试得到的眼图清晰端正。

参考文献:

[1] IBM Co. IBM 128-bit processor local bus architecture specifications version 4.6[S]. USA:IBM Co,2004.

[2] IBM Co. On-chip peripheral bus architecture specifications version 2.1[S]. USA:IBM Co,2001.

[3] Freescale Semiconductor Inc. MPC7410/MPC7400 RISC microprocessor, user's manual[S]. USA: Freescale, 2002.

[4] Milrod J, Millet C. Continuous real-time signal processing—comparing tiger SHARC and PowerPC via continuous cFFTs[J]. COTS Journal, 2003(12):47-54.

[5] Sgandurra R. Digital signal processing application development: C6000 vs. PowerPC[M]. USA: Pentek Inc, 2002.

[6] Feng Ji, Ma Xiaosong. Using shared memory to accelerate map reduce on graphics processing units[C]//Proc of IEEE international parallel & distributed processing symposium. Anchorage: IEEE, 2011: 805-816.

[7] Brink M V. Performance implications of the PowerPC architecture's hashed page table utilization in windows[C]//Proc of IEEE international conference on performance, computing, and communications. Phoenix: IEEE, 1997: 315-320.

[8] Stallings W. 计算机组织与体系结构—性能设计[M]. 第 7 版. 北京:清华大学出版社, 2006.

[9] 李玉山, 李丽平. 信号完整性分析[M]. 北京:电子工业出版社, 2005.

[10] 黄德勇, 张 扬, 杨云志. 高速电路设计中的信号完整性研究[J]. 电讯技术, 2004, 44(2): 149-152.


[11] 王令培, 茅玉龙, 杨天慧, 等. 基于 FPGA 的 DDR2 SDRAM 接口信号完整性设计与验证[J]. 雷达与对抗, 2009(2): 60-64.

[12] 曾爱凤, 王海鹏. 板级互连线的串扰规律研究与仿真[J]. 电子测量技术, 2010, 33(8): 9-12.

[13] 张木水, 李玉山. 信号 99 完整性分析与设计[M]. 北京:电子工业出版社, 2010.

[14] 胡 彪. DM6467 与 DDR2 之间的 PCB 布线及信号完整性分析[J]. 自动化技术与应用, 2011, 30(12): 53-56.

基于PLB双总线高速存储接口的设计与实现

作者: [卢俊](#), [颜哲](#), [田泽](#), [LU Jun](#), [YAN Zhe](#), [TIAN Ze](#)
作者单位: [中国航空计算技术研究所, 陕西 西安, 710068](#)
刊名: [计算机技术与发展](#) 
英文刊名: [Computer Technology and Development](#)
年, 卷(期): 2015(4)

引用本文格式: [卢俊](#). [颜哲](#). [田泽](#). [LU Jun](#). [YAN Zhe](#). [TIAN Ze](#) 基于PLB双总线高速存储接口的设计与实现[期刊论文]-
[计算机技术与发展](#) 2015(4)