

# 2M 1553B 总线仿真卡的设计与实现

淮治华<sup>1</sup>, 田 泽<sup>1</sup>, 杨 峰<sup>1</sup>, 田 锋<sup>2</sup>, 夏大鹏<sup>1</sup>

(1. 中国航空计算技术研究所, 陕西 西安 710119;

2. 西安翔腾微电子科技有限公司, 陕西 西安 710119)

**摘 要:**随着设备间需要交互的信息与日俱增,对 1553B 总线速率要求的提高,2M 的 1553B 总线仿真卡及时地满足了航空电子系统和其他地面仿真系统的研制需求,在航空电子系统和地面仿真验证过程中扮演了重要角色,模拟了 2M 速率下 1553B 总线系统中各节点(RT/BC)的功能和性能,为系统的快速开发提供验证手段。文中系统介绍了一种 2M 1553B 总线仿真卡的解决方案,叙述了其硬件构架,详细阐述了仿真卡软件的设计,并进行了大量验证。结果充分表明,该仿真卡功能完备,性能良好,可以满足仿真验证的应用需求,为 2M 1553B 总线的应用和仿真验证提供了保障。

**关键词:**1553B 总线;仿真卡;2M 速率;验证

**中图分类号:**TP301

**文献标识码:**A

**文章编号:**1673-629X(2015)04-0229-04

**doi:**10.3969/j.issn.1673-629X.2015.04.053

## Design and Implementation of 2M-1553B Bus Simulation Card

HUAI Zhi-hua<sup>1</sup>, TIAN Ze<sup>1</sup>, YANG Feng<sup>1</sup>, TIAN Feng<sup>2</sup>, XIA Da-peng<sup>1</sup>

(1. Aeronautical Computing Technique Research Institute, Xi'an 710119, China;

2. Xi'an Xiangteng Microelectronics Technology Company Limited, Xi'an 710119, China)

**Abstract:** With growing of information interaction in equipment, increasing requirement of 1553B bus rate, 2M-1553B bus simulation card can meet the developing demands of avionics system and other ground simulation system, which plays a very important role in the verification of ground simulation system and avionics system. It simulates the function and performance of each node in 1553B bus system at the speed of 2M rates, which supplies a verification method for the system of rapid development. In this paper, introduce a kind of resolution scheme of 2M-1553B bus simulation card, narrate the hardware structure and also clarify the design of simulation card software. 1553B bus simulation card is tested by a lot, which turns out that it has the good equipments and good performances, can meet the application demands of ground simulation system, which guarantees for the application and simulation of 1553B bus.

**Key words:** 1553B bus; simulation card; rate of 2M; verification

## 0 引言

美国自动化工程师协会于 1973 年公布的军用数据总线标准 MIL-STD-1553,它是一种集中控制的时分制指令/响应的多路传输串行数据总线<sup>[1-2]</sup>,由于 1553B 总线具有确定的传输延迟、可靠的传输能力,以及较强的容错能力等特点,在航空、航天、舰载以及车载领域的综合电子信息系统中得到了广泛的应用<sup>[3-4]</sup>。当前,在新飞机研制及老飞机改造项目中,1553B 总线负载越来越大,进而对总线的速率方面的指标提出了新的挑战。为了解决上述问题同时又保留传统 1553B 总线的优点,采用提升总线带宽的方式满

足各种应用对 1553B 总线的需求。文中通过研究高速 1553B 总线标准,分别介绍了 2 M 1553B 总线仿真卡的硬件、软件的设计与实现,以及仿真卡的验证。

## 1 硬件设计与实现

1553B 总线仿真卡实现了 1553B 数据总线仿真功能和总线节点模拟功能,满足实验仿真需求。主机接口为 PCI 总线接口,支持 32 bit/33 MHz。仿真卡功能框图如图 1 所示。

### 1.1 处理器

处理器单元选用国产智能 HKS1553BCRT 芯片。

**收稿日期:**2014-06-15

**修回日期:**2014-09-21

**网络出版时间:**2015-03-31

**基金项目:**国家“十二五”微电子预研基金项目(51308010601,51308010710);总装预研基金(9140A08010712HK6101)

**作者简介:**淮治华(1982-),男,硕士,工程师,研究方向为 SoC 设计、验证及嵌入式系统设计;田 泽,博士,研究员,中国航空工业集团首席技术专家,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

**网络出版地址:**<http://www.cnki.net/kcms/detail/61.1450.TP.20150331.0942.007.html>

该芯片是一款集成了 ARM7DMI 处理器、1553B 协议处理器,具有实时时钟(RTC)、看门狗(WDT)、时间间隔计时器(DT)功能的片上系统(SoC),可实现 GJB289A-97(数字式时分制指令/响应性多路传输数据总线,对应美军标 MIL-STD-1553B)中规定的 BC/RT 功能,支持实现 ISBC 协议(改进的静态总线控制协议),是一款智能化、通用化和小型化的通信处理芯片。

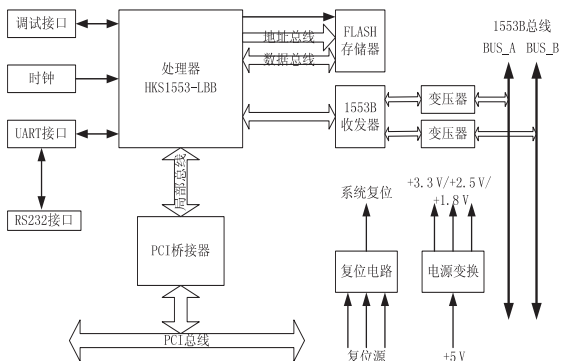


图1 1553B 仿真卡功能框图

## 1.2 1553B 数据收发电路

HKA32201 双通道 1553B 收发器芯片是一款符合 MIL-STD-1553B 总线标准的双通道收发器。该芯片由两路 1553B 收发器组成双通道,每个通道间采取一定的隔离技术,互不干扰,可独立工作。

HKA32201 双通道 1553B 收发器芯片的发送器部分将终端设备输出的互补 CMOS 格式的曼彻斯特编码信号转换为适于驱动隔离变压器的双相位曼彻斯特编码的 1553B 信号,每个发送器有一个单独的禁止端口;接收器则将总线上的双相位曼彻斯特编码数据接收并转换为互补的 CMOS 格式的曼彻斯特编码信号供终端设备使用,每个接收器有一个单独的使能输入。

## 1.3 存储器

仿真卡模块包含 FLASH 存储器,采用 AMD 公司的 Am29LV320D 实现<sup>[5]</sup>,工作电压为 3.3 V,封装为 48 引脚的 TSOP,容量设计为 2 M \* 16 bit,该芯片有 8 个 8k 字节扇区和 63 个 64k 字节扇区,支持片擦写、扇区写保护等。每个扇区支持 1 000 000 次的擦写周期。仿真卡模块的软件存储在该 FLASH 中,可通过烧写软件将上述的软件固化到 FLASH 中,系统上电后,通过搬家程序将软件搬到 SRAM 中运行。

## 1.4 时钟电路

仿真卡模块中需要使用时钟的电路有: HKS1553BCRT 芯片、1553B 协议处理器、UART 接口。其中, HKS1553BCRT 芯片系统时钟为 33 MHz,内部进行 2 倍频提供 ARM7TDMI 处理器使用。1553B 协议处理器时钟为 12 MHz,通过  $N$  倍频( $N$  为 1~10 之间的整数)作为 MIL-STD-1553B 总线传输时钟,最大传输速

率可达 10 Mbps, UART 工作时钟为 3.686 4 MHz。

## 1.5 电源转换电路

仿真卡模块采用 +5 V 供电,通过 PCI 接口进入模块,模块内需要 +3.3 V、+2.5 V 和 +1.8 V,其中 HKS1553BCRT 芯片使用 +3.3 V 和 +1.8 V,桥协议芯片 PCI9056 使用 +3.3 V 和 +2.5 V,采用 TI 公司的电源转换器 TPS75733、TPS75725 和 TPS75718 实现。该类电源变换器输入电压为 0~+6 V,输出电压固定为 +3.3 V、+2.5 V 或 +1.8 V,最大输出电流为 3 A。

## 1.6 串行接口

仿真卡模块提供 2 路 UART 接口,通信波特率、数据长度、奇偶校验可通过软件进行编程设置。模块设计时将 UART 接口设置为 2 路 RS232,波特率为 115 200 bps,电平转换器件选用 MAXIM 公司的 MAX3232,供电电压为 3.3 V。

# 2 关键技术

## 2.1 噪声和带宽分析

1553B 系统在 1 Mbps 下,用于测试的高斯白噪声带宽范围是 [1 kHz, 4 MHz] 的高斯白噪声,那就说明考虑的信号带宽为 4 MHz,即上述的噪声  $k_{\text{RMS}}$  取值为 0.4。那么,在 2 Mbps 下信号带宽分别可达 8 MHz。

但是,由于 1553 系统接收器的性能是固定的。叠加的高斯白噪声的有效均方根幅度为 140 mV(变压器耦合方式)或 200 mV(直接耦合方式)。而在变压器耦合方式下,对  $0 < V_{\text{pp}} < 0.2$  V 电压不响应,而针对  $0.86 < V_{\text{pp}} < 6.0$  V 应该响应;在直接耦合方式下,对  $0 < V_{\text{pp}} < 0.28$  V 电压不响应,而针对  $1.2 < V_{\text{pp}} < 9.0$  V 应该响应。就是说,即使系统在不发送信号或指令的条件下,接收器也不应因为噪声的影响而响应。

如果系统不发送信号或指令,那么信道上只存在噪声,假设两根信号线上的电压分别为  $V_1$  和  $V_2$ ,则  $V_1, V_2 \sim N(0, \sigma^2)$ ,可以得出  $V_1 - V_2 \sim N(0, 2\sigma^2)$ ,也就是  $V_1 - V_2$  的有效值为  $\sqrt{2}\sigma$ 。那么,信号的有效值会达到  $V_{\text{RMS}} = \sqrt{2} \times 140 \text{ mV} = 0.197\ 989\ 8 \text{ V} \approx 0.2 \text{ V}$ (变压器耦合方式)或  $V_{\text{RMS}} = \sqrt{2} \times 200 \text{ mV} = 0.282\ 842\ 7 \text{ V} \approx 0.28 \text{ V}$ (直接耦合方式)。那么,如果接收器的性能不发生改变,则叠加的信号噪声的有效值不应该增加,否则噪声会在不发送信号或指令的条件下触发接收器。因此在 2 Mbps 下进行噪声抑制测试的噪声带宽应分别为 [1 kHz, 8 MHz]。

## 2.2 双绞线损耗分析

目前 1553 系统中采用双绞线即使在信号频率达到 4 MHz 条件下也满足 0.05 dB/m 的衰减要求。

考虑一般的情况,即在 1 MHz 下,衰减达到 0.05

dB/m。根据上述分析结果,在 2 MHz、4 MHz 条件下,其衰减应分别达到约  $\sqrt{2} \times 0.05 = 0.0707$  dB/m、 $2 \times 0.05 = 0.1$  dB/m。那么,以传输线的 3 dB 带宽而言,在 1 MHz 条件下,传输线的长度应满足

$$A_{dB} = \alpha_{dB} \times Len \mid_{1MHz} = 3 \text{ dB}$$

其中,  $A_{dB}$  表示传输线造成的总的衰减;  $\alpha_{dB}$  表示双绞线的衰减;  $Len$  表示双绞线长度。

可以推出

$$Len \mid_{1MHz} = 3 \text{ dB} / \alpha_{dB} = 3 \text{ dB} / 0.05 = 60 \text{ m}$$

同理,可推出在 2 MHz、4 MHz 条件下,以传输线的 3 dB 带宽而言,传输线的长度应为

$$Len \mid_{2MHz} = 3 \text{ dB} / \alpha_{dB} = 3 \text{ dB} / 0.0707 =$$

$$42.4328 \text{ m} \approx 42 \text{ m}$$

$$Len \mid_{4MHz} = 3 \text{ dB} / \alpha_{dB} = 3 \text{ dB} / 0.1 = 30 \text{ m}$$

如果在这里不考虑传输线衰减造成的信号上升边增加而有可能导致的 ISI 问题,单纯从幅度衰减的角度来进行考虑的话,传输线距离应相应缩短,归纳整理如表 1 所示。

表 1 1 MHz、2 MHz 下对应的衰减系数及传输距离

频率 $f$ / MHz	衰减系数 / (dB/m)	传输距离 / m
1	0.05	60
2	0.0707	42

3 软件设计

1553B 仿真卡软件主要分为传输层和驱动层软件,传输层主要实现子系统的 1553B 总线数据通讯功能,负责完成初始化、控制、自测试,1553B 总线数据传输,网络同步功能;驱动层主要实现应用层软件和传输层软件之间数据信息的传递,并为上层应用软件提供 API 接口函数以及全局变量数据接口函数,其主要接口功能有:仿真卡控制、计时器控制、消息控制、系统控制、中断控制、存储访问功能。其软件之间的关系如图 2 所示。

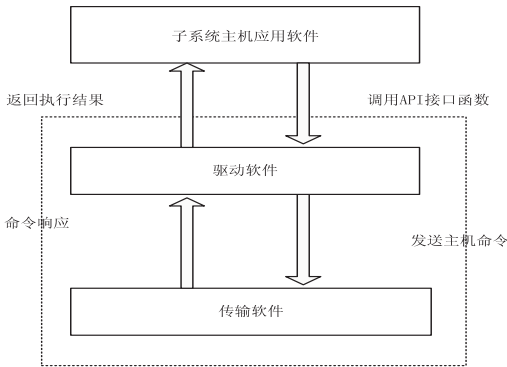


图 2 软件关系图

3.1 传输软件

传输软件固化在仿真卡的 FLASH 中,系统上电

后,SoC 芯片会自动从 FLASH 芯片加载传输软件并运行,查询并获取子系统主机命令字,对命令字解码并完成对应命令需要完成的功能,其中包括:启动模块、主机命令响应模块、中断处理模块,详细描述如下。软件组织结构如图 3 所示。

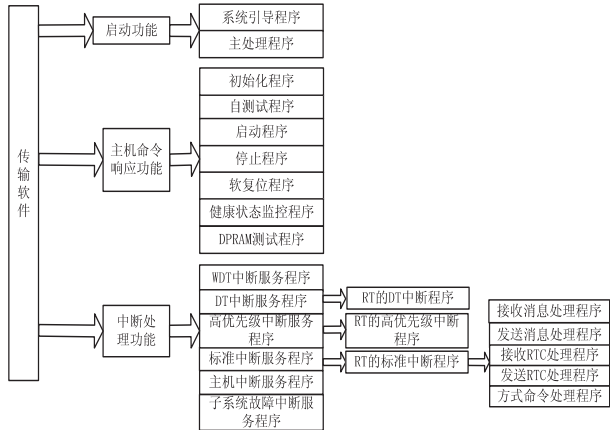


图 3 传输软件组织结构

(1) 启动功能。

· 系统引导程序功能用来在系统上电后启动引导程序完成 HKS1553BCRT 芯片初始化,配置 1553B 协议处理器以及传输软件的运行环境,系统上电 SoC 芯片会自动从 FLASH 芯片加载启动引导程序以及加载传输软件;

· 主处理程序功能用来完成 ARM 处理器基本资源设置,如配置双口 DPRAM 的大小以及查询主机发送的命令功能,如:启动、停止、自测试等。

(2) 主机命令响应功能。

主机命令响应功能根据获取子系统主机的命令字,执行对应命令的功能(如:初始化、自测试、启动、停止、软复位、健康状态测试、DPRAM 测试程序)。

(3) 中断处理功能。

中断处理功能完成 WDT 中断、DT 中断、子系统故障中断以及消息传输过程中相关中断的处理工作。

3.2 驱动软件

驱动软件作为应用软件和系统硬件资源的中间层,由系统应用软件调用,完成对仿真卡的控制和总线通信功能,其中包括:控制功能、计时控制功能、消息控制功能、系统控制功能、中断控制功能、存储访问功能、主机接口配置功能,软件组织结构如图 4 所示。

4 验证

每个仿真节点包括硬件和软件两部分<sup>[6-8]</sup>,系统组成如图 5 所示,采用工程控制计算机+仿真卡或监控卡的简单结构。

基于 2 Mbps 1553B 总线仿真卡经过有效性验证,主要包括协议符合性验证和电气特性验证。

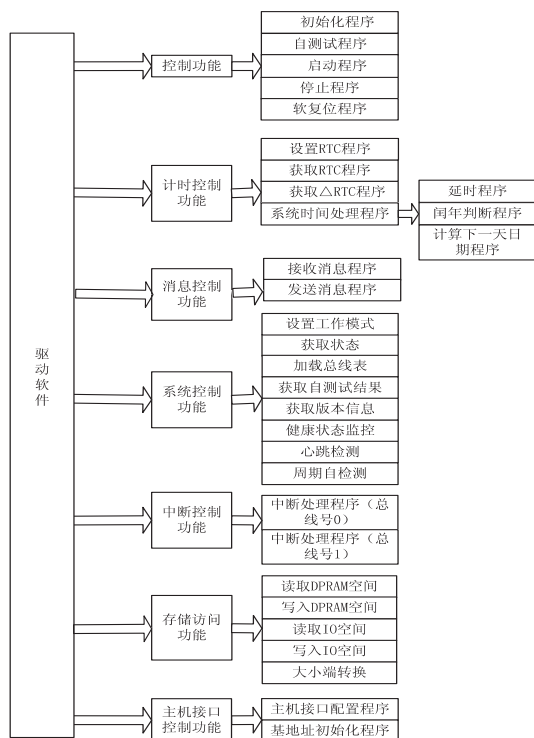


图4 驱动软件组织结构

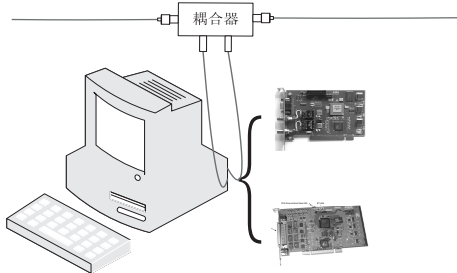


图5 仿真验证系统

协议符合性验证,开发验证软件配合平台验证。主要包含验证项:指令的响应要求终端对所有的合法指令做出正确的响应<sup>[9-12]</sup>;消息间隔要求最小间隔时间为 $2.0\ \mu\text{s}$ ,有效指令字的间隔时间为 $(2.0\sim 6.0)\ \mu\text{s}$ ,时间超过 $7.0\ \mu\text{s}$ 时,应作无响应超时处理;传输速率应是 $2.0\ \text{Mb/s}$ ,用来发送编码数据的各个内部时钟的长期稳定性为 $\pm 0.1\%$ (即 $\pm 500\ \text{Hz}$ );奇校验验证采用字的最后一位应用作前16位的奇偶校验,字长应为16位有效位加同步头加奇偶校验位,总共20位;验证曼彻斯特Ⅱ型双相电平码的编码码间错误;验证同步头编码出现错误的检测能力;验证消息中数据字各种错误检测能力;验证方式指令错误检测能力。经验证表明,仿真卡的协议符合性满足要求。

电气特性验证,开发验证软件配合平台验证。主要包含验证项:终端在变压器耦合方式下的峰-峰电压 $V_{\text{pp}}$ 在 $17\sim 28\ \text{V}$ 之间<sup>[13-16]</sup>;BUS A/B波形从10%至90%的上升时间 $50\sim 150\ \text{ns}$ ;BUS A/B波形从10%至90%的下降时间 $50\sim 150\ \text{ns}$ ;终端发送数据的正负过零间隔是否在 $500\ \text{ns}$ 、 $1\ 000\ \text{ns}$ 、 $1\ 500\ \text{ns}$ 、 $2\ 000\ \text{ns}$ ;输出

波形畸变过冲与扰动应小于等于 $900\ \text{mV}$ ;从末尾一个字的奇校验位过零开始计算时刻后,测量最大的残余电压值小于等于 $250\ \text{mV}$ 。经验证表明,仿真卡的电气特性满足要求。

## 5 结束语

随着机载设备所承担任务量以及复杂度的逐步提升,各设备间需要交互的信息与日俱增<sup>[17]</sup>,传输速率成为制约1553B总线应用的主要因素,2M 1553B总线仿真卡的研制成为必要。文中介绍了仿真卡的硬件设计,阐述了仿真卡的设计和实现,通过搭建简单的验证平台验证了仿真卡的功能和性能。实验结果表明,该仿真卡功能和性能满足要求,具有良好的应用前景。

## 参考文献:

- [1] MIL-STD-1553B-1989 飞机内部时分制指令/响应式多路传输数据总线[S]. 1989.
- [2] GJB 5186.1-2003 数字式时分制指令/响应型多路传输数据总线测试方法[S]. 2003.
- [3] 王绮卉,田泽,赵彬. 基于HKS1553B CRT芯片的1553B总线通信软件设计[J]. 计算机技术与发展,2012,22(8):39-42.
- [4] 郭泽仁. 1553B总线系统优化及可靠性设计[J]. 山东理工大学学报:自然科学版,2008,22(1):67-70.
- [5] 刘锐,赵加凤,付平. 基于FPGA的PXI-1553B模块设计[J]. 电子测量技术,2009,32(11):99-101.
- [6] MIL-STD-1553B protocol tutorial[S]. [s.l.]:Condor Engineering Inc,2004.
- [7] Bus Tools/1553-API software reference manual[M]. [s.l.]:Condor Engineering Inc,2004.
- [8] 李文军,邵炳昌. 飞机MIL-STD-1553B总线的测试系统[J]. 飞机设计,2003(2):51-54.
- [9] 韩霞,杨洪斌,吴悦. 面向SoC的事务级验证研究[J]. 计算机技术与发展,2007,17(3):33-36.
- [10] GJB289A-1997 数字式时分制指令/响应型多路传输数据总线[S]. 北京:国防科学技术工业委员会,1997.
- [11] 丁凡,熊华钢,宋丽茹. FC-AE-1553B网络的建模仿真研究[J]. 计算机工程与应用,2008,44(31):20-24.
- [12] 李筱雅,尚丽娜,张芹芹. 1553总线测试仿真系统设计与实现[J]. 现代电子技术,2012,35(10):53-56.
- [13] 郭坚,付连芳,王海涛. 基于8051单片机的1553B总线接口设计[J]. 计算机测量与控制,2006,14(7):946-949.
- [14] DDC MIL-STD-1553B designer guide[S]. 1998.
- [15] DDC ACE/Mini-ACE series BC/RT/MT advanced communication engine integrated 1553 terminal user's guide[M]. New York:Data Device Corp,1999.
- [16] 李贵山,陈金鹏. PCI局部总线及应用[M]. 西安:西安电子科技大学出版社,2003.
- [17] MIL-STD-1553B signal internal time division command/response multiplex data bus[M]. [s.l.]:DOD,1997.



2M1553B总线仿真卡的设计与实现

作者:

[淮治华](#), [田泽](#), [杨峰](#), [田锋](#), [夏大鹏](#), [HUI Zhi-hua](#), [TIAN Ze](#), [YANG Feng](#),  
[TIAN Feng](#), [XIA Da-peng](#)

作者单位:

[淮治华, 田泽, 杨峰, 夏大鹏, HUI Zhi-hua, TIAN Ze, YANG Feng, XIA Da-peng \(中国航空计算  
技术研究所, 陕西 西安, 710119\)](#), [田锋, TIAN Feng \(西安翔腾微电子科技有限公司, 陕西  
西安, 710119\)](#)

刊名:

[计算机技术与发展](#) 

英文刊名:

[Computer Technology and Development](#)

年, 卷(期):

2015 (4)

引用本文格式: [淮治华](#). [田泽](#). [杨峰](#). [田锋](#). [夏大鹏](#). [HUI Zhi-hua](#). [TIAN Ze](#). [YANG Feng](#). [TIAN Feng](#). [XIA Da-peng](#)

[2M1553B总线仿真卡的设计与实现](#) [期刊论文] - [计算机技术与发展](#) 2015 (4)