

# 一种 SerDes 的高效集成可测试性设计

胡曙凡,田 泽,邵 刚

(中航工业西安航空计算技术研究所,陕西 西安 710068)

**摘 要:**随着集成电路工作速度的提高以及特征尺寸的缩小,芯片设计和测试的费用越来越高。特别是进入深亚微米工艺以及超高集成度发展阶段以来,芯片的功能越来越强大,但也带来一系列设计和测试问题。测试和可测试性设计的理论与技术已经成为 VLSI 领域中的一个重要研究方向,它们在理论和实践中都有十分突出的价值。文中基于 SerDes 的测试要求,为了解决相关参数的测试难题,提出了一种针对 SerDes 的可测试性设计方案。回环、测试码型产生、温度检测、模拟测试总线等功能的实现,将 SerDes 参数的测试难度极大降低。这种方案结构简单,效率较高,具有很好的实用价值。

**关键词:**可测试性设计;回环;模拟测试总线;SerDes

中图分类号:TP31

文献标识码:A

文章编号:1673-629X(2015)04-0204-04

doi:10.3969/j.issn.1673-629X.2015.04.047

## A Highly Efficient and Integrated Design for Testability of SerDes

HU Shu-fan, TIAN Ze, SHAO Gang

(Aeronautical Computing Technique Research Institute, Xi'an 710068, China)

**Abstract:** The expenses incurred in design and test for integrated circuit is more and more, along with the enhancement in operating speed and decreasing of the physical dimensions. Specially, when entering the deep sub-micron processing technique and ultra high integrated period, the function of IC is becoming more and more powerful, but it also brings out a series of design and testing problems. The theory and technology of testing and testable design have become an important research direction in VLSI field, and it is much more valuable in theory and practice. According to testing requirements on SerDes, for solving the problem of complex test of related parameters, a new plan of testability design is proposed. The realization of functions, such as loopback, test code generation, temperature detection and analog test bus, reduce a great large of the test difficulty in the test of SerDes. This method has simple structure and low consumption of resources, which is of good value.

**Key words:** testability design; loopback; analog test bus; SerDes

## 0 引言

随着微电子行业技术的发展,尤其是在传输接口的发展上,原本用于通信接口的 SerDes 技术成为了高速串行接口的主流。同时,随着 IC 设计技术和集成技术的不断发展以及特征尺寸的不断缩小,高速集成电路的测试对于先进设备的依赖越来越高,测试成本也随之增加。

对于 SerDes 来说,随着工作频率的增大,测试的难度和费用越来越高。因此,在 SerDes 中集成可测试性设计就成了设计 SerDes 电路必不可少的关键技术<sup>[1]</sup>。

文中主要从 SerDes 的眼图、误码率、内部温度等测试要求出发,提出了一套可测试性方案,简化了 Ser-

Des 的测试方法,该方案具有很好的工程价值。

## 1 可测试性设计方案

可测试性设计的主要功能是将难测或者不可测的参数转变为易测、可测的参数,这个需要通过改善设计来实现。从整体方面来说, SerDes 的测试通常包括发送测试和接收测试,具体常见测试参数如表 1 所示<sup>[2]</sup>。

对于 SerDes 的测试,最常用的测试码型是伪随机码。此外,根据总线协议的多样性,1010、关键字(如 K28.5)等码型也有很多应用<sup>[3]</sup>。

抖动是数字信号的各个有效瞬时对于当时理想位置的短期性偏离<sup>[4]</sup>。抖动是 SerDes 系统中的一个主

收稿日期:2014-06-13

修回日期:2014-09-17

网络出版时间:2015-03-31

基金项目:国家“十二五”微电子预研基金项目(51308010601,51308010711);总装预研基金(9140A08010712HK6101)

作者简介:胡曙凡(1986-),男,硕士,助理工程师,研究方向为大规模数模混合信号集成电路的设计;田 泽,博士,研究员,中国航空工业集团首席技术专家,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20150331.0941.003.html>

要挑战,因此它也是测试和测量的关键所在。眼图即示波器对串行数字信号的多次采集并叠加后的显示结果,由于形状像人的眼睛,故被称为眼图<sup>[5]</sup>。眼图测试是一种实用又直观地分析码间干扰的方法,是测试随机数据信号质量最常用的方法之一。眼图包含了丰富的数据信息,通过对眼图的测试,可以观察到信号的码间干扰及噪声影响的情况,估计系统的性能<sup>[6]</sup>。

表1 SerDes 常见测试项

测试类型	测试项
发送测试	眼图
	抖动
	信号波形
	幅度
	上升下降时间
接收测试	抖动容限
	误码率
	接收灵敏度

为了检测发送抖动,用测试激励产生测试码型,送入 SerDes 的接收端口, SerDes 内部配置成回环模式,从发送的差分引脚就可以得到测试图形。将示波器与发送差分引脚连接,就可以得到并分析发送抖动眼图<sup>[7]</sup>。

在对 SerDes 系统进行性能评估时,通常会考虑发送端的抖动产生和接收端的抖动容限。常规的抖动容限测试方法是用误码率测试仪产生测试向量,并加入抖动,送入 SerDes 接收端口,监控 SerDes 输出的比特误差来测量接收抖动容限。

在测试中,最常用的测试码型是 PRBS7。PRBS7 属于短随机码型,与 8b/10b 编码的数据流很相似,所以在 PCIe、SATA、FC 等采用 8b/10b 编码的串行总线中,PRBS7 是最常用的测试码型。PRBS7 的码流中最长的连1为7个,最长的连0为6个;而 8b/10b 编码中最长的连1为5个,最长的连0也是5个。使用 PRBS7 作为驱动源,在同一信道上传输到接收端后得到的眼图和抖动,都比 8b/10b 编码作为驱动源时的结果稍微差些。这样,PRBS7 作为串行总线的测试码型,留出了一定的测试余量<sup>[8]</sup>。

除了 PRBS 外,K28.5 也是常用的测试码型之一,由 K28.5- = 0011111010 和 K28.5+ = 1100000101 组成,包含5个连续的“0”和5个连续的“1”,而 8b/10b 编码中最长的连“0”和连“1”也是5个;同时,K28.5 中包括 010 和 101 这样的高频码型,因此,K28.5 非常适合作为测量时的码型激励来计算码间干扰。

文中所述的码型发生器可以发出 PRBS7、时钟信号、伪随机码流等码型,根据测试项需求不同,选择不同的码型发生模式。

在误码率测试方面,回环模式和自检测功能是很重要的手段。利用回环模式和自检测功能,无论是在测试中还是在仿真中,能够简化流程和降低复杂程度,同时设计抖动功能,人为加入干扰,从而可以方便的测试、验证误码率和抖动容限。

芯片工作时会产生热量,芯片内部温度对芯片功能会有影响。在芯片设计时加入内部温度检测相关的可测试性设计,对测试和进一步设计有很大帮助。

文中分析了芯片的测试性要求,提出的测试方案包含码型序列产生、误码检测、温度检测、寄存器可配置等。这些方案虽然交叉,但是各有侧重,它们的有机组合,保证了可测试性设计的相对完备性。

2 码型发生器

本芯片的设计中,根据应用的不同,在设计码型发生器时,集成了多种码型,可以满足芯片在不同工作模式下或者实现不同功能时的特殊要求。

PRBS( Pseudo-Radom Binary Sequence)是伪随机码,是一种可以预先确定又有随机统计特性的二进制码,此码包含了所有可能出现的字节组合,并且具有可以重复产生的特点<sup>[2]</sup>。伪随机码不同于随机码,它的组合是可以设置的。本设计所用的 PRBS 既可以用于测试发送相关功能,也可以用于内部自测试。

PRBS 一般由线性反馈移位寄存器产生。简单  $n$  级线性反馈移位寄存器电路结构如图1所示。简单的线性反馈移位寄存器由 D 触发器和异或门组成。初始化时, $a_0$  到  $a_n$  不应全为0。寄存器链的最后两级( $a_{n-2}$  和  $a_{n-1}$ )经过异或,将异或的结果反馈至第一级的输入,而  $a_{n-1}$  作为结果输出。各个寄存器由同一时钟控制,每一次时钟上升沿来到,各级寄存器的值将更新一次,将原先的值传给后一级。这样,可以生成周期为 $(2^n - 1)$ 的伪随机序列<sup>[9]</sup>。

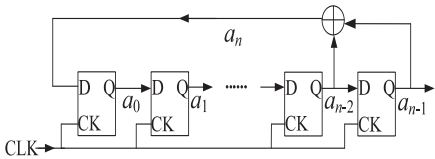


图1 简单线性反馈移位寄存器结构

因为在 SerDes 的发送、接收测试时,需要测试发送、接收的各种码型,因此,除了伪随机序列外,必须包括长“0”、长“1”等特殊码型。由选择信号来控制码型的输出格式。

码型1:输出信号为伪随机数,如图2左上所示;

码型2:输出信号码型为预先设定的一组十位并行码(pattern),输出信号类似时钟信号,如图2右上所示;

码型3:输出信号码型为预先设定的一组十位并

行码(pattern)或者预设码型按位取反的码型( $\sim$  pattern),模块交替输出两种信号码型,如图 2 左下所示;

码型 4:输出信号码型为预先设定的一组十位并行码(pattern)、预设码型按位取反的码型( $\sim$  pattern)、全为“1”的码型或者全为“0”的码型,模块输出的码型在四种码型之间有规律的切换,如图 2 右下所示。

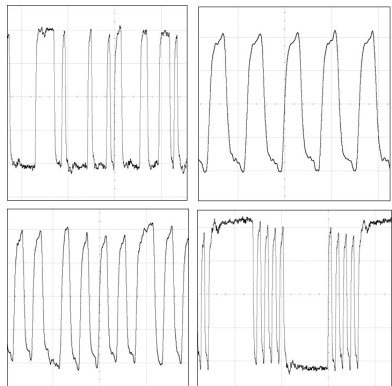


图 2 码型发生器发出的四种码型

这种 PRBS 信号发生模块,可以根据不同测试模式和测试协议,选择不同的输出模式,简化了测试方法并且增加了测试的多样性。

### 3 误码率自测试

误码率自测试方案为误码率的测试提供了全新的方式,使误码率检测更快、更准确、更方便。

#### 3.1 回环检测

回环模式是指数据由发送端输入,接收端输出,并且,这个信道形成一个闭路环路<sup>[10]</sup>。环路内有专用的伪随机序列发生器和误码检测器。一般来说,SerDes 的回环有两种形式:数字回环和晶圆回环,如图 3 所示。

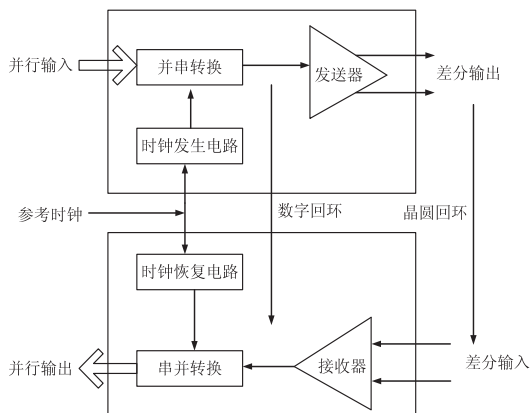


图 3 数字回环和模拟回环

在发送端经过并串转换之后的数据不经过输出驱动直接进入接收端的回环模式称作数字回环。在这种回环模式下,可以测试除了发送模块输出驱动和接收模块输入驱动之外的所有数据路径,包括模拟电路部分和数字电路部分。

晶圆回环模式主要用于流片后的晶圆测试,可以使用探针测试台对芯片功能进行测试。这种测试模式下,芯片的输入和输出接在一起,可以对芯片的收发功能进行完整的测试<sup>[11]</sup>。

回环模式下,测试所用输入激励可以由码型发生器产生,根据不同的测试协议,配置不同的测试码型,可以减少验证、测试所需要的测试激励和条件。

#### 3.2 内部自测试

在仿真以及测试过程中,根据回环原理设计一种自测试方法,可以快速检验信号转换通路是否正常<sup>[4]</sup>,SerDes 接口在发送端将数据信息经过编码和串并转换后,经过信道传输到接收器上,接收器对收到的串行码流进行重新编排,并且把它们重新恢复成并行的数据。

根据自测试基本原理设计内部自测试方案,如图 4 所示。采用芯片内部产生 PRBS 伪随机码的方法,将产生的伪随机码发送至并行输入端,经过芯片串行编码再解串行后,又变成并行信号,将此信号经过相位调整,再与最初产生的伪随机序列并行数据进行对比,输出对比信息(包括错误统计、错误位标志等),可以方便地检测信息通路(尤其是串行解串部分)功能是否正确<sup>[5]</sup>。

图 4 中的两个十位并行伪随机码发生模块完全相同,B 发出的码流送入并串-串并转换电路进行转换,A 发出的码流用来和经过转换后的码流进行对比。同时,通过两个多路选择器,可以选择送入下一级的码流来源于芯片外部或者内部,多路选择器 B 用来选择送入下一级的码流来源于转换后的数据或者多路选择器 A。

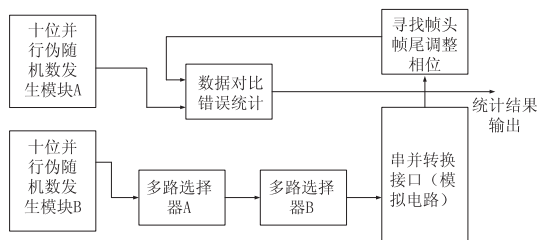


图 4 一种信道通路检测方案

数据经过并串-串并转换电路后的并行码流送入一个同步模块,这个模块会根据关键字来调整码流的相位<sup>[6]</sup>,使经过并串-串并转换电路转换后的码流和伪随机序列产生的并行码流同步,以便后续模块来判断功能有效。

模拟电路将 10 位并行伪随机码流经过并串转换后,传输到接收模块上,接收模块对收到的串行码流进行串并转换,恢复成 10 位并行的数据。Comma 信号就是用来指示关键字,调整其他字符内位的顺序,保证传输同步的。Comma 信号有两个特点:Comma 信号是



固定的;Comma 信号能产生一个统一对齐标准。在不考虑误码的情况下,Comma 信息不会出现在其他位上,也就是说 Comma 信息既不会出现在其他字符中,也不会出现在两个字符之间<sup>[12]</sup>。

根据设计标准,在本设计中的 Comma 字符为 K28.5- = 0011111010 和 K28.5+ = 1100000101。

为了验证错误统计的功能,在并行数发生模块中设计了错误注入。如果将十位并行伪随机码发生模块 B 的错误注入功能打开,则伪随机序列移位寄存器链进行异或运算时,与十位并行伪随机码发生模块 A 的结果不同,错误检测以及计数模块就会开始对误码数进行计数。这是一种模拟并串—串并转换过程中出现误码的方法。

### 3.3 内置信号示波

在高速串行信号链路测试过程中,需要对发送到终端即接收端的信号进行评估。常用的手段即采用示波器对发送到接收端的信号进行观测,但是由于封装等的影响,示波器观察到的信号也仅是进入接收器封装前的信号。由于芯片封装有引脚、绑线、基板走线、压焊块等寄生的影响,从封装外引脚到芯片接收端采样的信号还存在一定的衰减,因此,示波器观察到的信号并非真正在接收端采样的信号,这对信号质量的评估以及芯片故障的定位带来了一定的困难。

内置信号示波是用来捕获并观察输入接收信号的功能,它可以通过软件在片外将信号捕获和图形化显示结合起来以实现示波的功能。

测试时,使用码型产生器产生随机码流或者预设的码流(pattern),同时使用外部软件配置寄存器输出值,实现额外的偏移电压和偏移相位。通过内部的误码率统计模块得到误码率的值,进而可以得出误码率、采样时钟相位和输出幅度的二维关系。

## 4 温度检测

一般来说,芯片工作时,内部温度精确值很难测量。采用温度检测设计可以通过将温度传感器的输出经过转化和换算,进而精确得到片内温度信息。

文中温度检测的原理如图 5 所示,主要由三大部分组成—温度感应电路、寄存器控制单元和 ADC(模拟—数字转换电路)。温度感应电路主要作用是根据芯片工作时温度的变化,感应出两路不同温度电压值和温度系数的电压信号(VBE 和 VREF),通过开关控制端口的控制,输出给下一级 ADC 电路作为输入信号;寄存器控制单元主要作用是根据温度传感器电路整体的控制流程和控制状态,读写寄存器相应的控制值,完成温度感应电路和 ADC 的时序和工作状态;ADC 电路主要作用是根据寄存器控制单元给出的控

制命令对温度感应电路输出电压进行模数转换,再输出给协议层做计算具体温度值。

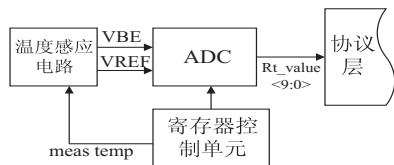


图5 温度检测原理

在测试中,可以使用配置控制信号的值来实现对温度感应电路的控制,同时,也可以将温度信息寄存器的值从寄存器中读出。

通过温度检测设计,在测试时得到片内温度信息,可以进一步拓展 SerDes 的测试范围,为后续的设计提供参考。

## 5 模拟测试总线技术

SerDes 由模拟电路部分和数字电路部分构成,因为模拟电路的输入、输出接口往往与数字电路相连接,降低了电路的可测性和可控性。所以,模拟信号部分的可测性对于 SerDes 来说十分重要。模拟测试总线(Analog Test Bus, ATB)技术为探测混合信号系统内部提供了访问机制和控制技术。ATB 常常与边界扫描一起使用,用以提高模拟电路(尤其是数模界面接口)的可测性,减少大量不必要的测试点<sup>[13]</sup>。同时,对于数模混合电路,模拟电路的很多控制信号都由数字电路来设置,通过 ATB 可以配置这些控制信号,进而能够改进很多测试方案,节省时间和成本。

## 6 结束语

文中所提出的新型可测性设计方案,可以通过内部码型发生器实现测试需要码型的产生,并且能够进行误码率自测试,不用外加输入数据即可进行电路的收发功能测试。同时,内部温度检测设计可以实现芯片内部温度的较精确测量,端口可配置以及模拟测试总线技术可以扩展测试项,增强可测性。这些设计毫无疑问会增大芯片面积<sup>[14]</sup>。但是相比于测试的便捷和可测试项的增加,芯片面积增大带来的成本的提高微不足道。这种可测性设计方案减少了设计开发以及测试中对外部激励的过多依赖和复杂需求,可以加快研发进度,减小测试难度,值得推广和应用。

### 参考文献:

- [1] 郑秋丽. 系统芯片可测性设计技术的研究[D]. 长春: 长春理工大学, 2009.
- [2] 陈寅芳, 朱 勇, 曹彦武. 基于 FPGA 的突发误码测试仪的设计[J]. 光通信技术, 2010, 34(4): 45-48.

助手,与 A、B 相连的网关地址分别设置为 1、2,A 主机发送 0xAA,0x55,11,1,2,‘H’,‘e’,‘l’,‘l’,‘o’,‘ ’,‘B’,0xyy,0xyy,在 B 主机的接收窗口显示“Hello B”,同样 B 主机发送 0xAA,0x55,11,1,1,‘H’,‘e’,‘l’,‘l’,‘o’,‘ ’,‘A’,0xyy,0xyy,A 主机的接收窗口显示“Hello A”。经测试 A、B 两主机之间通过网关的桥接能够稳定地进行高速数据通信。



图 5 实物测试

## 7 结束语

文中提供了一种网关设计方法,能够有效提高工业控制过程中的信息传输速率,同时降低使用 CAN 协议进行通信组网过程中的难度,减少不必要的数据传输。同时,该网关不单只完成 485 到 CAN 的转换,还实现了类似于邮箱方式的信息缓存,便于实际应用。

### 参考文献:

- [1] 饶运涛,邹继军,王进宏,等.现场总线 CAN 原理与应用技术[M].第 2 版.北京:北京航空航天大学出版社,2003.
- [2] 廖义奎. Cortex-M3 之 STM32 嵌入式系统设计[M].北京:
- [3] 王 俊.集成电路可测试性设计的研究与实践[D].西安:西安电子科技大学,2013.
- [4] Novák O,Plíva Z,Nosek J,et al. Test-per-clock logic BIST with semi-deterministic test patterns and zero-aliasing compactor[J]. Journal of Electronic Testing,2004,20(1):109-122.
- [5] Le Qianqi, Yang Guowu, Nung W N N, et al. Performance-driven assignment and mapping for reliable networks-on-chips[J]. Journal of Zhejiang University Science C,2014,15(11):1009-1020.
- [6] 张 艳.数字集成电路可测试性设计研究与应用[D].杭州:浙江大学,2010.
- [7] 高 平,成 立,王振宇,等.数字 VLSI 电路测试技术—BIST 方案[J]. 半导体技术,2003,28(9):29-32.
- [8] 王 帅. SOC 可测试性技术研究与应用[D]. 哈尔滨:哈尔滨

中国电力出版社,2012.

- [3] 龙志强. CAN 总线技术与应用系统设计[M]. 北京:机械工业出版社,2013.
- [4] 张秀丽. 利用 RS-232 和 CAN 总线协议转换组建音频控制网络[J]. 仪表技术与传感器,2008(6):58-60.
- [5] 蔡 莉,卢路先. RS-485 通信与 CAN 总线的接口设计[J]. 武汉理工大学学报:信息与管理工程版,2002,24(1):30-33.
- [6] 张秀萍,朱齐丹,蔡成涛. 基于单片机和 CAN 总线的信号测量和数据传输[J]. 应用科技,2005,32(9):25-27.
- [7] 孙晓云. 接口与通信技术原理与应用[M]. 北京:中国电力出版社,2007.
- [8] Davis R I, Kollmann S, Pollex V, et al. Schedulability analysis for Controller Area Network (CAN) with FIFO queues priority queues and gateways[J]. Real-Time Systems,2013,49(1):73-116.
- [9] Thompson B. Understanding controller area networks[J]. Motor,2008,209(1):46-50.
- [10] Mary G I, Alex Z C, Jenkins L. Reliability analysis of controller area network based systems—a review[J]. International Journal of Communications, Network and System Sciences,2013,6(4):155-166.
- [11] Aberu E, Lightstone M, Mitra S K, et al. A new efficient approach for the removal of impulse noise from highly corrupted images[J]. IEEE Trans on Image Processing,1996,5(6):1012-1025.
- [12] Mazzaferri J, Campus J, Escalera J C, et al. Edge detector tolerant to object defocusing[J]. Optics Communications,2010,283(19):3639-3645.
- [13] 刘承智,丁国良,原 亮,等.改进型 CAN 总线协议的实时性研究[J]. 计算机技术与发展,2012,22(7):81-84.
- [14] 陈 荔,张 菁. 基于串口自定义协议传输文件的设计[J]. 计算机技术与发展,2012,22(2):45-48.
- [9] van de Goor A J. Using march tests to test SRAMs[J]. IEEE Design & Test of Computers,1993,10(1):8-14.
- [10] Cheng W T. Current status and future trend on CAD tools for VLSI testing[C]//Proceedings of the ninth Asian test symposium. [s. l.]:[s. n.],2000:10-11.
- [11] 张永光. 芯片设计中的可测试性设计技术[D]. 杭州:浙江大学,2005.
- [12] 黄禄惠. 集成电路低功耗可测试性设计技术的分析与实现[D]. 成都:电子科技大学,2013.
- [13] 陈 宁. 混合集成电路可测试性设计的研究[D]. 北京:北方工业大学,2009.
- [14] 王 玺. 模数混合信号系统级芯片的测试与可测试性设计研究[D]. 长沙:湖南大学,2007.
- [15] 廉玉平. 大规模数字集成电路中的验证技术及其应用[D]. 杭州:浙江大学,2010.

(上接第 207 页)

# 一种SerDes的高效集成可测试性设计

作者：[胡曙凡](#)，[田泽](#)，[邵刚](#)，[HU Shu-fan](#)，[TIAN Ze](#)，[SHAO Gang](#)  
作者单位：[中航工业西安航空计算技术研究所, 陕西 西安, 710068](#)  
刊名：[计算机技术与发展](#)  
英文刊名：[Computer Technology and Development](#)  
年，卷(期)：2015(4)

引用本文格式：[胡曙凡](#). [田泽](#). [邵刚](#). [HU Shu-fan](#). [TIAN Ze](#). [SHAO Gang](#) 一种SerDes的高效集成可测试性设计[期刊论文]-[计算机技术与发展](#) 2015(4)