

# 多格式数字视频输入接口的设计与实现

颜 哲, 卢 俊, 田 泽

(中国航空计算技术研究所, 陕西 西安 710119)

**摘 要:** 数字视频输入接口是视频编码系统的重要组成部分之一。输入视频来源于计算机图形和视频系统, 涵盖多种格式标准, 现有视频编码系统中的数字视频输入接口往往只支持视频系统的输入源, 不支持计算机图形的输入源。因此支持多种视频格式的数字视频输入接口能够扩展视频编码系统的应用范围。设计并实现了一种多格式数字视频输入接口, 兼容 BT. 656 接口, 支持 VESA 监视器时序标准、ITU-R BT656 数字分量视频接口标准和 SMPTE 274M、SMPTE 296M 标准视频输入, 具有高鲁棒性和容错能力。该设计通过了虚拟平台验证和 FPGA 原型系统验证, 功能和性能均满足视频编码系统的要求。

**关键词:** 多格式; 数字视频; 输入接口; 格式容错

**中图分类号:** TP31

**文献标识码:** A

**文章编号:** 1673-629X(2015)04-0181-04

**doi:** 10.3969/j.issn.1673-629X.2015.04.041

## Design and Implementation of Multi-format Digital Video Input Interface

YAN Zhe, LU Jun, TIAN Ze

(Aeronautics Computing Technique Research Institute, Xi'an 710119, China)

**Abstract:** The multi-format digital video input interface is an important component in video encode system. Input videos come from computer graphic systems and video systems, covering multi-format standards. Nowadays digital video input interface support videos from video systems but computer graphic systems mostly. Supporting multi-format of digital video interface can expend the application of video encode systems. Design and implement a multi-format digital video input interface, which supports BT. 656 interface, VESA monitor timing standard, ITU-R BT656 digital component video interface standard, SMPTE 274M and SMPTE 296M standard, with robustness and fault tolerance. The design has passed the verification on virtual and FPGA verification platforms, and meet the functional and performance requirements of video encode systems.

**Key words:** multi-format; digital video; input interface; format tolerance

## 0 引 言

随着视频编码技术在通信、医疗、航空、军事等领域的应用日益广泛, 视频编码系统的应用场景日趋复杂, 对前端数字视频输入接口的功能和性能要求越来越高。输入视频来源于计算机图形系统和视频系统<sup>[1]</sup>, 涵盖多种格式标准、多种颜色空间、多种分辨率以及像素时钟频率, 并且存在行像素数不准确、信号随机中断和信号毛刺等问题。数字视频输入接口处于视频编码系统数据流的最前端, 其功能和性能直接影响到整个系统的灵活性和鲁棒性, 这也成为设计者非常

关注的一个问题。

当前视频编码系统大多是针对消费类应用, 只支持视频系统(包括电视)的输入视频, 不支持计算机图形系统的输入视频, 数字视频输入接口功能单一, 通用性不高, 例如富士通公司的 MB86H51 编解码芯片<sup>[2]</sup>。在航空和军事等领域, 视频系统往往既包含计算机图形输入又包含视频输入, 要支持这两种输入视频, 以往的办法是在输入视频和编码芯片之间增加一片 FPGA 芯片, 将输入视频转换为所需格式, 这既增加成本及板面积, 又降低了系统的可靠性。针对以上问题, 设计出一种多格式数字视频输入接口, 兼容 BT656 接口, 支

收稿日期: 2014-06-19

修回日期: 2014-09-24

网络出版时间: 2015-03-31

基金项目: 国家“十二五”微电子预研基金项目(51308010601, 51308010710, 51308010711)

作者简介: 颜 哲(1984-), 男, 工程师, 研究方向为集成电路设计与验证; 田 泽, 博士, 研究员, 中国航空工业集团首席技术专家, 研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计等。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20150331.0941.005.html>

持 VESA 监视器时序标准 (简称 VESA 标准)、ITU-R BT656 数字分量视频接口标准 (简称 BT656 标准) 和 SMPTE274M 和 SMPTE296M 标准、RGB 到 YCbCr 颜色空间转换、4:4:4 和 4:2:2 到 4:2:0 数据格式转换。文中首先介绍了多种视频格式标准及输入视频的特点,然后提出设计方案,最后介绍了硬件模块的设计及系统测试情况。

## 1 视频格式标准

输入视频主要来源于计算机图形和视频系统。计算机图形输入视频时序符合 VESA 标准,分辨率由 VGA 到 UXGA;视频系统输入视频包括标清视频和高清视频,标清视频时序符合 ITU BT656 数字分量视频接口标准,均为隔行扫描格式;高清视频时序符合 SMPTE274M 和 296M 标准,分辨率为 1 280×720 和 1 920×1 080,包括隔行扫描和逐行扫描格式。

VESA 监视器时序标准是由 VESA (Video Electronics Standards Association, 视频电子标准协会) 制定,主要用于计算机图形系统的视频传输<sup>[3]</sup>。该标准定义了从 VGA 到 UXGA 多种分辨率格式,传输信号由时钟信号、帧同步、行同步、数据有效和数据信号组成,时序关系如图 1 所示<sup>[4]</sup>。

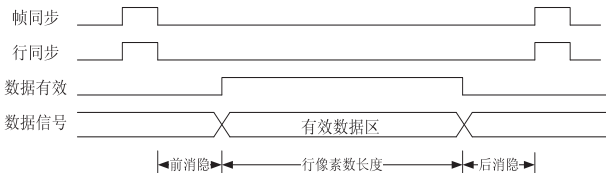


图 1 VESA 格式时序关系图

ITU-R BT656 标准是由 ITU (International Telecommunication Union, 国际电信联盟) 制定的视频标准,支持分辨率包括 720×576 和 720×480。ITU-R BT656 标准主要用于数字视频设备 (包括芯片) 之间的视频传输<sup>[5]</sup>。一帧数据分别包含 525 行或者 625 行,每一行数据由视频信息、时基信息和消隐间隔三个区域组成,时序关系如图 2 所示<sup>[6]</sup>。

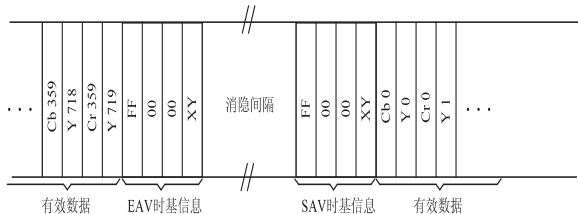


图 2 BT656 行数据格式

## 2 设计与实现

### 2.1 设计方案

多格式数字视频输入接口的主要功能是接收外部输入的数字视频信号,从中提取有效视频数据并将其

处理成视频编码核要求的数据格式,最终输出给视频编码核。该设计具有以下特征:支持多种格式输入视频,包括 VESA 标准、BT656 标准和 SMPTE274M<sup>[7]</sup> 和 296M<sup>[8]</sup> 标准;支持多种分辨率,包括从 VGA 到 UXGA, 720×576, 720×480, 720p, 1080i, 1080p;视频输入接口兼容 BT656 接口和 VESA 标准视频信号;输入视频滤波,滤除输入信号线上的毛刺;输入视频格式检查;输入视频行像素数容错,对一行像素数不足或多出进行补齐或丢弃操作,保证视频行像素数的一致性;输入视频断开再接入功能,任意时刻输入视频断开,再接入时能正常接收;RGB 到 YCbCr 颜色空间转换<sup>[9]</sup>。

### 2.2 功能结构

多格式数字视频输入接口由视频输入通路和调试通路组成,结构框图如图 3 所示。

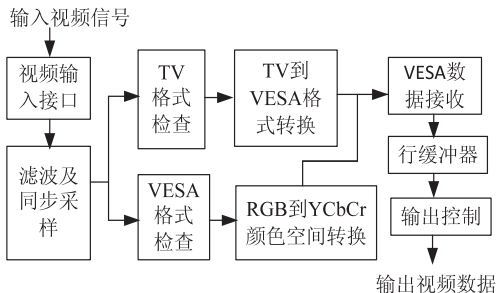


图 3 结构框图

视频通路由视频输入接口、滤波及同步采样、VESA 格式检查、TV 格式检查 (TV 格式指 BT656 标准、SMPTE274M 和 296M 标准视频)、RGB 到 YCbCr 颜色空间转换、TV 到 VESA 格式转换、VESA 数据接收、行缓冲器和输出控制模块组成。输入视频信号由视频输入接口输入,首先经过滤波及同步采样,滤除信号中毛刺并且将其同步到 180 MHz 的工作时钟域,然后对输入视频进行格式检查。如果格式检查报错则终止向后端模块输出,如果通过格式检查,则输出给后端模块,以保证后续处理时视频格式符合要求。通过格式检查的视频,对于 VESA 格式视频首先经过颜色空间转换,将 RGB 数据转换为 YCbCr 数据,然后输出给 VESA 数据接收模块;对于 TV 格式视频则先经过视频格式转换,将 TV 格式转换为 VESA 格式,然后输出给 VESA 数据接收模块。VESA 数据接收模块按照 VESA 视频格式标准对输入视频进行解析,提取出有效视频数据,按行写入行缓冲器。输出控制模块检测到行缓冲器满即读出数据并输出给视频编码核。

### 2.3 视频输入接口设计

视频输入接口与 BT656 接口兼容,支持 VESA 标准、BT656 标准、SMPTE274 和 SMPTE296 标准的数字视频信号输入。视频输入接口具有 28 根信号线,分别定义为 clk、vsync、hsync、vden、r[7:0]、g[7:0]、b[7:0],对于 VESA 标准的视频 clk 为像素时钟,vsync 为帧

同步,hsync 为行同步,vden 为数据有效, $r[7:0]$ 、 $g[7:0]$ 、 $b[7:0]$  分别对应 8 位的红色、绿色和蓝色分量;BT656 标准视频,clk 为采样时钟, $g[7:0]$  为视频数据;对于 SMPTE274M 和 296M 标准视频,clk 为像素时钟, $g[7:0]$  为对应 8 位的亮度分量, $b[7:0]$  对应 8 位的色度分量,其他信号视为无效。

## 2.4 输入视频容错设计

输入视频可能存在人为错误和信号质量问题。人为错误通常为输入视频格式与配置格式不一致,和线缆连接断开后又接入<sup>[10]</sup>。信号质量问题通常由线缆长度过长,线缆抗干扰性能差等因素引起,有可能产生信号不稳定,信号毛刺以及行像素丢失或多出等问题。充分考虑这些问题,增加容错设计,可有效提高系统的鲁棒性。

对输入视频信号(数据信号除外)进行滤波处理可有效滤除输入信号中的毛刺,避免由信号毛刺引起的误触发。这些误触发可能引起对输入视频格式判断错误,还可能引起内部状态机跳转错误;对输入视频信号进行同步采样,采用异步 fifo,将输入视频同步到 180 MHz 的工作时钟域,这样可以避免输入视频时钟信号不稳定导致的时序问题,并且较高的工作时钟频率可大幅提高后端数据处理的速率;针对行像素丢失或多出的问题,充分分析各种视频标准对输入视频有效数据区的定义,VESA 格式视频中由 vden 信号标识有效数据,TV 格式视频中由时标信息标识有效视频数据的开始和结束,这些格式中行与行之间存在消隐区间隔,而一行中的有效视频数据是连续的,所以使用 vden 信号和时标信息启动一行有效数据的采集,而采集的长度由标准的视频行像素数决定。对于像素丢失的情况复制最后一个有效像素补齐行像素数,对于像素多出情况,则直接丢弃多出的像素,从而保证采集的每一行有效数据都与标准行像素数一致,进而保证输出给编码核的视频数据大小与标准分辨率一致。

## 2.5 视频数据采集设计

TV 到 VESA 格式转换模块将 TV 格式视频转换为 VESA 格式视频,这样就将 VESA 格式和 TV 格式统一到 VESA 格式,由 vsync、hsync、vden、vdata 信号描述,时序如图 1 所示。由于 VESA 格式具有独立的帧同步、行同步以及数据有效信号,在数据采集中利用这些信号可实现行像素数容错处理、视频断开再恢复处理、帧起始、帧数据完成、像素位置标定和数据采集。采用有限状态机设计实现上述功能<sup>[11]</sup>,状态机跳转及状态描述如图 4 所示。

当状态机处于 HV 状态时,表明一帧视频的起始,此时行号计数器清零,该计数器每采集完成一行数据加一,用于标记采集数据为视频帧的第几行。状态机

处于 HS0 状态时,如果 vsync 有效,则跳入 HI 状态,使得当视频断开又接入时帧同步信号会产生状态机项 HI 状态跳转,再跳入 HV 状态时行号计数器归零,从而能够正确标记后续采集数据的行号。当行号计数器值与标准行数一致时,表明一帧数据采集完成,此时可告知编码核该帧数据完整有效,可以进行编码操作。

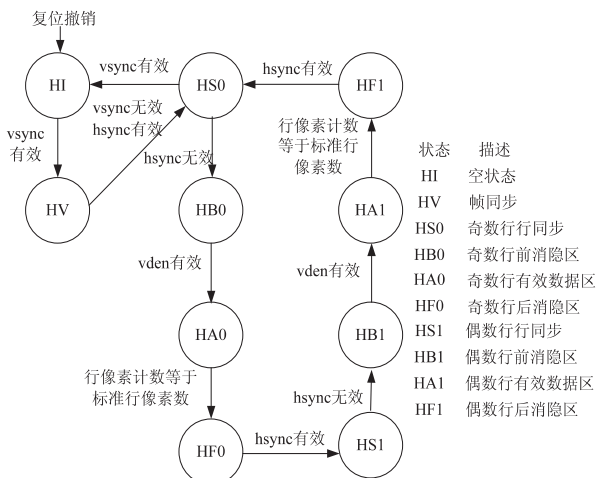


图 4 状态机跳转图

当状态机处于 HA0 或 HA1 状态,表明输入视频已进入行有效数据区,此时采集数据信号上的有效视频数据,同时按照时钟周期计数,即为行像素计数,当计数值等于标准行像素数时,一行有效视频数据采集完成,状态机跳入下一状态。采用行像素计数引导状态机跳转可保证每行采样数据数目与标准像素数一致。

## 3 仿真验证

虚拟验证平台由多格式数字视频输入接口、视频信号发生器、时钟 & 复位模型和编码核读数据模型组成<sup>[12]</sup>,如图 5 所示。

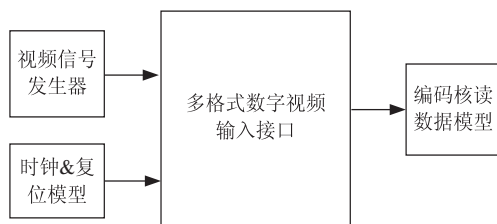


图 5 虚拟验证平台

仿真工具采用 Menter Graphic 公司的 Questasim, 版本为 6.4C。视频信号发生器负责产生 TV 格式和 VESA 格式的各种分辨率视频信号,与视频输入接口连接;时钟 & 复位模型产生 180 MHz 工作时钟、调试输入时钟和各种分辨率视频像素时钟,以及复位信号;编码核读数据模型负责读取视频数据,与输出控制模块连接。验证项遍历所有支持分辨率视频输入,并且针对容错性和鲁棒性设计要求,增加错误视频格式注

入和断开-接入等类型验证项,对各项功能进行充分验证。

FPGA 原型验证平台为某编码系统的验证平台,由 AD 芯片、处理器芯片、FPGA 芯片组成,如图 6 所示。

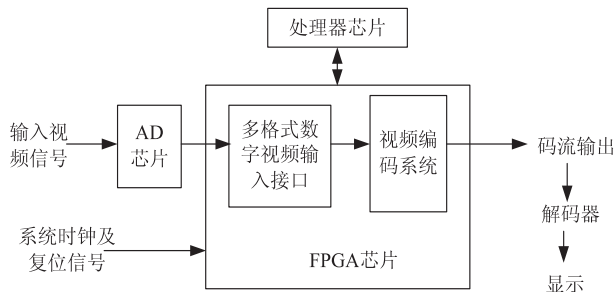


图 6 FPGA 原型验证平台

其中,FPGA 芯片中烧录多格式数字视频输入接口和视频编码系统的逻辑综合。来源于视频发生设备的输入视频信号通过 AD 芯片转换为数字信号输入给多格式数字视频输入接口,采集得到的视频数据输出给视频编码系统进行编码,输出码流经解码器解码后由显示设备显示<sup>[13-14]</sup>。通过观察显示效果分析多格式数字视频输入接口的正确性。

## 4 结束语

针对视频编码系统对前端视频输入接口多格式、鲁棒性和容错功能的需求,深入剖析各种标准视频格式的特征及相关性,采用滤波和同步采样、统一视频格式、数据采集状态机和行像素数容错等设计方法,设计出一种多格式数字视频输入接口,支持 TV 格式和 VESA 格式的多种分辨率视频,具有高鲁棒性和容错能力。经过虚拟平台验证和 FPGA 原型验证,证明该设计的功能和性能均达到设计要求,可应用于视频编码系统。

## 参考文献:

- [1] Jack K. Video demystified[M]. 5th ed. [s. l.]:Elsevier Inc, 2007:15-25.
- [2] H. 264 codec LSI MB86H51 product specification[S]. 2008.
- [3] VESA Video Interface Port (VIP)[S]. 1998.
- [4] VESA monitor timing standard, VESA and industry standards and guidelines for computer Display Monitor Timing (DMT)[S]. 2004.
- [5] Interfaces for digital component video signals in 525-line and 625-line television systems operating at the 4:4:4 level of recommendation ITU-R BT. 601 (Part A) [S]. ITU-R BT. 799-3, 1998.
- [6] Interfaces for digital component video signals in 525-line and 625-line television systems operating at the 4:2:2 level of recommendation ITU-R BT. 601 [S]. ITU-R BT. 656-4, 1998.
- [7] Television-1920×1080 image sample structure, digital representation and digital timing reference sequences for multiple picture rates[S]. SMPTE 274M-2003, 2003.
- [8] Television-1280×720 oggressive image sample structure, analog and digital representation and analog interface[S]. SMPTE 296M-2001, 2001.
- [9] Benson K B. Television engineering handbook[M]. [s. l.]: McGraw-Hill, Inc, 1986.
- [10] EBU interfaces for 625-line digital video signals at the 4:2:2 level of CCIR[S]. EBU Tech 3267-E, 1992.
- [11] 夏宇闻. Verilog 数字系统设计教程[M]. 北京:北京航空航天大学出版社, 2003:304-305.
- [12] 田靖, 田泽. AFDX-ES SoC 虚拟仿真平台的构建与应用[J]. 计算机技术与发展, 2010, 20(8):192-194.
- [13] 毕厚杰. 新一代视频压缩编码标准—H. 264/AVC[M]. 北京:人民邮电出版社, 2004:21-25.
- [14] IEC 61883-1, 2003, consumer audio/video equipment—digital interface—part 1: general[S]. [s. l.]: European Broadcasting Union, 1991.

(上接第 180 页)

- tions, 2011, 32(1):37-42.
- [6] 朱伟雄. 新一代数据中心建设理论与实践[M]. 北京:人民邮电出版社, 2009:188-194.
- [7] OMAP4460 multimedia device silicon revision 1. x, revision AB[M]. [s. l.]: Instruments TI, 2012.
- [8] OMAP4430 processors[EB/OL]. [2013-02-18]. <http://www.ti.com/general/docs/wtbu/wtbuproducentcontent.tsp?contentId=53243&navigationId=12843&templateId=6123>.
- [9] Zhang Lefang, Wang Jianxin, Zhang Kai. Design of embedded video monitoring system based on S3C2440[C]//Proc of fourth international conference on digital manufacturing & automation. Qingdao: IEEE, 2013:461-465.
- [10] 申爽. 基于 S3C2440 的 Uboot 分析与移植[J]. 计算机系

统应用, 2012, 21(5):222-225.

- [11] Hu Jie, Zhang Genbao. Research transplanting method of embedded Linux kernel based on ARM platform[C]//Proc of international conference of information science and management engineering. Xi'an: IEEE, 2010:35-38.
- [12] Kuang Shunming, He Xiaojian. Design and application of CMOS device driver based on S3C2440[C]//Proc of the tenth international conference on electronic measurement & instruments. Chengdu: IEEE, 2011:110-114.
- [13] 张功国, 陈莹星. 实时视频中 SIP 与 RTSP 的应用[J]. 电视技术, 2013, 37(9):116-118.
- [14] 刘媛, 张伟, 王知学. 基于 B/S 和 C/S 架构的嵌入式远程监控系统[J]. 仪表技术与传感器, 2008(10):39-41.



# 多格式数字视频输入接口的设计与实现

作者：[颜哲](#)，[卢俊](#)，[田泽](#)，[YAN Zhe](#)，[LU Jun](#)，[TIAN Ze](#)  
作者单位：[中国航空计算技术研究所, 陕西 西安, 710119](#)  
刊名：[计算机技术与发展](#)[ISTIC](#)  
英文刊名：[Computer Technology and Development](#)  
年，卷(期)：2015(4)

引用本文格式：[颜哲](#).[卢俊](#).[田泽](#).[YAN Zhe](#).[LU Jun](#).[TIAN Ze](#) [多格式数字视频输入接口的设计与实现](#)[期刊论文]-[计算机技术与发展](#) 2015(4)