

一种 CMOS 1/2 Mbps 3.3 V 1553B 收发器的设计与实现

王 晋,田 泽,张文博

(中国航空计算技术研究所,陕西 西安 710119)

摘 要:1553B 总线是一种广泛用于航天、航空以及军事领域内的通用数字总线。但随着应用系统的技术发展,原有 1 Mbps 传输速率的收发器已经不能满足使用需求,因此文中提出一种 2 Mbps 的收发器系统结构,并兼容 1 Mbps 的传输速率。该收发器采用 0.35 μm single-poly CMOS 工艺实现,流片测试结果表明,在 1 Mbps 速率下,该收发器完全满足 1553B 总线协议要求。在 2 Mbps 速率下,收发器的传输误码率小于 10^{-12} 。在 3.3 V 工作电压下,收发器静态功耗为 17 mA。

关键词:CMOS;1553B;收发器

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2014)11-0250-04

doi:10.3969/j.issn.1673-629X.2014.11.063

Design and Implementation of a CMOS 1/2 Mbps 3.3 V 1553B Transceiver

WANG Jin,TIAN Ze,ZHANG Wen-bo

(Aeronautical Computing Technique Research Institute,Xi'an 710119,China)

Abstract:1553B bus is a general-purpose digital bus, which is widely used in aerospace, aviation and military fields. But with the technological development of application systems, the original transmission rate of 1 Mbps transceiver cannot meet the applied demand. Therefore, propose a 2 Mbps transceiver system architecture, and is compatible for transfer rate of 1 Mbps. This transceiver fabricates in a 0.35 μm single-poly CMOS technology process. Test results of the transceiver show that, at a data rate of 1 Mbps, the transceiver meets the requirement of 1553B bus protocol, and at a data rate of 2 Mbps, a Bit Error Rate (BER) of better than $<10^{-12}$ is used as a criterion. The static power consumption of the transceiver is 17 mA from a supply voltage of 3.3 V.

Key words:CMOS;1553B;transceiver

0 引言

1553B 总线是一种数字式时分制指令/响应型多路传输数据总线,具有双向传输特性。由于其具有可靠性和灵活性的特点,1553B 总线已成为综合化航空电子系统设备间的数据交换枢纽,它将所有的综合化航空电子子系统连接在一起,共同构成具有特殊性的分布式计算机网络,从而实现综合系统内部的信息共享和系统综合化控制^[1-7]。此外,利用 1553B 总线可以大大提高系统的可扩展性和可维护性,其关键作用日益突出。

1553B 收发器是 1553B 总线的接口部分,在

1553B 总线中起着至关重要的作用。它的性能和可靠性制约了整个总线的性能和可靠性。目前,1553B 总线终端所用收发器的传输速率为 1 Mbps,已经不能满足系统应用的需求,成为 1553B 总线系统应用的技术瓶颈。

1 系统结构综述

1553B 收发器主要由发送器和接收器两部分组成。发送器是由逻辑控制部分和整形驱动电路组成。接收器是由限幅滤波电路、共模电平调整电路、幅值调整电路、判决电路和逻辑电路组成。为了减少面积,降

收稿日期:2013-12-11

修回日期:2014-03-13

网络出版时间:2014-07-28

基金项目:国家“十二五”微电子预研(51308010601);中国航空工业集团公司创新基金(2010 BD63111)

作者简介:王 晋(1973-),男,山西翼城人,博士,研究方向为模拟集成电路设计;田 泽,博士,研究员,研究方向为 SoC 设计、嵌入式系统设计与 VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20140728.1230.060.html>

低成本,本收发器将发送器的信号输出端口和接收器的信号输入端口合并,由单向 IO 端口变为双向端口减少了管脚数目。下面对发送器和接收器中的主要模块进行分析和介绍。

(1) 发送器。

发送器的主要功能是将接收到的数据经过处理后发送到总线上。发送器接收到的数据为互补 CMOS 数据,数据的码格式为双相位曼码 II 型。发送器将接收到的数据经过逻辑控制处理后,经整形驱动电路转换为差分信号发送到总线上。本收发器中的整形驱动电路采用伪差分结构,即采用两个相同的整形驱动电路产生差分信号。为了保证伪差分整形驱动电路正常工作,需要逻辑控制电路对输入信号进行处理后再进行整形驱动。发送器的输出负载就是隔离变压器,驱动电路的差分输出直接驱动隔离变压器的正负输入端。

(2) 接收器。

接收器的主要功能是从总线上接收双相位差分信号,经过限幅、滤波、判决和逻辑处理后产生互补 CMOS 输出数据。接收器接收的数据信号是来自于总线,信号的幅值变化比较大。一般来说,信号的幅值越大对元器件和处理电路的要求越高,例如大的输入和输出范围,高的压摆率等。另外,本收发器采用 3.3 V 电源以及低功耗设计,因此,接收机必须对输入信号进行衰减和限幅处理。接收机收到的信号是通过总线传输的,在传输过程中很容易受到外界高频噪声以及电磁干扰的影响。如果这些干扰信号不消除,就会影响接收器接收数据的准确性。因此,为了保障接收机的准确性,降低误码率,在信号通路上加入滤波器对高频噪声进行滤除。信号经过限幅、滤波后,信号的直流电平会发生偏移。直流电平偏移后,会引起判决电路发生误判,从而导致接收错误。为了防止直流电平偏移造成错误判决,提高判决的准确性,引入电平调整电路以及幅值放大电路。信号经过限幅、滤波、电平调整、幅值放大后,由判决电路进行判决,判决结果经逻辑控制电路处理后就得到接收数据。根据以上分析,接收器主要是由限幅电路、滤波器、电平调整电路、幅值放大电路、判决电路和逻辑控制等组成。

2 电路分析与设计

2.1 发送器

发送器主要由逻辑控制部分和整形驱动电路两部分组成。逻辑控制电路对输入差分曼码信号进行处理,得到两个互补控制信号。这两个互补控制信号分别控制两路整形驱动电路。由于总线协议对发送器的输出信号(在隔离变压器输出端 Stub)的电压范围 V_{pp}

和上升/下降沿时间进行了定义和限制,为了保证输出到总线的信号符合协议规定,发送器需要整形驱动电路对驱动隔离变压器的信号进行整形处理,并具有较强的驱动能力。整形驱动电路的负载是隔离变压器,它的输出电流较大,而且输出信号的幅值恒定,因此整形驱动电路采用线性电压调整(Lined Voltage Regulator)结构^[8],发送器的工作原理图如图 1 所示。

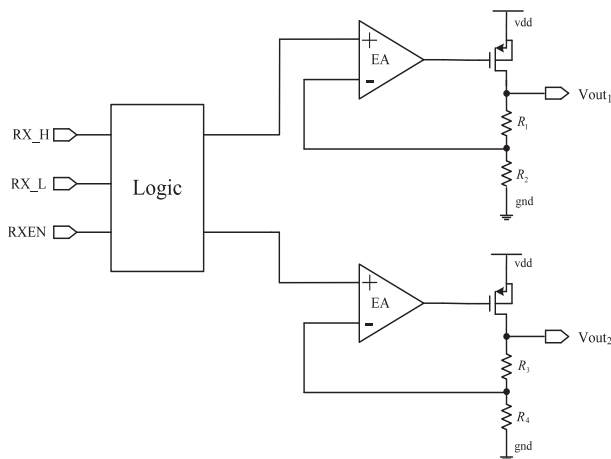


图 1 发送器电路原理图

为了保证电压调整环路的稳定性,以及抑制输出信号过冲的幅值,在环路中进行了频率补偿。电压调整环路的传输函数如下所示。

$$A_{cl}(s) = \frac{A(s)}{1 + \beta A(s)} \approx \frac{1}{\beta}$$

其中, β 为反馈系数,表达式为

$$\beta = \frac{R_2}{R_1 + R_2}$$

增益误差为

$$E(s) = \frac{-1}{1 + \beta A(s)}$$

2.2 接收器

接收器首先将接收到的信号进行限幅滤波处理,降低噪声的影响,然后将处理后信号的共模电平调整至某设定值并将信号幅值进行放大,最后对处理好的信号进行判决产生数字信号完成数据接收。接收器电路主要是由限幅滤波电路、共模电平及信号幅值调整电路、判决电路组成。

2.2.1 限幅滤波电路

接收器的输入信号来自于总线网络,信号在总线上传输时很容易受到外界高频噪声以及电磁干扰的影响。如果这些干扰信号不消除,就会影响接收器接收数据的准确性。因此,为了保障接收机的准确性,降低误码率,在信号通路上加入滤波器对高频噪声进行滤除。

接收器收到的信号来自总线网络,由于总线网络的长度以及传输线类型不同,接收机接收到的信号幅

值大小变化较大。当信号的幅值较大时,为了满足接收速率要求,滤波器中运算放大器的压摆率也随之增大,而运放的压摆率与输出电流成正比,从而输出电流增大导致芯片功耗增加。因此,为了降低功耗接收器首先对输入信号的幅值进行限幅处理。限幅滤波电路结构如图 2 所示,图中的限幅电路部分是由两个肖特基二极管以及有源比例积分器实现。当输入信号幅值大于肖特基二极管的正向导通电压时,输入信号幅值被嵌位在 0.5 V 左右,然后再由有源比例积分器处理;当信号幅值小于肖特基二极管的正向导通电压时,输入信号直接由后面的有源比例积分器处理。有源比例积分器的增益是由环路中的两个电阻的比值决定,增益大小应小于 1。根据系统分析,接收器中滤波器采用 4 阶巴特沃斯型低通滤波器^[9],电路结构如图 2 所示。从图中可以看出,滤波器与限幅电路共用了有源比例积分器,该积分器为 1 阶低通特性,与后面的 3 级级联组成 4 阶低通滤波器,该 4 阶低通滤波器的传输函数为:

$$F(s) = \frac{-1}{sR_1C_1 + \frac{R_1}{R_2}} \cdot \frac{1}{sR_3C_2 + 1} \cdot \frac{1}{s^2R_4R_5C_3C_4 + (R_4C_5 + R_5C_5)s + 1}$$

图 2 限幅滤波电路图

2.2.2 共模电平及信号幅值调整电路

由于隔离变压器的直流损耗,以及信号经过限幅和滤波电路后,输入信号的共模电平会发生偏移,这将严重干扰判决电路对接收信号的判决,影响接收机的准确性。另外,为了保证小幅值信号的正确接收,降低误码率,在输入共模电平调整的同时将信号幅值进行了放大,放大倍数为 2 倍。

为了实现对信号共模电平及幅值的调整,提出一种电路结构,它的工作原理如图 3 所示。

从图中可以看出,该电路是由一个积分器和一个两倍增益放大电路组成。积分器的正相输入接参考电压,即理想的直流电平,另一端接两倍增益放大电路的输出;积分器的输出接增益放大电路的正相输入端。当积分器对放大电路的输出信号进行积分时,由于积分器的低通特性,积分器的输出即为输入信号的直流电平。当积分器的输出变化时,放大电路的输出信号直流电平也随之变化。由于积分器和放大电路构成一

个负反馈环路,当放大电路的输出信号的直流电平大于参考电压值时,积分器的输出向减小的方向积分;当输出信号的直流电平小于参考电压值时,积分器的输出向增大的方向积分。由于这个负反馈环路的存在,从而确保了输出信号的直流电平稳定在参考电压值附近。

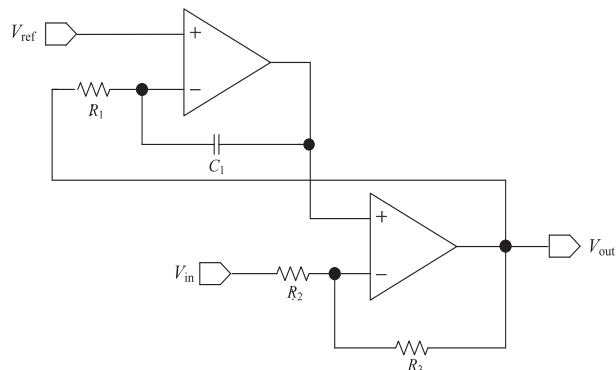


图 3 共模电平与幅值调整电路

信号幅值放大电路采用反相端输入的闭环结构,放大倍数由电阻 R_3 和 R_2 的比值决定,即为

$$A_{CL} = -\frac{R_3}{R_2}$$

当 $R_3 = 2R_2$ 时,

$$A_{CL} = -2$$

2.2.3 判决电路

判决电路的作用是将整形后的信号与参考电压进行比较产生数字信号,从而完成数据接收。判决电路的结构如图 4 所示,它是由两个比较器^[10-11]、参考电压电路以及电压缓冲器组成。两个参考电压以整形后信号的共模电压为中间值,并且这两个参考电压与共模电压的电压差相等,即满足下式:

$$V_{ref1} - V_{com} = V_{com} - V_{ref2}$$

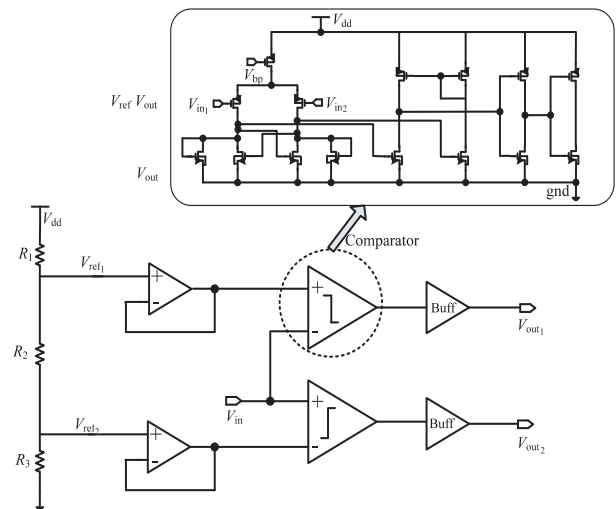


图 4 判决电路图

2.2.4 轨对轨运算放大器

在限幅滤波电路、共模电平与幅值调整电路中应

用了多个运算放大器,运放的性能直接影响了上述电路的性能。由于滤波器对输入和输出信号幅度都有较高要求,因此采用如图 5 所示的高性能运算放大器。

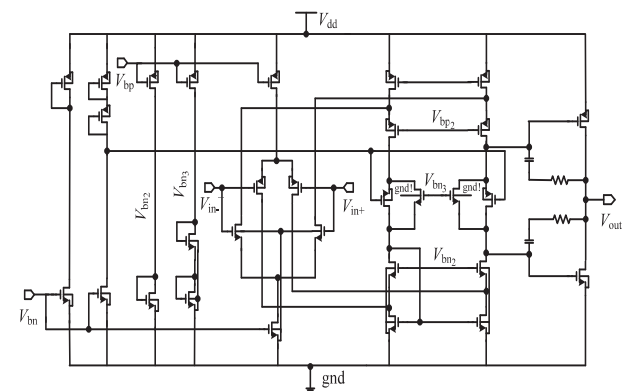


图 5 轨对轨运算放大器电路图

该运算放大器采用轨对轨输入级结构,即由两组差分对构成,一组为 PMOS 差分对管,另一组为 NMOS 差分对管。根据输入共模电压的不同,该轨对轨输入级工作在三个区域^[12-14]。当共模输入电平接近 V_{DD} 时,PMOS 差分对管处于截止状态,只有 NMOS 差分输入对管处于放大状态;当输入共模电平接近 V_{GND} 时,NMOS 对管处于截止状态,只有 PMOS 差分对管工作;当共模输入电平处于中间状态时,PMOS 和 NMOS 差分对管同时工作。那么,轨对轨输入级的共模输入范围为: $V_{GND} < V_{CM} < V_{DD}$ 。

该运放采用两级放大结构,第一级采用折叠共源共栅放大器,第二级采用推挽式共源放大输出级结构。另外,该运算放大器采用浮动电流源对输出管的栅极进行动态控制,即浮动电流源与共源输出形成跨导环^[15],当浮动电流源的电流随着输入信号变化时,共源输出级的输出电流也随之改变,从而获得近似轨对轨(Rail-to-Rail)的输出摆幅和大动态输出,有效利用电源电压范围。由于该运放以闭环形式工作,因此必须考虑运放的环路稳定性,采用引入零点和米勒电容方法进行频率补偿。

3 芯片实现及仿真测试

为了验证收发器的功能及性能,采用 Verilog 语言编写了 1553B 协议处理器模块,并利用 Cadence AMS 仿真方法设计了一个混合信号仿真环境。在该混合仿真环境下,1553B 协议处理器反复发送 8000、7FFF、0000、FFFF、5555 和 AAAA 关键字,收发器接收后再发送给协议处理器,协议处理器将接收到的数据与发送的数据进行比较,通过判断发送数据与接收数据是否一致来验证收发器的功能是否正确。通过混合信号仿

真结果可知,协议处理发送的数据与接收数据一致,表明该收发器芯片功能正确。

4 结束语

文中设计采用标准 0.35 μm 3.3 V CMOS 工艺实现了 1/2 Mbps 1553B 收发器。芯片测试结果表明,在 1 Mbps 速率下,该收发器完全满足 1553B 总线协议要求。在 2 Mbps 速率下,收发器的传输误码率小于 10^{-12} 。与工作电压为 5 V 的 1553B 收发器相比,采用 3.3 V 工作电压的 1553B 收发器芯片的功耗降低很多,同时可满足先进电子系统对小型化、低电压 1553B 收发器的需求。

参考文献:

- [1] 田苗,刘爱元.一种机载配电系统 1553B 总线设计[J].海军航空工程学院学报,2013,28(2):205-208.
- [2] 朱予辰,冯冬芹.EPA 总线和 1553B 总线的性能比较分析[J].计算机工程,2011,37(S1):316-319.
- [3] 许宏杰,田泽,袁晓军.高速 1553B IP 核的设计与实现[J].计算机技术与发展,2009,19(12):154-157.
- [4] 林强,熊华钢,张其善.光纤通道中的 1553 总线技术[J].航空电子技术,2004,35(1):1-5.
- [5] 郭蒙,田泽,蔡叶芳,等.1553B 总线接口 SoC 验证平台的实现[J].航空计算技术,2008,38(6):99-101.
- [6] 易凡,雷杰.1553B 总线在某制导控制系统中的设计与实现[J].航空兵器,2011(2):61-64.
- [7] 刘飞.航空电子系统 MIL-STD-1553 通信网络接口验证测试[J].航空电子技术,2006,37(2):31-37.
- [8] Allen P E, Holberg D R. CMOS analog circuit design[M]. 2nd ed. [s. l.]: [s. n.], 2002.
- [9] Su K. Analog filters[M]. 2nd ed. [s. l.]: Kluwer Academic Publishers, 2002.
- [10] Razavi B. Design of analog CMOS integrated circuits[M]. [s. l.]: McGraw-Hill Education, 2000.
- [11] Gregorian R. Introduction to CMOS OP-AMPS and comparators[M]. [s. l.]: [s. n.], 1999.
- [12] Huijsing J. Operational amplifiers theory and design[M]. 2nd ed. [s. l.]: Springer, 2011.
- [13] Sakurai S, Ismail M. Robust design of rail-to-rail CMOS operational amplifier for a low powers supply voltage[J]. IEEE Journal of Solid State Circuits, 1996, 31(2): 146-156.
- [14] Huijsing J H, Linebarger D. Low-voltage operational amplifier with rail-to-rail input and output ranges[J]. IEEE Journal of Solid State Circuits, 1985, 20(6): 1144-1150.
- [15] Langen K J, De Hogervorst R, Huijsing J h. Translinear circuits in low-voltage operational amplifiers[M]. [s. l.]: Kluwer Academic Publishers, 1996.

一种CMOS1/2Mbps3.3V1553B收发器的设计与实现

作者: [王晋](#), [田泽](#), [张文博](#), [WANG Jin](#), [TIAN Ze](#), [ZHANG Wen-bo](#)
作者单位: [中国航空计算技术研究所, 陕西 西安, 710119](#)
刊名: [计算机技术与发展](#) 
英文刊名: [Computer Technology and Development](#)
年, 卷(期): 2014(11)

本文链接: http://d.wanfangdata.com.cn/Periodical_wjfz201411063.aspx