

一种 VESA 转 RapidIO 接口的设计与实现

王玉欢,田泽,杨海波,李攀,许政

(中国航空计算技术研究所,陕西西安 710119)

摘要:在现代通信技术中,为了提高 VESA 视频数据的传输和处理速率,VESA 视频数据通常要通过高速串行总线 RapidIO 传输到主机或 DSP 中。因此,传输时必须在 VESA 接口和 RapidIO 接口之间添加时序转换电路。为了解决传统方法中通过时序转换电路直接进行时序转换所带来的设计复杂、可移植性差等问题,文中基于应用需求,提出一种用 DPRAM 将 VESA 接口与 RapidIO 的 DMA 接口隔离的架构,设计并实现了一种 VESA 到 RapidIO 接口的转接桥,以满足二者之间的通信需求。功能仿真和工程实践表明,该转接桥工作稳定,性能良好,较好地满足了应用需求。

关键词:视频电子标准协会;RapidIO;转接桥;DPRAM

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2014)10-0115-04

doi:10.3969/j.issn.1673-629X.2014.10.027

Design and Implementation of a VESA/RapidIO Interface

WANG Yu-huan, TIAN Ze, YANG Hai-bo, LI Pan, XU Zheng

(Aeronautical Computing Technique Research Institute, Xi'an 710119, China)

Abstract: In the modern communication technology, the video data is usually transmitted to hosts or DSPs through high-speed serial bus RapidIO for improving its transmitting and processing speed. Therefore, a conversion circuit of timing must be added between VESA interface and RapidIO interface. To make up for the deficiencies, such as complex design and poor transportability, as a result of changing the timing directly in the traditional way, offer an architecture segregating the VESA interface and RapidIO interface with the DPRAM in this paper, design and implement a VESA to RapidIO bridge in order to satisfy the demands of the communication between them. The functional simulation and engineering practice shows that it works well and has good performance, meeting the application requirement better.

Key words: VESA; RapidIO; bridge; DPRAM

0 引言

随着通信技术的不断发展,计算机对数据传输和处理的速率也有了越来越高的要求,视频数据传输中,传统的 VESA 总线却存在速度不佳、占用 CPU 总线等问题。因此,目前在 VESA 视频数据传输过程中,数据通常需要通过高速串行总线 RapidIO 等传至主机或 DSP 端,数据传输时必须在 VESA 接口和 RapidIO 接口之间添加时序转换电路,从而保证其高速、稳定、有效的传输。

为了解决传统方法中通过时序转换电路直接进行时序转换所带来的设计复杂、可移植性差等问题,文中基于应用需求,提出一种用 DPRAM 将 VESA 接口与 RapidIO 的 DMA 接口隔离的体系架构。在此基础上,

设计并实现了一种 VESA 到 RapidIO 接口的转接桥,并且通过仿真验证工具以及板级验证对该设计实现进行了功能仿真。该设计目前应用在某型视频传输模块中,工作稳定,性能良好,较好满足了 VESA 接口与 RapidIO 接口之间的通信需求,对于其他类似的接口转换设计具有一定的借鉴意义。

VESA (Video Electronics Standards Association), 全称视频电子标准协会^[1], 主要致力于制订并推广显示相关标准,其成立初衷是为制定 VGA 解析度(800×600)视讯标准,随后其又陆续规定了各种分辨率和刷新频率的显示监视器定时标准,简称 VESA 标准^[2]。

VESA 总线定义为一条 32 位标准的计算机局部总线,是针对多媒体 PC 要求高速传送活动图像的大

收稿日期:2013-11-30

修回日期:2014-03-05

网络出版时间:2014-07-28

基金项目:“十二五”微电子预研(51308010601);中国航空工业集团公司创新基金(2010BD63111)

作者简介:王玉欢(1984-),女,陕西西安人,硕士,研究方向为集成电路设计;田泽,博士,研究员,研究方向为 SoC 设计、嵌入式系统设计和 VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20140728.1224.026.html>

量数据制定的。其定义的 32 位数据线可通过扩展槽扩展到 64 位,使用 33 MHz 时钟频率,最大传输率达 132 MB/s,可与 CPU 同步工作^[3];但也因其许多引线引自 CPU,负载能力相对较差,随着 Pentium 级计算机的不断普及,VESA 总线逐渐被 PCI 总线、RapidIO 总线等产品所替代。因此,VESA 视频数据的传输通常需要经过其他高速总线传输到主机或 DSP 上。

RapidIO 总线互连技术最早源于 Mercury Computing 公司为其信号处理设备开发的专用构造,后来为推动其应用而形成为一项开放的标准。

RapidIO 标准协议^[4-5]满足嵌入式基础设施在应用方面的广泛需求,可行应用主要有连接多处理器、存储器、网络设备中的存储器映射 I/O 器件、存储器系统

和通用计算平台。作为一种基于可靠性的开放式互连架构标准,RapidIO 以其高效率、低系统成本、高稳定性^[6]的特点,为嵌入式系统各器件间提供了高带宽、低时延的数据传输解决方案,同时,它也具备支持点对点或点对多点的通信、DMA 操作、消息传递模式交换数据以及多种拓扑结构等功能。

1 体系架构设计

文中提出一种用 DPRAM 将 VESA 接口与 RapidIO 的 DMA 接口隔离的体系架构^[7-8]。这一架构主要用于实现 VESA 接口到 RapidIO 接口间信号的时序转换。该电路的体系架构总体结构^[9]如图 1 所示。

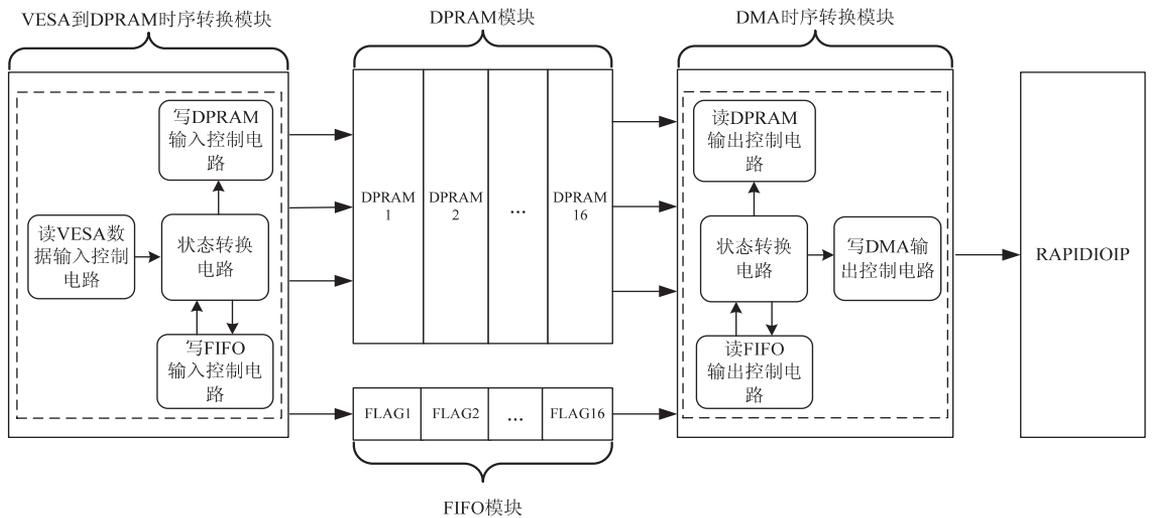


图 1 体系架构总体结构

如图 1 所示,设计由 VESA 到 DPRAM 时序转换模块、DPRAM 模块、FIFO 模块以及 DMA 时序转换模块组成。

区别于传统的直接采取 VESA 到 RapidIO 接口的时序转换的模式,文中设计的 VESA 到 RapidIO 转接桥将需要传输的 VESA 视频数据通过 VESA 到 DPRAM 时序转换模块存储在 DPRAM 模块当中,再经由 DMA 时序转换模块将数据包传送至 RapidIO 模块中。

由于在数据传输两端口之间插入了 DPRAM^[10],使得该转接桥可以对时钟域进行隔离,简化对应的接口转换;另外,该转接桥具有较强的可移植性,可以在 VESA 视频数据到任意主机接口时序转换中复用,或是在其他接口到 RapidIO 接口的时序转换中复用。

2 电路设计与实现

如上所述,VESA 视频数据到 RapidIO 接口的转接桥由 VESA 到 DPRAM 时序转换模块、DPRAM 模块、FIFO 模块以及 DMA 时序转换模块^[11-12]这四部分

组成,各部分功能依次如下。

(1) VESA 到 DPRAM 时序转换模块:用于采集 VESA 视频数据并将数据存储在 DPRAM 中,每写满一个缓冲区(512 个字)时,通过写 FIFO 模块置标识位,如果是一帧视频数据的起始 512 个字,FIFO 写 1;否则,FIFO 写 0。

(2) DPRAM 模块:用于缓存 VESA 视频数据,分为 16 个缓存区,每个缓存区大小为 512 个字,总容量为 8 192 个字。

(3) FIFO 模块:用于标识 DPRAM 中缓存的数据,宽度为 1,深度为 16,16 深度对应于 DPRAM 模块中的 16 个缓存区。

(4) DMA 时序转换模块:主要用于实现将 DPRAM 中的缓存数据读取并且发送到下级 RapidIO 模块的 DMA 接口上。该模块内部电路及外部接口如图 2 所示。

如图 2 所示,DMA 时序转换模块中"dpram_addr"、"dpram_dout"接口连接 DPRAM 模块,"fifo_empty"、"fifo_dout"、"fifo_rd_en"接口连接 FIFO 模块,"

msg_rev_rd"、"msg_rev_data" 等其余接口连接 RA-
PIDIO IP 模块。

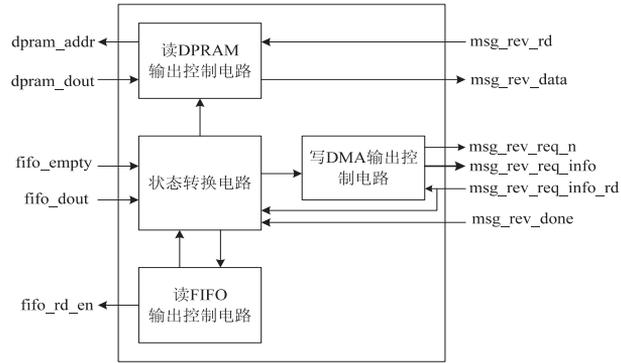


图 2 DMA 时序转换模块内部结构及外部接口

DMA 时序转换模块工作时,首先通过"fifo_empty"来判定 FIFO 模块空满状态,若非空,则通过"fifo_rd_en"接口反馈给 FIFO 模块读使能信号,并由"fifo_dout"接口读取 FIFO 模块中的数据。整个流程相当于对 FIFO 模块进行实时检测,检测到 FIFO 有数据时即开始从 DPRAM 模块中读取数据。这一模块的逻辑功能主要由内部的时序转换状态机来完成。

时序转换状态机包括以下状态:

- (1) IDLE:空闲等待状态,系统复位后即处于此状态;
- (2) RD_FIFO_FIRST:首次读取 FIFO 状态;
- (3) REV_REQ:数据块消息接收 DMA 请求状态;
- (4) RD_DPRAM:读取 DPRAM 状态;
- (5) RD_WAIT:传输完成、再次空闲等待状态;
- (6) RD_FIFO:非首次读取 FIFO 状态。

时序转换状态机转换如图 3 所示。

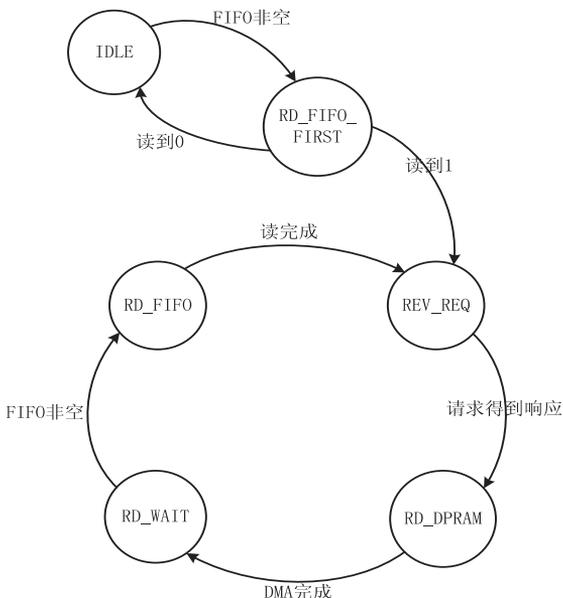


图 3 时序转换状态机状态图

其工作流程如下:

- (1) 状态机复位之后,处于 IDLE 状态。

(2) 当需要进行 VESA 数据传输时,首先判定 FIFO 是否为空,若空,则保持 IDLE 状态;若非空,则反馈读使能信号,并跳转至 RD_FIFO_FIRST 状态。

(3) 在 RD_FIFO_FIRST 状态下开始读取 FIFO 数据,根据“0”或者“1”时判定是否为一个新的视频帧起始,当数据为“1”(即确定为一个视频帧起始时),跳转至 REV_REQ 状态。

(4) 在 REV_REQ 状态,DMA 时序转换模块内部电路向 RapidIO IP 模块发出 DMA 请求,并在得到响应后将长度为 512 个字、目的地址为起始地址的 DMA 请求信息发出,然后,读取 DPRAM 中对应的缓冲区,开始向下级模块传送 512 个字的视频数据。

(5) 在 RD_DPRAM 状态,保持数据传输,并根据数据块消息接收数据 DMA 完成指示信号来判断传输过程是否完成,如果完成,跳转至 RD_WAIT 状态。

(6) 传输完成后,系统再次对 FIFO 进行检测,若空,保持等待;若非空,跳转至 RD_FIFO 状态。

(7) 在 RD_FIFO 状态下再次读取 FIFO 数据,若数据为“0”,电路向 RapidIO IP 模块发出 DMA 请求,并在得到响应后将长度为 512 个字、目的地址增加 512 个字的 DMA 请求信息发出,然后,读取 DPRAM 对应的缓冲区,开始向下级模块传送 512 个字的视频数据,最后,跳转回 RD_FIFO 状态;若数据为“1”,跳转至 REV_REQ 状态,重复 4~6 状态过程。

VESA 视频数据包最终经过 DMA 时序转换电路、RapidIO IP 模块传送至 RapidIO 链路上。表 1 列出了 DMA 时序转换模块相关的接口信号以及信号描述。

DMA 时序转换模块内部时序转换过程从数据块消息接收 DMA 请求信号有效开始,依次等待数据块消息接收 DMA 请求信息信号和数据块消息接收数据读使能信号的响应,开始向 RapidIO IP 模块提供有效数据。

数据传输中,当 DMA 时序转换模块接收到主机端发送的数据块消息接收数据 DMA 完成指示信号时,结束传输过程。

完整的时序转换过程如图 4 所示。

3 仿真及验证

文中的设计采用 Verilog HDL 编码实现,采用 Cadence 公司的 NC-sim 仿真验证^[13]工具进行验证。通过对读写 VESA 视频数据及转换过程的仿真验证,分析验证结果表明,VESA 视频数据通过高速串行总线 RapidIO 传输到主机或 DSP 中的这一转换过程可以正常完成。

时序转换模块仿真验证以及内部状态机波形如图 5 所示。

表 1 DMA 时序转换模块相关的接口信号

信号名称	方向(对时序模块接口而言)	位宽	是否跨时钟域	描述
dpram_addr	Out	12	否	DPRAM 数据发送地址信号,12 位宽,其中高 4 位译码用来划分 16 个缓存区,低 8 位用来做 512 个字的缓存区
dpram_dout	In	64	否	DPRAM 输出数据,64 位宽,匹配 RapidIO 接口格式,在 msg_rev_rd 有效的下一周期提供有效数据
fifo_empty	In	1	否	FIFO 空状态判定信号,用来判定 FIFO 当前是否为空,“1”为空,“0”为非空
fifo_rd_en	Out	1	否	FIFO 数据读使能信号,高电平有效
fifo_dout	In	1	否	FIFO 数据,1 位宽,在 fifo_rd_en 有效的下一周期提供有效数据,其中“1”表示一个视频帧信号的起始
msg_rev_req_n	Out	1	否	数据块消息接收 DMA 请求信号,低有效。有效时表示存在新的数据块消息接收 DMA 请求
msg_rev_req_info_rd	In	1	否	数据块消息接收 DMA 请求信息读取信号,高有效
msg_rev_req_info	Out	40	否	数据块消息接收 DMA 请求信息,在 msg_rev_req_info_rd 有效的下一周期有效 [39:30]:数据块消息接收 DMA 长度,以字为单位。不会出现 0 长度的请求 [29:0]:数据块消息接收 DMA 数据在主机内存中的基地址,为字地址,双字对齐(即[0]位常 0)
msg_rev_rd	In	1	否	数据块消息接收数据读使能,高电平有效
msg_rev_data	Out	64	否	数据块消息接收数据,64 位宽,在 msg_rev_rd 有效的下一周期提供有效数据(当数据块消息接收 DMA 请求长度为奇数个字的时候,最后一个 64 位接收数据高 32 位无效)
msg_rev_done	In	1	是	数据块消息接收数据 DMA 完成指示信号,高电平有效,宽度维持 6 个主机接口模块后端时钟周期

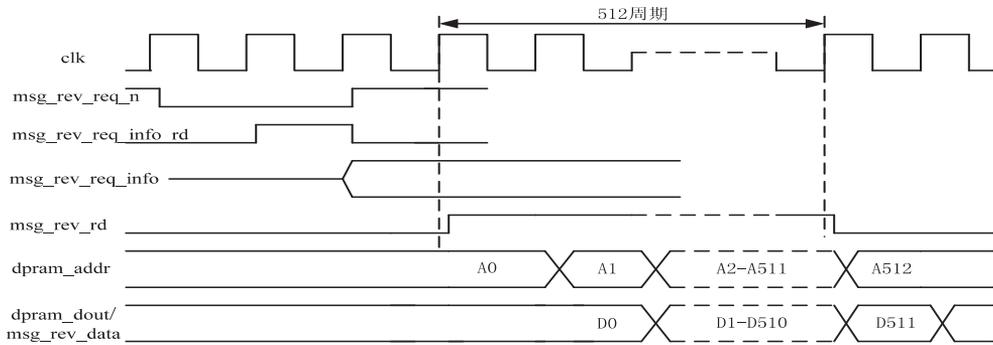


图 4 DMA 时序转换模块中数据传输时序图

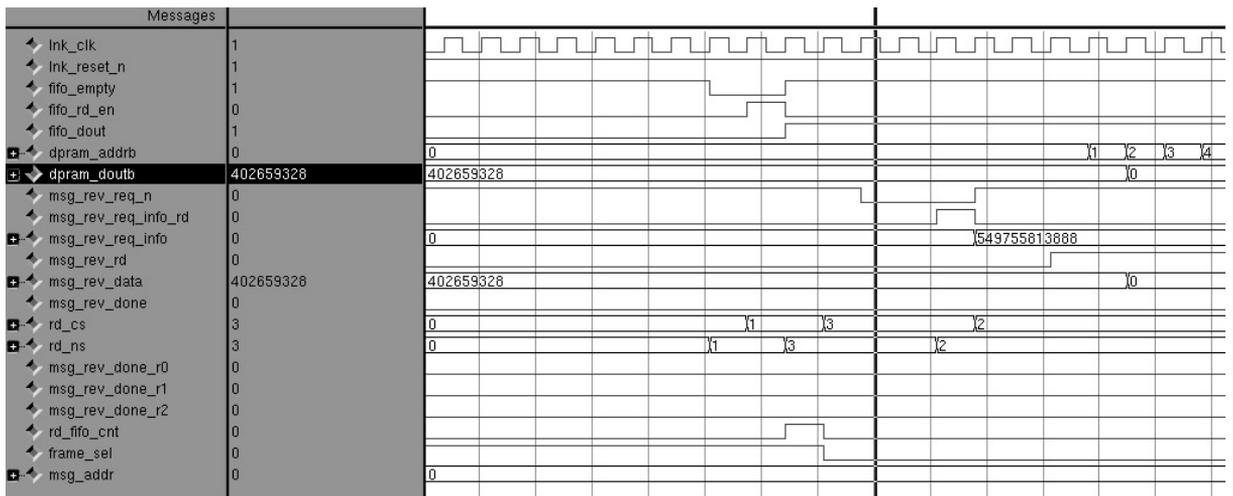


图 5 DMA 时序转换模块时序图仿真波形

由图 5 可以看出,复位之后,在 FIFO 非空且内部数据为“1”时,DMA 时序转换模块数据块消息接收 DMA 请求,得到响应后,发送数据块消息接收 DMA

请求信息,再次得到读使能响应后,经过一系列处理,最终传送数据至 RapidIO 链路。

(下转第 123 页)

s 内接收消息总数明显超过传统过载机制。

在未来,Web Service 控制器将会是一个分布式架构,充当 Parlay X 和 Parlay 适配器的角色。而在分布式情况下,服务器的负载瞬间变化可能会很快,此前所测负载值和现在负载情况相差甚大。那么未来将进一步研究分布式 Parlay X 过载,避免出现负载变化过快导致资源浪费和服务器过载的情况。

参考文献:

- [1] 基于互联网服务(Web Service)的开放业务接入应用程序接口(Parlay X)技术要求[S]. YDT_1661-2007,2007.
- [2] 曾 蒸. 下一代网络 NGN 技术探析[J]. 重庆工学院学报, 2007,21(17):149-153.
- [3] Forsy L J. Performance analysis of a new overload strategy [C]//Proceedings of the tenth international teletraffic congress. Montreal; [s. n.], 1983.
- [4] Pham X H, Betts R. Congestion control for intelligent networks [C]//Proc of international Zurich seminar on digital communications. Zurich; IEEE, 1992.
- [5] Kihl M, Nyberg C. Investigation of overload control algorithms for SCPs in the intelligent network [J]. IEE Proceedings of Communications, 1997, 144(6):419-423.
- [6] Melen R, Moiso C, Tognon S. Performance evaluation of a Par-

lay gateway [C]//Proc of 7th international conference on intelligence in next generation networks. [s. l.]: [s. n.], 2001:181-184.

- [7] Dahlin M. Interpreting stale load information[J]. IEEE Transactions on Parallel And Distributed Systems, 2000, 11(10): 1033-1047.
- [8] Berger A W. Overload control using rate control throttle; selecting token bank capacity for robustness to arrival rates[J]. IEEE Transactions on Automatic Control, 1991, 36(2):216-219.
- [9] 徐莉娜. 基于 NGN 的第三方多业务融合的研究[D]. 上海:上海大学,2007.
- [10] Lee Y, Song J S. Overload control of SCP in advanced intelligent network with fairness and priority[J]. Computer Communication, 1999, 22(2):137-143.
- [11] 郑劲松. Parlay X 技术研究[J]. 现代情报, 2006, 26(2): 193-195.
- [12] 陈华平, 计永昶, 陈国良. 分布式动态负载平衡调度的一个通用模型[J]. 软件学报, 1998, 9(1):25-29.
- [13] 李玉福, 李胜利. 一种基于 CORBA 的可适应的负载平衡模型[J]. 华中科技大学学报, 2001, 29(12):84-86.
- [14] 李永平, 邹 华. 应用服务器的负载平衡技术和实现方案[J]. 电信科学, 2003, 19(10):15-18.

(上接第 118 页)

通过仿真验证表明,仿真结果与设计预期所要求的结果一致,满足设计要求。

4 结束语

文中为了解决在 VESA 视频数据通过 RapidIO 接口向主机或 DSP 传输中,传统方法的时序转换电路直接进行时序转换所带来的设计复杂、可移植性差等问题,提出用 DPRAM 将 VESA 接口与 RapidIO 的 DMA 接口隔离的体系架构,在此基础上,详细论述 VESA 转 RapidIO 接口的设计与实现。并且通过仿真验证工具以及板级验证对该设计实现进行了功能仿真及测试。

功能仿真和工程实践表明,该转接桥工作稳定,性能良好,较好地满足了 VESA 接口与 RapidIO 接口之间的通信需求,并且对于其他类似的接口转换设计具有一定的借鉴意义。

参考文献:

- [1] VESA and industry standards and guidelines for computer Display Monitor Timing (DMT) [S]. 2004.
- [2] 陈跃军,姜文博. 基于 DOS 操作系统下的高分辨率图形显示[J]. 黑龙江科技信息, 2011(21):101-101.
- [3] 赵艳军,何其锐,施锡涛. 基于 DVI 和 FPGA 的视频叠加器

设计[J]. 电子技术应用, 2011, 37(6):31-34.

- [4] RapidIO Trade Association. RapidIO interconnect specification (Rev. 2.1) [S]. [s. l.]:RapidIO Trade Association, 2009.
- [5] RapidIO Trade Association. RapidIO interconnect specification (Rev. 1.3) [S]. [s. l.]:RapidIO Trade Association, 2005.
- [6] 马春江,牛文生,孙靖国. 几种串行总线互连技术分析[J]. 航空计算技术, 2007, 37(5):127-130.
- [7] 聂新义,孙柯柯,马克杰. PCI 转 RapidIO 桥的设计与实现[J]. 计算机工程, 2010, 36(3):246-248.
- [8] 林国欢,胡封林,吴虎成. RapidIO 到 AXI 接口转接桥的设计与实现[C]//第十七届计算机工程与工艺年会论文集. 西安:国防科技大学出版社, 2013.
- [9] Hennessy J L, David A. Patterson computer architecture: a quantitative approach[M]. [s. l.]:Elsevier Science, 2003.
- [10] 陈世健,张 铁. 基于 DPRAM 的数据实时采集系统的研究[J]. 微计算机信息, 2009(10):84-85.
- [11] ACEX 1K data sheet [EB/OL]. 2003. <http://www.altera.com>.
- [12] 方湘艳,袁由光,韩 威. 基于 FPGA 的 PCI 到 ISA 总线转换芯片的设计与实现[J]. 计算机工程和应用, 2006, 42(33):83-87.
- [13] 杨海波,田 泽,蔡叶芳,等. 基于 FPGA 的多功能 FC 协议分析仪设计[J]. 计算机技术与发展, 2013, 23(7):214-217.

一种VESA转RapidIO接口的设计与实现

作者: [王玉欢](#), [田泽](#), [杨海波](#), [李攀](#), [许政](#), [WANG Yu-huan](#), [TIAN Ze](#), [YANG Hai-bo](#),
[LI Pan](#), [XU Zheng](#)
作者单位: [中国航空计算技术研究所, 陕西 西安, 710119](#)
刊名: [计算机技术与发展](#) 
英文刊名: [Computer Technology and Development](#)
年, 卷(期): [2014\(10\)](#)

本文链接: http://d.g.wanfangdata.com.cn/Periodical_wjz201410028.aspx