

一种 RapidIO IP 核的设计与验证

蔡叶芳,田 泽,李 攀,何嘉文

(中国航空计算技术研究所,陕西 西安 710119)

摘 要: RapidIO 总线是第三代总线的代表,是处理器之间实现互联的最佳选择。但国内对于此技术的研究尚处于起步阶段,使用者也多以购买国外成熟 IP 为主。文中基于 RapidIO V1.3 协议,介绍了一种 RapidIO 总线的设计和实现方法,之后对其进行了全面的虚拟平台测试和 FPGA 平台测试。测试结果表明,该 RapidIO 总线符合 RapidIO V1.3 协议,且设计实现方式简单,复用性好,可以作为 RapidIO 接口方便地应用于 FPGA 和芯片设计中。

关键词: RapidIO; IP 核设计; 验证方法

中图分类号: TP39

文献标识码: A

文章编号: 1673-629X(2014)10-0097-04

doi: 10.3969/j.issn.1673-629X.2014.10.023

Design and Implementation of a RapidIO IP Core

CAI Ye-fang, TIAN Ze, LI Pan, HE Jia-wen

(Aeronautical Computing Technique Research Institute, Xi'an 710119, China)

Abstract: The RapidIO bus as one of the representatives of the third generation bus, is the best choice of the interconnection between processors. But in the domestic, the study of RapidIO bus is just begun, and the RapidIO IP is bought from outland mostly. Based on the RapidIO V1.3 protocol, describe a design and implementation method for the RapidIO bus, and has carried on the comprehensive test in virtual platform and FPGA platform. The simulation result shows that, this design meets the RapidIO V1.3 protocol, and is simple to implement, has good reusability, and can be easily used in the design of FPGA and chip as RapidIO interface.

Key words: RapidIO; IP core design; verification method

0 引 言

RapidIO 总线是第三代总线的代表,其总线频率高、外部引脚少、延迟低、可靠性高等特点,成为嵌入式计算机领域应用极为广泛的一种总线,是处理器之间实现互联的最佳选择。虽然 RapidIO 技术在国外已经有了广泛的应用,但在国内这项技术的研究与应用还处于起步阶段。国内各厂商和科研机构关注此技术的仍然较少,且多以直接购买国外 IP 核为主,没有自主实现 RapidIO V1.3 协议的机构。

文中基于 RapidIO V1.3 协议,设计并实现了一种 RapidIO 总线,对其进行了全面的虚拟平台测试和 FPGA 平台测试。结果表明, RapidIO 总线符合 RapidIO V1.3 协议,且设计实现方式简单,复用性好,可作为 RapidIO 接口方便地应用于 FPGA 和芯片设计中。

1 RapidIO 总线介绍

近 30 年来,计算技术取得了长足的发展。如图 1 所示,计算机中的处理器和总线的性能都有很大的增长。但相比之下,与周边部件通讯的总线性能的增加幅度却远远不能满足处理器性能增加的要求,因此,总线接口成为影响计算机系统性能的瓶颈之一^[1]。

为了更好地解决传统总线传输数据能力不足的问题,近些年来相继涌现出了许多新一代串行总线技术,如 RapidIO、InfiniBand、PCI Express、HyperTransport 等,这些总线都具有高带宽、低延迟、高可靠性等特点,均能够较大地提升总线的性能,尤其是 RapidIO 总线,以其总线频率高、外部引脚少、延迟低、可靠性高等特点,成为嵌入式计算机领域应用极为广泛的一种总线。

收稿日期:2013-12-11

修回日期:2014-03-17

网络出版时间:2014-07-28

基金项目:“十二五”微电子预研(51308010601);总装 2012 预研基金(9140A08010712HK61095);中国航空工业集团公司创新基金(2010BD63111)

作者简介:蔡叶芳(1982-),男,陕西宝鸡人,工程师,研究方向为 SoC 设计;田 泽,博士,研究员,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20140728.1228.050.html>

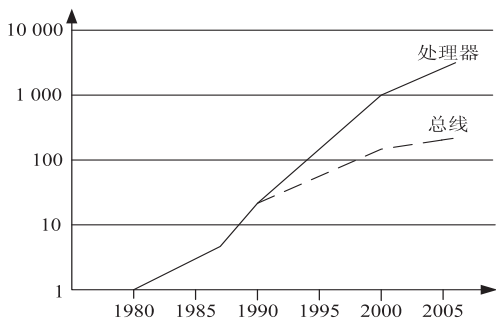


图 1 处理器和总线性能的增长

随着计算、通讯技术的发展, RapidIO 技术被广泛应用到无线通讯基站、高性能云计算、成像、视频监控、音频和视频设备、军事装备、工业控制等领域。目前几乎所有的 4G 基站都采用了 RapidIO 技术, 60% 的 3G 基站也采用 RapidIO 技术, 服务器、巨型计算机系统也是其应用领域之一。有资料显示, 美国“全球鹰”无人机采用并行结构的核心处理计算机, 利用基于 RapidIO 的交换网络构成的背板将 120 个 PowerPC7447 处理器连接起来, 构成并行核心处理平台, 保证了多种类型数据的极速处理^[2]。虽然 RapidIO 技术在国外有了广泛的应用, 但在国内这项技术的研究与应用还处于起步阶段。国内各厂商和科研机构关注此技术的仍然较少, 且多以直接购买国外 IP 核为主, 因此, 对 RapidIO IP 核的设计和实现工作是很有意义的。

2 RapidIO IP 核设计

根据 RapidIO V1.3 协议, RapidIO 协议分为逻辑层、传输层和物理层。逻辑层位于架构的最顶层, 直接与外部连接, 能够完成数据包的发送和接收、对寄存器读写操作、数据包流量控制等功能; 传输层在逻辑层与物理层两部分之间, 定义了 RapidIO 地址空间及数据的路由信息, 起到桥梁的作用; 物理层处于协议的最底部, 此部分实现了一个器件间的全双工串行物理层, 还完成了链路加/去串扰、CRC 校验码的添加和检测及链路错误处理及恢复方法。按照文中的设计要求, 本 RapidIO IP 核仅实现点到点的传输, 因此不需要实现传输层。为更好地完成寄存器访问功能, 将寄存器的管理模块和寄存器组模块独立成一个部分。为实现 RapidIO 协议, 结合 RapidIO IP 核的要求, RapidIO 系统分为 3 个部分, 如图 2 所示。

其中, 逻辑及传输层模块 (Logical/Transport Layer Module), 完成数据包的发送和接收、对寄存器读写操作、数据包流量控制等功能; 物理层模块 (Physical Layer Module), 完成链路加/去串扰、CRC 校验码的添加和检测及链路错误处理及恢复方法; 寄存器管理模块 (Register Manager Module), 负责对寄存器进行读写访问^[3]。

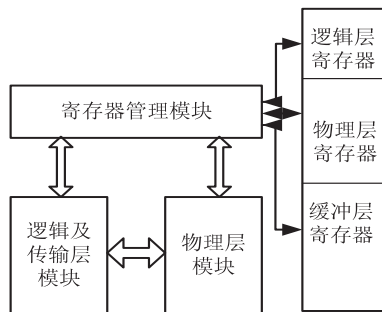


图 2 RapidIO 系统结构

2.1 逻辑及传输层模块的实现

逻辑及传输层模块在 RapidIO 中处于枢纽位置, 实现了逻辑及传输层协议。逻辑及传输层模块分为发送模块、接收模块、缓冲模块、寄存器模块等, 能够完成数据包的发送和接收、对寄存器读写操作、数据包流量控制等功能^[4]。逻辑及传输层分为这四个部分:

(1) 数据包发送部分。在收到数据包的发送地址、待发送的数据、数据包格式、发送数据包的源 ID 和目的 ID 等关键参数, 以 RapidIO V1.3 协议规定的格式, 组成数据包并送入缓冲模块;

(2) 数据包接收部分。将收到的数据包, 依据 RapidIO 协议, 进行拆包操作, 并将得到的各种参数, 如发送地址、待发送的数据、数据包格式、发送数据包的源 ID 和目的 ID 等输出到外部;

(3) 寄存器模块。在收到寄存器管理模块的读写请求后, 按照请求进行处理并返回响应;

(4) 缓冲模块。实现流量控制功能, 并完成数据在逻辑层和物理层之间的时钟同步功能。

2.2 物理层模块的实现

RapidIO 物理层模块定义了链路伙伴间的全双工串行链路, 在每个链路方向上使用单向差分信号。RapidIO 物理层模块支持 RapidIO 器件间的数据包传送, 完成了链路加/去串扰、CRC 校验码的添加和检测及链路错误处理及恢复方法^[5]。

为实现物理层协议所要求的功能, 将物理层分为三个部分: 串行协议层、PCS 层、SERDES 层。串行协议层主要功能为按照物理层协议完成编解码、链路错误处理及恢复方法; PCS 层主要功能为 CRC 校验码的添加和检测、空闲序列生成及完成端口初始化; SERDES 层的主要功能为并/串转换 (PISO)、串/并转换 (SIPO)、8B/10B 编码、10B/8B 解码及“COMMA”检测^[6]。

2.3 寄存器管理模块的实现

寄存器管理模块, 实现了维护读请求和写请求的解析和处理, 维护请求将在此模块中被拆解为逻辑层、物理层、缓冲层的寄存器访问请求, 并被送至相应模块的寄存器模块^[7]。以下三个模块, 即逻辑及传输层寄

寄存器模块、缓冲层寄存器模块、物理层寄存器模块,将对寄存器管理模块发送来的寄存器访问请求进行处理,寄存器管理模块将按照以下步骤进行工作:

(1)外部向寄存器管理模块输入维护访问请求;

(2)维护请求将在此模块中被拆解为逻辑层、物理层、缓冲层的寄存器访问请求,并被送至相应模块的寄存器模块,在完成上一个寄存器访问操作之前,不能进行下一个操作;

(3)逻辑及传输层寄存器模块、缓冲层寄存器模块、物理层寄存器模块,将对寄存器管理模块发送来的寄存器访问请求进行处理;

(4)寄存器管理模块接收到逻辑及传输层寄存器模块、缓冲层寄存器模块、物理层寄存器模块的响应后,将维护响应输出。

3 RapidIO IP 核的验证

随着电路功能复杂程度的不断提高,验证工作逐渐成为 IP 核开发过程中的一项主要任务。目前,IP 核功能和性能验证约占整个开发过程工作量的 60% ~

80%,所以高效的验证方法不仅能保证集成电路设计的正确性,而且是提高集成电路设计效率的关键。

RapidIO IP 核的验证包括基于虚拟平台的验证以及基于 FPGA 平台的验证。基于虚拟平台的验证主要对协议内容进行全面的验证,包括 RapidIO 协议支持的各种基本操作,如 NWRITE、NREAD、SWRITE、NWRITE_R、DOORBELL 等的单次和混合传输验证,以及协议规定的各种处理方法的实现情况验证,如请求包格式、响应包格式、链路训练方式、流量控制方式等的验证,最后进行代码覆盖率验证。基于 FPGA 平台的验证则以稳定性验证和效率验证为主。

3.1 RapidIO IP 核的虚拟平台验证

对 RapidIO IP 的虚拟平台验证中,首先需要根据验证的对象和内容搭建虚拟原型验证平台,基于该平台完成对 RapidIO IP 核的基本操作的验证、协议一致性的验证、代码覆盖率验证等验证内容。

3.1.1 验证平台的搭建

为达到高效、高质量的验证,首先必须搭建符合要求的验证平台。RapidIO 验证平台的结构如图 3 所示。

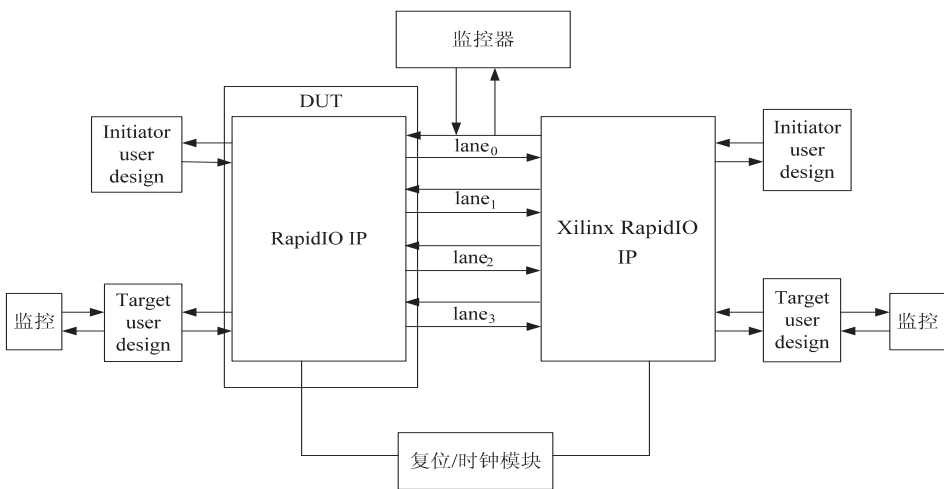


图 3 RapidIO 验证平台的结构

图中 DUT 框中为待验证的 RapidIO IP 核,其链路伙伴为成熟的 Xilinx RapidIO IP 核,两者间用四路串行线进行连接^[8]。在模型中,同时增加了对于 RapidIO 总线进行监控的模块,以便分析总线上发送、接收的数据是否正确^[9-10]。

3.1.2 RapidIO IP 的虚拟平台验证

对 RapidIO 的验证分为以下几个部分,首先针对各项基本操作(NWRITE、NWRITE_R、NREAD、SWRITE、维护操作、门铃)进行验证,该验证采用黑盒法;其次进行协议一致性的验证,该验证采用白盒法。

RapidIO 协议要求的基本操作有 NWRITE、NWRITE_R、NREAD、SWRITE、维护操作、门铃等。下面以整双字的 NWRITE 为例说明 RapidIO 基本操作类型的验证方法。

NWRITE 是 RapidIO V1.3 协议支持的一种写操作,可以用来完成整双字及小于整双字的数据的写操作。从 RapidIO IP 发送 NWRITE 写事务,之后在 Xilinx RapidIO IP 接收写事务,并分析其协议符合性。

按照 RapidIO V1.3 协议规定的时序,一个 RapidIO NWRITE 操作开始于 ireq_sof_n 低有效时,此时信号 ireq_ftype 为 5,信号 ireq_ttype 为 4。表明当前操作为 NWRITE,ireq_prio 表示包的优先级,信号 ireq_dest_id 表明数据的目的 ID,ireq_src_id 表明源设备信息,ireq_tid 是每个数据包的辨识标志,ireq_addr 为数据包的地址,ireq_byte_count 表明数据包的长度,因当前是一个整双字的写操作,所以在 IREQ 接口是单一周期。这样,信号 ireq_eof_n 在此周期有效。经检查 memory 得知,数据被写入 memory 中。

对其他 RapidIO 支持的操作 (包括 SWRITE、NWRITE_R、NREAD、维护操作、门铃) 均按以上协议要求进行验证,所涉及的原理、过程与上述 NWRITE 验证类似,在此不再累述。

3.2 RapidIO IP 核的 FPGA 平台验证

3.2.1 验证平台的构建

为完成 RapidIO IP 核的 FPGA 平台验证,首先需要搭建 FPGA 验证平台。如图 4 所示,验证板使用 Virtex4 (共 3 块,分别用于 1.25 Gbps,2.5 Gbps,3.125 Gbps RapidIO),主设备使用 TI 公司的 TMS320C6455,两者通过串行信号连接,验证向量使用 C 语言编写,之后采用 CCS3.3 进行编译,用于驱动主设备;RapidIO IP 的代码在添加必要的约束文件后,采用 Xilinx ISE 系列综合软件进行综合,之后通过 Xilinx 编程电缆,使用 Xilinx ISE 系列软件中的 iMPACT 软件烧写入 Xilinx FPGA V5 验证板中;为调试方便,采用 Xilinx ISE 系列的 chipscope 作为信号提取软件^[11-13]。RapidIO FPGA 原型验证平台的验证环境及相关工具见图 4 和表 1。

表 1 RapidIO FPGA 原型验证平台的验证环境及相关工具

验证平台组件	硬件综合工具	硬件描述语言	程序开发工具	软件语言
PC 机 Xilinx 编程调试电缆 Xilinx V5 FPGA 验证板, TMS320C6455 主机板	XilinxISE 系列综合工具	XilinxISE 系列综合工具	ELDK	C 语言

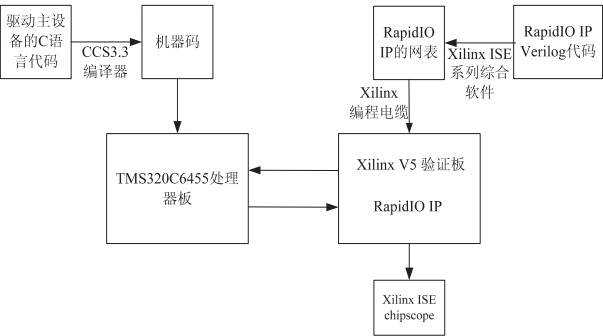


图 4 RapidIO IP 核基于 FPGA 平台的验证环境

3.2.2 验证用例规划

验证用例分为两类:RapidIO 功能验证和 RapidIO 带宽验证。

为弥补给予虚拟平台的验证难以进行长时间验证的问题,在进行基于 FPGA 平台的验证用例规划时,在进行基本的资源、功能验证基础上,主要规划了针对 NWRITE、NREAD、SWRITE、NWRITE_R、维护读写等操作的长时间单一操作及混合传输测项。涉及的验证工作原理、方法与基于虚拟原型类似,在此不再累述。

RapidIO 带宽是 RapidIO 性能的关键参数。由于基于虚拟平台仿真的局限性,性能难以进行验证。故在基于 FPGA 的仿真平台上进行带宽验证很有必要。

在上文描述的仿真平台上,RapidIO IP 及其主设备以最大速率相互发送数据包(最大速率即数据包间隔设到最小),通过计算进行效率统计^[14],得到以下数据:当 RapidIO IP 与主设备均设为 1G 模式时,测得带宽为 81.9 MB/s;当 RapidIO IP 与主设备均设为 2G 模式时,测得带宽为 127.9 MB/s。

4 结束语

文中首先介绍了 RapidIO 总线技术的产生背景、应用方向及国内外对此技术的研究现状,之后通过对 RapidIO IP 核进行的基于虚拟原型以及 FPGA 原型的验证表明,该 IP 可以满足协议要求,功能、性能指标达到了设计要求,可以在基于 FPGA 的设计、芯片设计中使用。

该 IP 核是笔者所在的技术团队从协议理解、功能划分、IP 设计实现以及功能、性能验证整个过程完成的,并集成到了某款协议处理 SoC 芯片中。

参考文献:

[1] Fuller S. RapidIO: the embedded system interconnect[M]. 北京:北京工业大学出版社,2008.

[2] 徐俊毅. 高速总线竞争日趋白热化[J]. 电子与电脑,2007(11):37-40.

[3] RapidIO™ interconnect specification part1: input/output logical specification[S]. 1984.

[4] RapidIO™ interconnect specification part2: message passing logical specification[S]. 1984.

[5] RapidIO™ interconnect specification part5: globally shared memory logical specification[S]. 1984.

[6] 黄振中,倪明,柴小丽. 基于 VxWorks 的 RapidIO-IP 设计与实现[J]. 计算机工程,2010,36(18):243-244.

[7] 李少龙,高俊,姜景艺,等. 基于 SRIO 总线的数字信号处理系统的实现通信技术[J]. 通信技术,2012,45(5):101-103.

[8] 尹亚明,李琼,郭御风,等. 新型高性能 RapidIO 互连技术研究[J]. 计算机工程与科学,2004,26(12):85-87.

[9] 谢智勇,罗明,蒋俊. 串行 RapidIO 验证模型[J]. 计算机工程,2008,34(B09):16-18.

[10] 孙灯亮. RapidIO 测试思路和方法[J]. 电子质量,2009(11):17-20.

[11] Xilinx. Xilinx logic core™ IP serial RapidIO v5.1 user guide[M]. [s.l.]:Xilinx,2008.

[12] 梁光胜,刘倩茹,姚海洋. RapidIO 应用系统及其验证模型的设计与测试[J]. 电子设计工程,2011,19(23):61-63.

[13] 王玉欢,田泽,蔡叶芳. RapidIO IP 核的验证方法研究[J]. 计算机技术与发展,2011,21(7):183-185.

[14] 田泽,郭海英. RapidIO 传输性能测试分析研究[J]. 电脑知识与技术,2010,6(28):8122-8124.

一种RapidIO IP核的设计与验证

作者：[蔡叶芳](#)，[田泽](#)，[李攀](#)，[何嘉文](#)，[CAI Ye-fang](#)，[TIAN Ze](#)，[LI Pan](#)，[HE Jia-wen](#)
作者单位：[中国航空计算技术研究所, 陕西 西安, 710119](#)
刊名：[计算机技术与发展](#)
英文刊名：[Computer Technology and Development](#)
年，卷(期)：2014(10)

引用本文格式：[蔡叶芳](#). [田泽](#). [李攀](#). [何嘉文](#). [CAI Ye-fang](#). [TIAN Ze](#). [LI Pan](#). [HE Jia-wen](#) 一种RapidIO IP核的设计与验证[期刊论文]-[计算机技术与发展](#) 2014(10)