

高清视频编码存储接口的设计与实现

卢俊,田泽,陈威宇,杜斐

(中航工业西安航空计算技术研究所,陕西 西安 710068)

摘要: 视频编码存储器接口是 H. 264 高清视频编码系统的关键模块,用于快速高效地存储和读取编码过程中产生的大量中间数据(其中主要包括运动估计、宏块信息、去块滤波和码流数据等)。目前普遍采用的片外 SRAM 或 SDRAM 进行数据缓存的方案工作频率低,大数据量和编码实时性需求难以满足,这使得高清存储接口的性能成为系统设计的瓶颈。文中提出了基于 DDR2 控制器的存储接口方案设计和电路实现,还系统地描述了存储器接口的时序。通过后仿真验证和流片测试,证明文中提出的设计方案,划分存储器接口的子模块结构合理;实现的电路能有效地完成高清视频实时编码。

关键词: 高清视频;固件;控制器;运动估计;宏块;仲裁;自测试

中图分类号:TP302

文献标识码:A

文章编号:1673-629X(2014)10-0075-05

doi:10.3969/j.issn.1673-629X.2014.10.018

Design and Realization of Encoding Storage Interface of High-definition Video

LU Jun, TIAN Ze, CHEN Wei-yu, DU Fei

(AVIC Xi'an Aeronautics Computing Technique Research Institute, Xi'an 710068, China)

Abstract: The memory interface is the key module in H. 264 high-definition encoding system to quickly and efficiently store and read the mass of data in encoding, including motion estimation, macroblock information, deblock filtering, code stream data. At present, the scheme of memories like SRAM and SDRAM for data caching, which has been widely used, exists the problem of low working frequency and not meeting the needs of mass data and real-time encoding, making the high-definition memory interface performance has become the bottleneck of system design. In this paper, propose the design and circuit implementation for memory interface scheme based on DDR2, and describe the time sequence of memory interface systemically. The result of post-simulation and chip function tests have proved that the module has a good structure. The circuit can achieve the real time encoding in HD video.

Key words: high-definition video; firmware; controller; motion estimation; macro; arbiter; self-test

0 引言

H. 264 是目前主流的视频压缩标准,它在压缩比、编码效率、冗余度等方面均有显著优势。与 MPEG4 编码相比,H. 264 在保持视频质量的同时,编码效率提高了 38.62%^[1-2]。由于优异的压缩性能,其在数字电视广播、视频实时通信、网络视频流媒体传递等领域具有广泛应用。

H. 264 编码时需使用前项帧和后项帧进行图像匹配,并且最多可以从 15 个参数图像中进行选择^[3],选出最佳的匹配图像进行帧间编码预测。虽然 H. 264 的编码方式输出的码流压缩率很高^[4],但大量的中间

数据交互给编码系统造成了很大的存储压力。目前普遍采用的片外 SRAM 或 SDRAM 进行数据缓存的方案工作频率低,大数据量和编码实时性需求难以满足,这使得高清存储接口的性能成为系统设计的瓶颈。

文中提出的高清视频编码存储接口的设计,采用 DDR2 控制器作为数据的缓冲模块。该实现方案的工作频率高、存储空间大,能有效地解决高清实时编码的存储问题。

1 存储器接口的体系架构

视频编码核使用外部存储器用于存储源图像、重

收稿日期:2013-11-30

修回日期:2014-03-06

网络出版时间:2014-07-28

基金项目:“十二五”微电子预研(51308010601);总装 2012 预研基金(9140A08010712HK61095);中国航空工业集团公司创新基金(2010BD63111)

作者简介:卢俊(1981-),男,陕西丹凤人,工程师,研究方向为集成电路设计;田泽,博士,研究员,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20140728.1224.025.html>

构图像、运动估计、下采样数据、宏块信息以及压缩后的码流数据。存储器接口的一端与编码核连接,用于接收和仲裁来自编码核的数据;存储器接口的另一端与外存(DDR2 SDRAM)相连,固件从 0 地址开始在外存中给各类数据源分配地址空间。

编码核通过存储器接口来访问数据在外存中的位置。存储器接口采用二维读写方式来存储相应的数据,因此只需要给出一个起始地址发出一次读写请求,就可以完成所需数据的读写操作。

存储器接口的结构框图如图 1 所示。

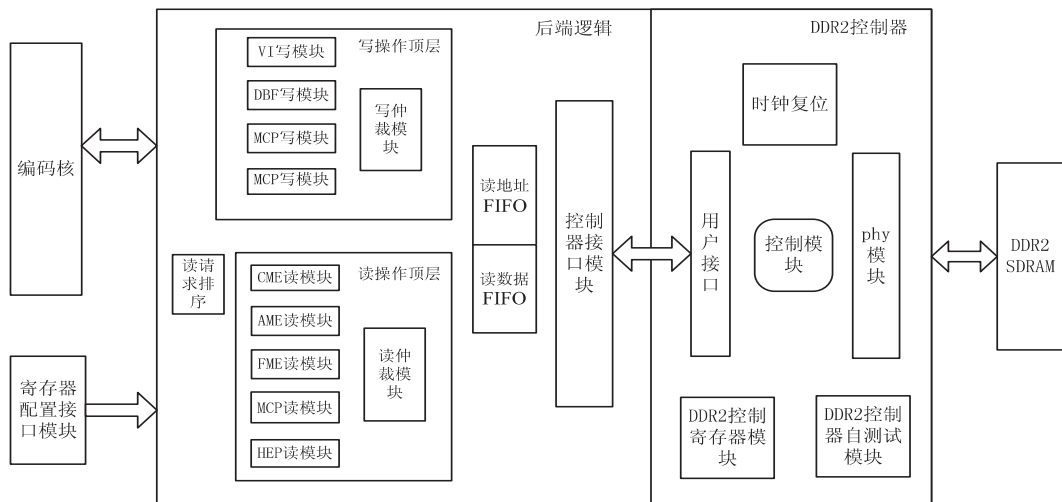


图 1 DDR2 存储器接口功能框图

写操作时,写操作模块会将视频编码发出的地址和数据写入后端逻辑的地址/数据 FIFO,然后通过 DDR2 控制器将数据写入 DDR2 SDRAM 中;读操作时,读操作模块会将视频编码核发出的地址写入后端逻辑的地址 FIFO,然后通过 DDR2 控制器将对应地址的数据从 DDR2 SDRAM 中读出,并送入后端逻辑的读数据 FIFO,最后将读出的数据送给编码核。寄存器配置接口模块用于配置 DDR2 存储器接口模块中的寄存器。

预测等功能。

写操作时,视频编码核输出给存储器接口写请求信号 wr_req ,后端逻辑收到响应信号,向视频编码核发送 $grant$ 信号, req 信号与 $grant$ 信号同时下降。在 $grant$ 信号变低的下一个周期,视频编码核收到由后端逻辑发送的 $strobe$ 信号,直到传输完 $(num_rows+1) * (wr_nw64+1)$ 个数据, $strobe$ 信号下降,传输过程结束^[7]。

读操作与写操作时的接口控制信号控制情况类似,视频编码核发出 req 信号,请求进行读操作;当后端逻辑判断该 req 有效时就响应该请求,接着后端逻辑产生响应信号,并向视频编码核发送 $grant$ 信号,两个 req 信号与 $grant$ 信号同时下降;若此时地址命中,则经过几个周期后,后端逻辑向编码核发送 $strobe$ 信号及有效数据;若地址不命中,则后端逻辑需要通过 DDR2 控制器单元在 DDR2 SDRAM 中取数,经过一段时间后才能向编码核发送 $(num_rows+1) * (wr_nw64+1)$ 个数据,之后 $strobe$ 信号下降,传输过程结束^[7-8]。

2.2 控制器接口的设计

当外存芯片和控制器初始化完成之后,DDR2 控制器可以进行正常读写操作,用户接口模块的写操作时序如图 2 所示。写操作时,写使能信号 app_af_wren 有效,对应的地址 app_af_addr 就是突发数据的起始地址,对应的是 2 个 128 位数据(4 个 64 位数据),数据突发长度为 4^[9]。

读操作时,用户端向控制器的地址 FIFO 写地址,当接收到 rd_data_valid 信号有效后,从读数据 FIFO 中连续读出相应的数据^[9]。

2 电路接口的设计

2.1 编码核数据接口的设计

存储器接口模块的后端逻辑接口与编码核相连,与编码核交互的子模块有 VI 模块、AME 模块、FME 模块、CME 模块、MCP 模块、DBF 模块、HEP 模块。这些模块的描述如下^[5-6]:

- (1) VI(视频输入接口),VI 模块主要功能是接收外部输入的视频信号;
- (2) CME(粗运动估计模块),完成宏块级别的粗运动估计;
- (3) AME(高级运动估计模块),完成宏块级别的粗运动估计;
- (4) DBF(环路滤波模块),环路后滤波;
- (5) FME(细运动估计模块),完成 1/4 像素精度的运动估计;
- (6) MCP(宏块编码模块),完成宏块编码功能,包括帧内预测、变换、量化、模式选择、反变换、反量化、反

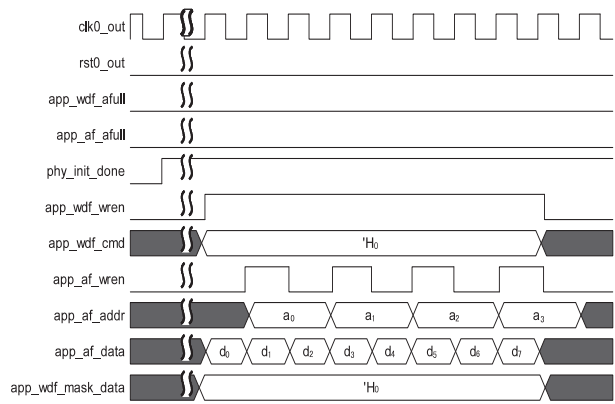


图 2 用户端向控制器写入数据的操作

2.3 外存芯片接口的设计

DDR2 控制器与外存芯片的接口是标准的 DDR2 SDRAM 操作时序,写操作是控制器发出写命令 command,根据需要由数据 mask 信号控制无效数据,如图 3 所示。当 DDR2_DM 为 'HFF' 时(该 mask 持续两个周期),表示写入的前 2 个 64 bit DDR2_DQ 数据无效。另外,通过软件可以由 DDR2 控制器寄存器配置相应的延迟时间^[7-8]。

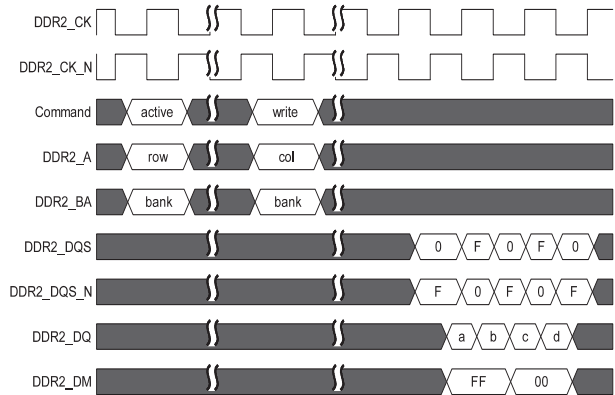


图 3 DDR2 SDRAM 写操作时序

读操作时控制器发出读命令,command 和 address 信号的组成与写操作时相同,DDR2 SDRAM 芯片将执行激活操作和读操作,然后按照 burst 的方式读出需要的数据^[9-10]。

3 电路各模块的设计

3.1 后端逻辑的设计

DDR2 存储器接口将 DDR2 SDRAM 作为缓存,通过数据的读写完成视频编码核和视频输出模块与 DDR2 SDRAM 的信息交互。根据数据流设计写操作通路用于快速缓存来自编码核的写数据,图 4 所示为 VI 的写操作数据示意图^[11-12]。

编码核发出写操作请求,同时给出要写入的数据个数、起始地址等信息;当后端逻辑的 VI 模块发现两个 FIFO 至少有一个为空时,发出响应信号 grant,下一个周期再发出 strobe 信号;在 strobe 信号发出的同一

个周期,编码核给后端 VI 模块写入的数据。为了保证编码核的 VI 数据能源源不断地写入,使用了双缓的设计,由于 DDR2 的写入速度远快于视频源写入的速度而且多模块同时写操作时保证 VI 的最高优先级,因此视频源连续写入而不被打断。

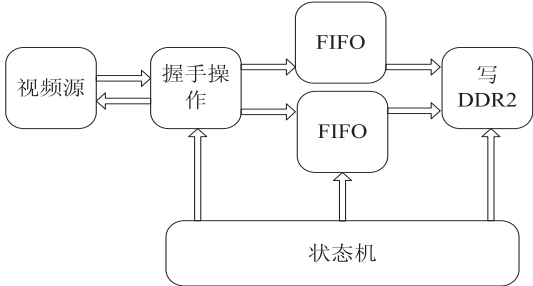


图 4 双缓操作示意图

读操作时,视频编码核会发出读请求信号和基地址,随后控制器发出响应,同时控制器会根据基地址和本次操作的横向/纵向坐标 wxloc/yloc 计算出新的起始地址,同时会查看该地址是否在命中(预读取)范围内;如果该地址命中,则直接从后端逻辑内的 RAM 中取出相应的数据;如果起始地址不命中,则需要发出请求 rd_ddr2_req 来访问 DDR2 SDRAM,同时预读取以该地址为起始地址的一系列预估新地址的数据,并写入后端逻辑的缓存(RAM)中;当后端逻辑准备好数据后会将 strobe 和缓存中的数据一起发给视频编码核,从而完成一次数据的读操作。在下次预取操作中,重复执行计算新地址、判断命中、读取数据等操作。

根据数据流设计读操作通路用于快速读取来自外存 DDR2 SDRAM 中的数据,图 5 所示为 CME 的读操作数据示意图。

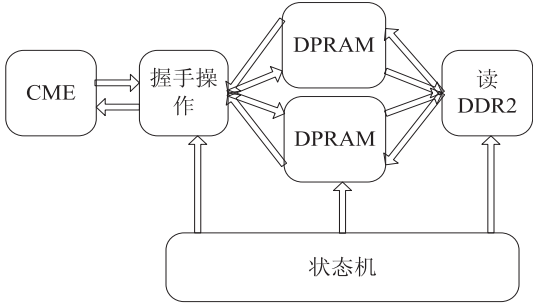


图 5 双缓读操作示意图

CME 发出读操作请求,同时给出要读取的数据个数、起始地址等信息;当后端逻辑的 CME 模块发现读操作数据 FIFO 不为满,则发出响应信号 grant;同时判断此次的读请求信号是否命中 DPRAM 缓存中的地址,如果命中,则发出 strobe 信号同周期发出数据,若不命中,则 CME 向 DDR2 发出 DDR2 的预读取请求,当数据从 DDR2 中读完成则发出 strobe 信号,同时向编码核同步发出数据。当读操作完成,读请求仲裁模块才回去响应下一个读请求信号。对于双缓,只要读

地址命中缓存中的数据,则 CME 模块就会被很快响应。

3.2 DDR2 控制器的设计

DDR2 控制器模块可分为 6 个子模块:时钟模块、用户接口模块、寄存器模块、控制模块、物理层、自测试逻辑^[13]。

3.2.1 时钟模块

时钟模块产生 DDR2 控制器需要的时钟及复位信号,以及缓冲区用户后端接口所需要的时钟及复位信号。

3.2.2 用户接口模块

用户接口逻辑接口类型为寄存器类型的接口,用于接收缓冲区后端逻辑产生的读写命令、地址、数据、数据 mask,同时该模块还将数据写入物理层模块;读操作时,用户接口接收物理层的读数据有效、初始化完成信号以及读出数据等,并将这些信号写入缓冲区用户后端接口逻辑。

3.2.3 寄存器模块

寄存器模块的主要功能为配置接口完成 PPC 对 DDR2 控制器寄存器的配置及状态访问。PPC 通过寄存器模块接口完成对 DDR2 控制器内寄存器的配置及状态访问。

3.2.4 控制模块

控制模块用于控制访问 DDR2 SDRAM 时的状态转换,以及向片外 DDR2 SDRAM 输出控制信号和地址。在读写状态时,负责从用户后端接口读出地址,并译码输出给片外 DDR2 SDRAM,在写数据时,负责向用户后端接口发出读数据信号,读出的数据直接送到物理层。

3.2.5 物理层

DDR2 物理层用于 DDR2 芯片的初始化、数据校准,写操作时的数据拆分和读操作时的数据合并。上电后,该模块首先会对片外 DDR2 SDRAM 进行初始化配置和数据校准,校准完成后,根据读写操作完成相应的 IO 控制。

物理层分为若干子模块,其中初始化模块用于配置 DDR2 的初始化操作,校准模块完成读操作数据的校准,写模块用于控制写操作,IO 控制模块是物理层与 DDR2 芯片的接口逻辑,主要完成数据、时钟、数据选通、数据掩码的 IO 控制。

3.2.6 自测试逻辑

自测试模式是用于 DDR2 控制器的自循环测试的模块,是测试调试 DDR2 控制器的专用逻辑,不属于控制器的正常读写功能。若初始化和延迟校准完成后不配置自测试模式寄存器,则控制器不会进入自测试模式,并且可直接开始正常读写操作。

4 技术要点

4.1 读写仲裁的设计

DDR2 控制器接口模块主要完成 DDR2 后端逻辑与控制器的数据交互工作,支持读写两种操作,使用状态机实现此功能。各状态之间的状态转移图如图 6 所示。

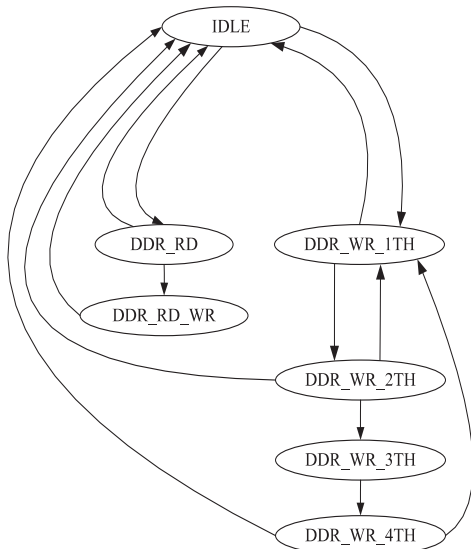


图 6 读写控制状态机状态转移图

当控制器和外存初始化完成之后,状态机处于空闲态,跳转到写第一个 128 bit 数状态,再跳转到写第二个 128 bit 数状态;这时若有读操作则跳回 IDLE 状态,然后再跳转到读操作状态;如果仍然是写操作则跳转到写第三个 128 bit 数状态,再跳转到写第四个 128 bit 数状态;操作完成后跳回 IDLE 状态。

4.2 自校准模块的设计

为了确保控制器能够可靠地从 DDR2 SDRAM 中同步读出数据,在初始化结束后存储器物理层逻辑要执行数据校准操作。该校准程序将使用 IDELAY 单元在各个同步阶段调整静态延迟,从而消除不确定延迟,如 PCB 布线引起的延迟等。需要说明的是,当数据校准操作结束后,控制器会使寄存器的 phy_init_done 位有效;后端逻辑接收到该信号有效后,开始对 DDR2 SDRAM 的读写操作。

4.3 自测试电路的设计

如果要使用 DDR2 控制器的自测试模式,则当外存和控制器初始化完成之后,可以使用软件配置自测试使能寄存器 (SELF_TEST_EN); 查询自测试状态寄存器 (SELF_TEST_STATUS), 当状态出错则自测试逻辑自动停止;若自测试状态错误位为 0, 则自测试逻辑遍历 DDR2 SDRAM 的所有空间;若要手动停止,则使用软件向自测试使能寄存器 (SELF_TEST_EN) 的停止位写 1。

自测试完成后,若要执行正常读写操作,则推荐先

执行系统复位, phy_init_done 位有效后再执行正常读写操作。

若在系统复位后不配置自测试模式寄存器, 则当 phy_init_done 位有效后, 控制器不进入自测试模式, 可以直接开始正常读写操作。

5 结束语

H. 264 高清视频编码的大数据量高速存储问题, 已成为制约高清实时编码的重要因素。文中所阐述的基于 DDR2 控制器的高清视频编码存储器接口的设计与实现, 能高速处理多路数据的读写操作; 多个仲裁器的设计能有效地调配读写资源; 带有自校准和自测试逻辑的控制器能智能地优化读写数据的质量。

通过芯片的测试结果分析可知, 该实现方案能够有效地解决大数据量的交互给编码系统造成的存储压力问题, 能够流畅完成 1 920×1 080 分辨率下的实时高清编码。

参考文献:

[1] Marpe D, Wiegand T, Sullivan G J. The H. 264/MPEG4 advanced video coding standard and its applications[J]. IEEE Communications Magazine, 2006, 44(8): 134-143.

[2] 孟超, 张曦煌. 基于嵌入式系统的图像采集与传输设计

+++++

(上接第 74 页)

颈在移动链路上会比在 PC 时代更多的放大, 文中给出的图片优化方法能大大提高图片传输的效率和稳定性, 在后 PC 时代与移动互联网时代都有广阔的应用前景。通过使用文中的改进方法并且在服务器端开启 GZIP 的情况下, 可以明显减少网站在流量带宽上的开销, 降低网站的成本; 同时可以带来更快的页面加载速度, 以达到更好的用户体验。

参考文献:

[1] 王伟军, 孙晶. Web2.0 的研究与应用综述[J]. 情报科学, 2007, 25(12): 1907-1913.

[2] 熊文, 熊淑华, 孙旭, 等. Ajax 技术在 Web2.0 网站设计中的应用研究[J]. 计算机技术与发展, 2012, 22(3): 145-148.

[3] 覃秋密, 韦永军, 蒋家斌. CSS Sprites 提升网页加载速度的应用研究[J]. 电脑知识与技术, 2011, 7(27): 6668-6670.

[4] 牛津, 杨涛, 王林. 网页浏览器内核的比较研究[J]. 微计算机应用, 2009, 30(3): 30-35.

[5] Fei Ge, Tian Liansheng, Sun Jinsheng, et al. Latency of FAST TCP for HTTP transactions[J]. IEEE Communications Letters, 2011, 15(11): 1259-1261.

[6] 祝瑞, 车敏. 基于 HTTP 协议的服务器程序分析[J].

[J]. 计算机工程与设计, 2008, 29(17): 4414-4416.

[3] 毕厚杰, 王建. 新一代视频压缩编码标准-H. 264/AVC[M]. 北京: 人民邮电出版社, 2009.

[4] 马力妮, 郑志辉, 潘峰. H. 264/AVC 视频编码技术研究[J]. 计算机技术与发展, 2008, 18(7): 163-166.

[5] 吴晓军, 白世军, 卢文涛. 基于 H. 264 视频编码的运动估计算法优化[J]. 电子学报, 2009, 37(11): 2541-2545.

[6] 李秋山, 马妍. H. 264 帧内预测模式的快速选择算法[J]. 计算机工程与设计, 2009, 30(22): 5136-5139.

[7] Wenger S. H. 264/AVC over IP[J]. IEEE Transactions on Circuits Systems for Video Technology, 2003, 13(7): 645-656.

[8] Chen L, Cheng L J, Yu S Y. Accurate rate control method in transcoding[J]. Electronics Letters, 2004, 40(1): 16-18.

[9] Micron Technology. 256MbDDR2[S]. [s. l.]: Micron Technology, Inc., 2009.

[10] JEDEC. Association DDR2 SDRAM specification[S]. [s. l.]: JEDEC Solid State Technology Association, 2006.

[11] 褚晶辉, 俞斯乐, 鲁照华. 视频转换编码及其实现技术的研究[J]. 电子学报, 2004, 32(10): 1678-1683.

[12] 干宗良, 齐丽娜, 朱秀昌. H. 264 中基于先验预测的帧间编码模式选择算法研究[J]. 电子与信息学报, 2006, 28(10): 1883-1887.

[13] Xilinx. Memory Interface Generator (MIG) user guide UG086 (v2.3)[S]. [s. l.]: Xilinx Inc, 2008.

现代电子技术, 2012(4): 117-119.

[7] Lee Jae-Yong, Hong Jong-Joon, Lee Kyoong-Ha. URI directory service agent model for WWW intelligent service[C]//Proc of TENCON 99. [s. l.]: [s. n.], 1999: 1403-1406.

[8] Xu Congfu, Chen Yafang, Chiew K. An approach to image spam filtering based on Base64 encoding and N-Gram feature extraction[C]//Proceedings of 22nd IEEE international conference on tools with artificial intelligence. Arras: IEEE, 2010: 171-177.

[9] Rauschert P, Klimets Y, Velten J, et al. Very fast GZIP compression by means of content addressable memories[C]//Proc of TENCON 2004. [s. l.]: [s. n.], 2004: 391-394.

[10] 赵玉伟, 赵小雨, 乔木. 缓存技术在 B/S 架构信息系统中的应用[J]. 计算机工程, 2008, 34(1): 233-235.

[11] 陈锡明, 杨国伟. 一种用 B-树的最佳阶数组织内存索引文件的方法[J]. 小型微型计算机系统, 1998, 19(2): 60-64.

[12] 张裔智, 赵毅, 汤小斌. MD5 算法研究[J]. 计算机科学, 2008, 35(7): 295-297.

[13] 陈琼, 张江陵, 冯丹. 一种提高磁盘阵列 I/O 性能的策略[J]. 小型微型计算机系统, 2000, 21(1): 13-15.

[14] Hodovan R, Kiss A. Security evolution of the Webkit browser engine[C]//Proc of 14th IEEE international symposium on web systems evolution. [s. l.]: [s. n.], 2012: 17-19.

高清视频编码存储接口的设计与实现

作者：[卢俊](#)，[田泽](#)，[陈威宇](#)，[杜斐](#)，[LU Jun](#)，[TIAN Ze](#)，[CHEN Wei-yu](#)，[DU Fei](#)
作者单位：[中航工业西安航空计算技术研究所, 陕西 西安, 710068](#)
刊名：[计算机技术与发展](#)
英文刊名：[Computer Technology and Development](#)
年，卷(期)：2014(10)

本文链接：http://d.g.wanfangdata.com.cn/Periodical_wjfz201410018.aspx