

一种 10 bit 1 MS/s SAR ADC 的设计实现

李现坤,张 瑛,郭宇锋,杨恒新

(南京邮电大学 电子科学与工程学院,江苏 南京 210003)

摘要:基于 0.13 μm CMOS 工艺,设计了一种采样率达到 1 MS/s 的 10 位逐次逼近模数转换器,其中逐次逼近数字控制逻辑采用全定制的方法,减小了数字单元的面积和功耗;比较器中的预放大器分别采用了二极管连接和开关管复位的方式将各级运放的输出短接,加快比较速度,最后一级锁存器采用改进的两级动态锁存器,进一步提升比较速度的同时降低了失调误差。实验结果表明,1.2 V 电源电压下,所设计的 ADC 采样率达到 1 MS/s,输入信号频率为 12.5 kHz 时,测得的输出信号信噪比为 54.47 dB,SFDR 为 45.18 dB。

关键词:数模转换器;逐次逼近寄存器;比较器;失调误差

中图分类号:TN432

文献标识码:A

文章编号:1673-629X(2014)08-0210-05

doi:10.3969/j.issn.1673-629X.2014.08.050

Design and Implementation of a 10 bit 1 MS/s SAR ADC

LI Xian-kun,ZHANG Ying,GUO Yu-feng,YANG Heng-xin

(College of Electronic Science and Engineering,Nanjing University of Posts and
Telecommunications,Nanjing 210003,China)

Abstract:On the basis of 0.13 μm CMOS process,a 10-bit,1 MS/s Successive Approximation Register Analog-to-Digital Converter (SAR ADC) is presented. The successive approximation control logic is designed by the method of full customization,which can achieve the smaller area and lower power compared with logic synthesis. During the compactor design,diode-connected MOS transistors and reset switch are used as short-circuit plug to bridge the outputs of every pre-amplifier respectively,and it accelerates the comparison speed. An improved two-stage dynamic latch is applied at the end of latch stage,which further increases comparison speed and reduces the offset voltage. At a 1.2-V supply,the sampling rate is high up to 1 MS/s with 12.5 kHz sinusoidal input. The simulated SNR and SFDR are 54.47 dB and 45.18 dB respectively.

Key words:Analog to Digital Converter (ADC);Successive Approximation Register (SAR);compactor;offset voltage

0 引言

随着计算机、通信和多媒体等技术的飞速发展,全球高新领域的数字化程度不断加深,而现代先进的电子系统前端和后端都需要运用模数转换器(Analog to Digital Converter,ADC)来改善数字处理技术,特别是无线通信网络、医疗仪器仪表、图像和便携式电子设备等应用方面,对低功耗、高速、高分辨 ADC 要求和需求越来越高。

目前主流的 ADC 主要有闪烁型 ADC (Flash ADC)、 \square - Δ 型 ADC、逐次逼近型 ADC (SAR ADC)。其中 Flash ADC 可以实现很高的采样速率,约几百 M

到几个 G,但精度不高于 8 位^[1-2]; \square - Δ 型 ADC 也可以实现很高的分辨率,可达到 14~24 位,但采样速率低于 500 K^[3-4];而 SAR ADC 具有中等转换精度和中等转换速度,在精度、速度、功耗和成本方面具有综合优势,被广泛应用。虽然 SAR 架构的 ADC 有低功耗、中速率^[5](小于几 MS/s)的特点,然而在最近几年,随着 MOS 管特征尺寸缩小,SAR ADC 的采样速率已经能够达到几十 MS/s^[6]甚至 100 MS/s^[7],在采用电荷定标 SAR ADC 中,除了比较器之外,其他电路都没有静态功耗,这样就极大地减小了电路的功耗。

文中设计的 ADC 采用 SAR 结构。基于 0.13 μm

收稿日期:2013-10-29

修回日期:2014-02-15

网络出版时间:2014-05-21

基金项目:国家自然科学基金青年科学基金(61106021);江苏省高校自然研究面上项目(11KJB510019)

作者简介:李现坤(1987-),男,安徽亳州人,硕士研究生,研究方向为模拟与数模混合集成电路设计;张 瑛,副教授,博士,研究方向为模拟与射频集成电路设计;郭宇锋,教授,博士生导师,研究方向为微电子器件、功率集成电路和射频集成电路;杨恒新,副教授,硕士生导师,研究方向为 UHF RFID 系统的设计理论、设计方法及其应用。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20140525.1242.022.html>

CMOS 工艺,设计了一种采样率达到 1 MS/s 的 10 位逐次逼近模数转换器。其中逐次逼近数字控制逻辑采用全定制的方法,与数字分析综合的方法相比,减小了数字单元的面积和功耗;比较器由三级预放大器级联和改进的两级动态锁存器构成。根据每级放大器位置的不同,分别对它们的增益、带宽和功耗进行了优化,并对各级预放大器进行了改进;通过采用二极管连接和开关管复位的方式将各级运放的输出短接,加快比较速度。最后采用改进的两级动态锁存器,在提升比较速度的同时进一步降低了失调误差。

1 SAR ADC 基本原理及结构

SAR ADC 是基于二进制搜索比较的算法,使 DAC 的输出逐次逼近模拟输入。逐次逼近寄存器(Successive Approximate Register, SAR)需要几个比较周期才能完成一次 A/D 转换,这就限制了 SAR ADC 的速率。通过将输入信号依次与 D/A 转换网络生成的参考电压进行比较,逐次产生最高位至最低位的逻辑输出。

图 1 所示为 SAR ADC 结构框图,主要由逐次逼近数字控制逻辑(SAR control logic)、DAC 和比较器组成。其中 DAC 采用分段电容阵列电荷按比例再分配的结构,并且兼做采样保持电路,与传统的二进制电容阵列^[8]相比,分段电容阵列^[9]结构使用更少的电容,节

约了芯片面积,使电容阵列的电荷再分配的速度更快,而且功耗更小^[6]。下面介绍 SAR control logic 和比较器的设计。

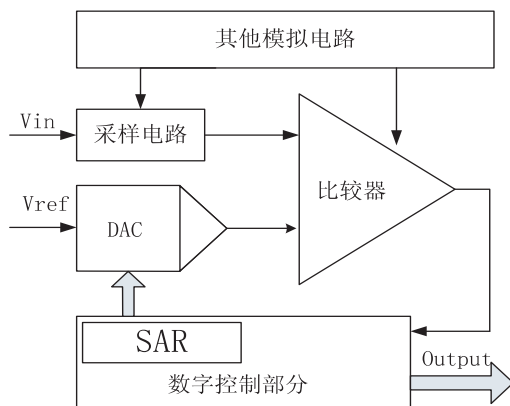


图 1 SAR ADC 结构框图

1.1 逐次逼近寄存器控制逻辑(SAR control logic)

SAR control logic 的时序波形如图 2 所示,采用全定制的设计方法,包括一个环形计数器、码的寄存器,和一些基本门电路组成,电路结构简单,减小了信号延迟。其中环形计数器实际上是一个移位寄存器。对于一个 10 bit 的逐次逼近寄存器,需要 20 个 D 触发器和若干个逻辑门。设计的 SAR ADC 在 13 个时钟周期内完成一次 A/D 转换,包括采样与保持(2 个时钟周期)、转换(10 个时钟周期)和输出(1 个时钟周期)。

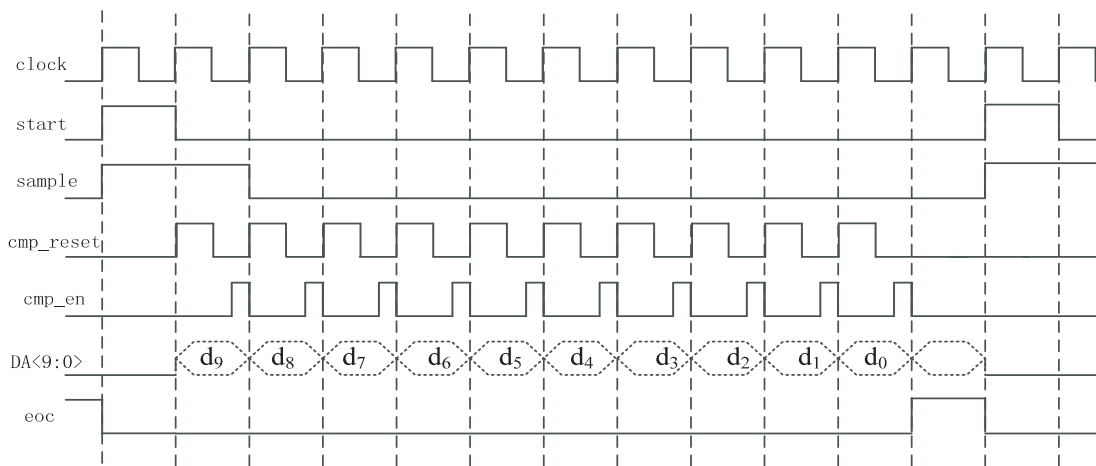


图 2 SAR control logic 时序波形

所设计的 SAR control logic 采用的全定制的方法,与逻辑综合的实现方法相比,大大地减少了逻辑单元的使用的数量。使用较少的数字逻辑单元,意味着开关功耗可以达到很小;另外尽可能减少数字电路中高频信号的反转节点,以减少数字电路的动态功耗。虽然数字控制部分的动态功耗在 ADC 的功耗中不是主要部分,但使用较少的控制逻辑可以把数字电路开关噪声降到很低,减少对模拟部分的影响,对模拟部分的设计要求就可以更低一些,对降低模拟部分的功耗起到了一定的辅助作用^[10-11]。

1.2 比较器

ADC 中的比较器一般有运放结构的开环比较器和可再生比较器(或锁存器)。前者具有精度高和失调电压小等优点,对小信号响应速度快,但大信号响应速度慢,输出电压与时间呈负指数关系;后者对小信号响应慢,但由于使用了正反馈,对大信号响应速度比较快,输出电压与时间呈正指数关系,但它的失调电压较大,容易受噪声干扰。本设计中的输入信号摆幅电压为 1.2 V,对于 10 位 ADC,其最低有效位(Least Significant Bit, LSB)为 1.17 mV,采样频率为 1 MS/s。在此

高精度和高速度的要求下,运放结构比较器和 Latch 比较器都难以满足要求,因此将两种比较器级联组成高速高精度的比较器^[12-13]。

另外由于比较器存在失调电压,会影响比较器的精度,需要进行失调消除。常用的失调电压的消除方法有输入失调储存(Input Offset Storage, IOS)和输出失调储存(Output Offset Storage, OOS)^[14-15]。

所设计的比较器如图 3 所示,第一级和第二级均采用的是 OOS 的方式,第三级采用的是 IOS 的方式,防止第一级和第二级的失调电压放大后存储在电容中,出现饱和。另外最后一级 Latch 内部包含动态预放大器,进一步减小了比较器的等效输入失调电压。

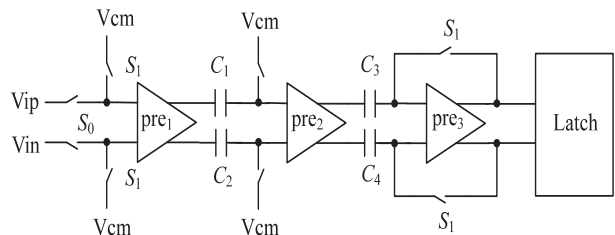


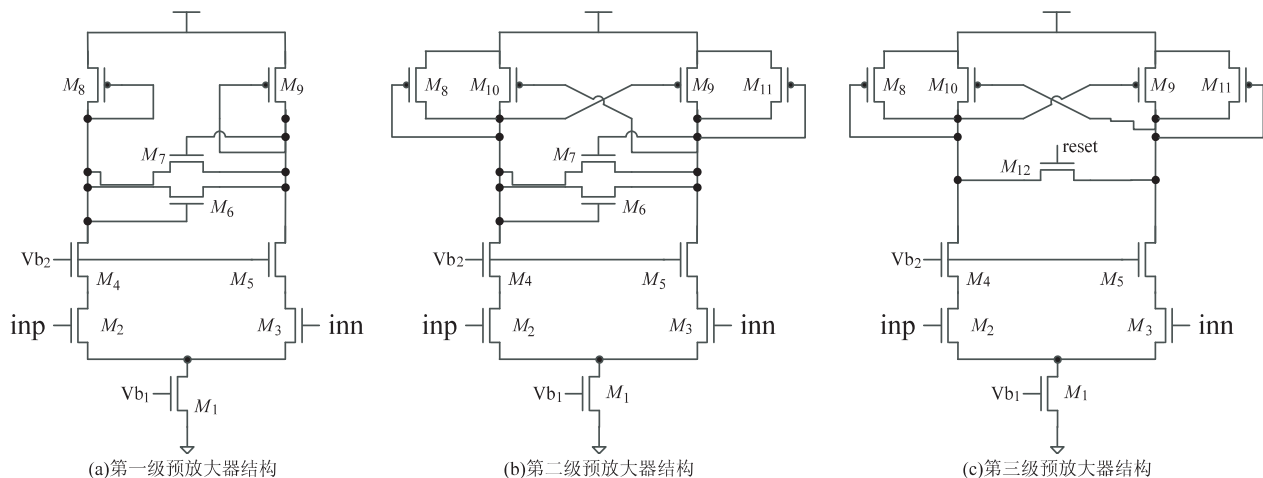
图 3 比较器的结构

比较器的工作时序如图 2 所示,分为两个阶段:失调校准,当 sample 信号为高电平时, S_0 断开, S_1 闭合,将比较器的两输入端接 Vcm 进行校准,将各级预放大器的失调电压存储在电容内;比较阶段,当 sample 为低电平时, S_0 闭合, S_1 断开,比较器对输入端 Vip 和 Vin 进行比较。在比较器工作时,由于开关断开与闭合时引

入的沟道电荷注入,以及预放大器增益有限(特别是第三级输入失调电压未完全消除)等因素的影响,导致比较器仍有残余的失调误差。假设图 3 中三级预放大器 $pre_1 \sim pre_3$ 的增益分别为 A_1, A_2, A_3 ,每级预放大器的等效输入失调电压为 $V_{os1}, V_{os2}, V_{os3}$, Latch 的等效输入失调电压为 V_{osL} ,电容 $C_1 \sim C_4$ 的值为 C ,开关 S_1 的沟道电荷注入,导致 $C_{1,2}$ 和 $C_{3,4}$ 上的电荷分别为 $\Delta Q_1, \Delta Q_2$,在校准后,比较器的残余等效输入失调电压 ΔV_{os} 为:

$$\Delta V_{os} = \frac{\Delta Q_1}{A_1 C} + \frac{\Delta Q_2}{A_1 A_2 C} + \frac{V_{os3}}{A_1 A_2 (1 + A_3)} + \frac{V_{osL}}{A_1 A_2 A_3} \quad (1)$$

为满足失调校准与响应速度的要求,各级预放大器的结构如图 4 所示,三级预放大器中各自的 M_4, M_5 与差分输入管 M_2, M_3 构成 cascode 结构,以减小各级预放大器输出端由开关引起的回程噪声(kickback noise);其中第一级预放大器要求增益小,带宽较大,采用二极管连接的 PMOS 管作为负载;第一、二级预放大器中的 M_6, M_7 通过二极管连接的方式将各级预放大器输出端连接起来,保证输出两端最大的电压差为阈值电压(V_{th}),以提高预比较器的比较速度;第二级和第三级预放大器采用带弱正反馈的运放,以提高增益;另外在第三级预放大器的输出两端再由一个复位开关连接,复位开关的控制信号 cmp_reset 如图 3 所示,使得比较器每次比较之前都对比较器进行复位,从而进一步提高比较器的比较速度。



同,节点 $Di+$ 、 $Di-$ 的放电速率也不同,一旦节点 $Di+$ 、 $Di-$ 中的任意一个电压下降到 $VDD - |V_{thp}|$ 时,插入的反相器(M_{18}/M_{16} 或者 M_{19}/M_{17}),开始对动态预放大器的输出信号进行放大,同时 M_{12} 或 M_{13} 开始导通, M_{10} 、 M_{11} 、 M_{14} 、 M_{15} 开始截止, M_6 、 M_7 、 M_8 、 M_9 开始处于可

再生阶段,对 $Di+$ 、 $Di-$ 处的信号锁存。若 $Vi+ > Vi-$ 时,节点 $Di-$ 处放电的速度大于节点 $Di+$,从而导致 $Di-$ 的电压大于 $Di+$,使 M_{12} 电流大于 M_{13} ,最终得到锁存结果:节点 $Out+$ 端电压为 VDD ,节点 $Out-$ 端电压为 gnd ;当 $Vi+ < Vi-$ 时,情况相反。

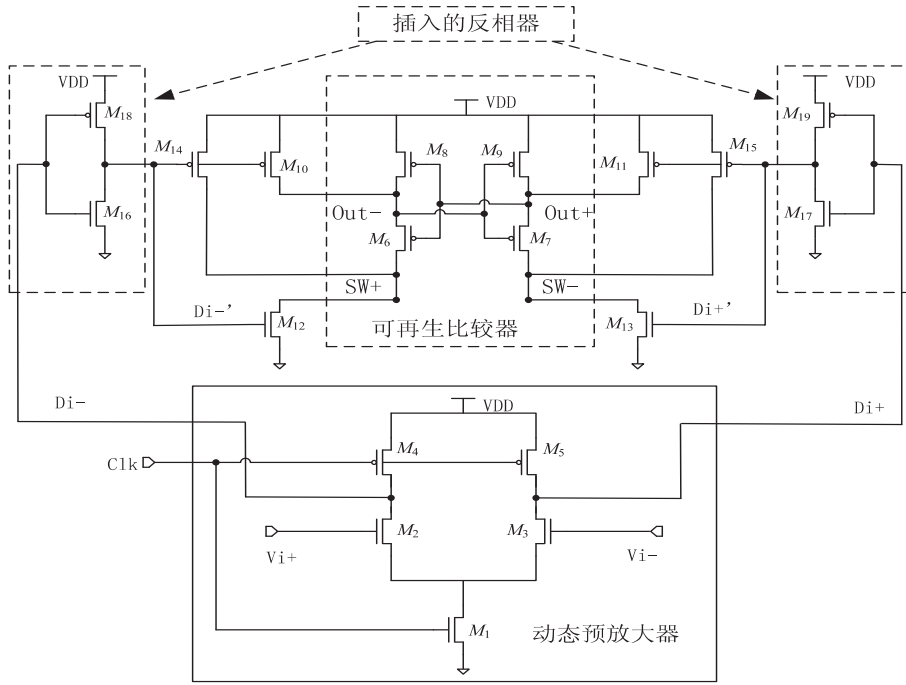


图 5 Latch 电路原理图

可再生比较器的核心管 M_6 (M_7) 和 M_8 (M_9) 的失配产生失调,是 Latch 失调的主要原因。当 clk 由低电平刚开始跳变为高电平时,记为 t_1 时刻,此时 M_1 已经导通,且 M_1 、 M_2 和 M_3 都处于饱和区;当节点 $Di+$ 、 $Di-$ 中的任意一个电压下降到 $VDD - |V_{thp}|$ 时,记为 t_2 时刻;当 M_2 和 M_3 的其中一个有饱和区进入线性区时,记为 t_3 时刻;在 t_1 到 t_3 时刻间,第一级输出端 $Di+$ ($Di-$) 在锁存阶段的表达式如下:

在 t_1 和 t_3 之间, M_{16} (M_{17}) 和 M_{18} (M_{19}) 对第一级的输出电压进一步放大,假设其增益为 A_{VL_2} ,动态锁存器的第一级的失调电压为 V_{OSL_1} , M_{16} (M_{17}) 的失调电压为 V_{OSL_2} ,核心管 M_6 (M_7) 和 M_8 (M_9) 的失配产生失调 V_{OSL_3} ,动态锁存器的等效输入失调 V_{OSL} :

$$\Delta V_{OSL} = V_{OSL_1} + \frac{V_{OSL_2}}{A_{VL_1}} + \frac{V_{OSL_3}}{A_{VL_1} * A_{VL_2}} \quad (6)$$

式中, V_{OSL_3} 是锁存器失调的主要原因,通过多级动态锁存增益 A_{VL_1} 、 A_{VL_2} ,减小了动态锁存器的等效输入失调。

2 仿真实验

SMIC 0.13 μm CMOS 工艺进行 ADC 设计,运用 Cadence 环境下的 Spectre 工具对电路进行仿真。结果表明,在每次 A/D 转换前,先对输入信号进行采样,此时 sample 信号为高电平,然后进行每一位的转换,从 $bit_9 \sim bit_0$,DAC 电容阵列的输出端逐次逼近比较器的参考输入端,最后 eoc 为高电平时,完成一次 A/D 转换。输入 12.5 kHz 的正弦信号,当采样率为 1 MS/s 时,对 ADC 的 A/D 转换结果进行保存,取 4 096 个点,用 Matlab 进行 FFT 变换,得到图 6 所示的频谱图。

由图 6 中数据计算得到 ADC 输出信号的 SNR 为 54.47 dB, SFDR 为 45.18 dB。

$$C_{Di+} \frac{dV_{Di+}(t)}{dt} = i_{C_{in}}(t) \rightarrow V_{Di+}(t) = V_{dd} - \frac{I_{D_1}}{C_{Di+}} t \quad (1)$$

$$C_{Di-} \frac{dV_{Di-}(t)}{dt} = i_{C_{in}}(t) \rightarrow V_{Di-}(t) = V_{dd} - \frac{I_{D_2}}{C_{Di+}} t \quad (2)$$

$$\Delta V_{Di}(t) = V_{Di-}(t) - V_{Di+}(t) \quad (3)$$

第一级的增益为:

$$A_{VL_1}(t) = \frac{\Delta V_{Di}(t)}{\Delta V_{in}} \quad (4)$$

假设 $Vi+$ 与 $Vi-$ 的差值 ΔV_{in} 为小信号,则有 2 ($V_{gs2,3} - V_{th2,3}$) $\gg \Delta V_{in}$,且 $C_{Di+} = C_{Di-}$,因此式(4)可表达为:

$$A_{VL_1}(t) = - \frac{g_{m2,3}}{C_{Di}} \quad (5)$$

3 结束语

低功耗、高速和高分辨的 ADC 在通信、医疗以及图像等领域有着重要的应用。文中设计了一个 10 bit 1 MS/s 的 SAR ADC, 优化了逐次逼近数字控制逻辑, DAC 采用分段电容阵列结构, 比较器采用多级级联放大结构, 改进动态锁存器, 减小了锁存器的失调, 满足了高速、高精度的要求, 整体电路的静态和动态性能指标均较好地满足了设计要求。

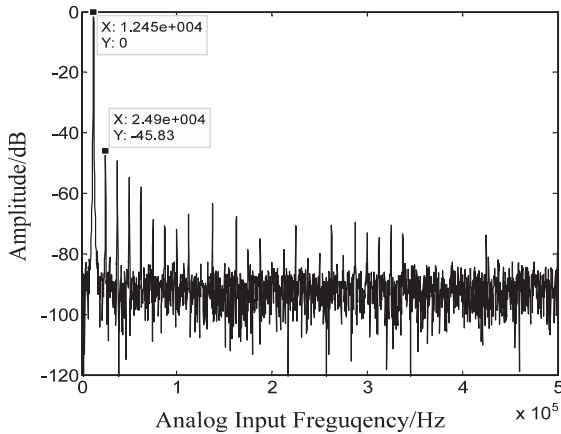


图 6 SAR ADC 的频谱图

参考文献:

- [1] Lin Yingzu, Lin Chengwu, Chang S J. A 5 bit 3.2 GS/s flash ADC with a digital offset calibration scheme[J]. IEEE Transactions on VLSI Systems, 2010, 18(3): 509-513.
- [2] Pernillo J, Flynn M P. A 1.5-GS/s flash ADC with 57.7 dB SFDR and 6.4 bit ENOB in 90nm digital CMOS[J]. IEEE Transactions on Circuits and Systems II: Express Brief, 2011, 58(12): 837-841.
- [3] Texas Instruments. 16-Channel, 24-Bit analog-to-digital converter[EB/OL]. (2009-10-17) [2012-12-10]. <http://www.ti.com/cn/lit/gpn/adsl258>.
- [4] Luo Hao, Han Yan, Cheung R C C, et al. A high performance, low-power $\Sigma\Delta$ ADC for digital audio applications[J]. Journal of Semiconductors, 2010, 31(5): 055009.
- [5] Tong Xinyuan, Yang Yintang, Zhu Zhangming, et al. A 10-bit 200-KS/s SAR ADC IP core for aVtouch screen SOC[J]. Journal of Semiconductors, 2010, 31(10): 105009.
- [6] Liu Chuncheng, Chang Soon-jyh, Huang Guanying, et al. A 10-bit 50MS/s SAR ADC with a monotonic capacitor switching procedure[J]. IEEE Journal of Solid-state Circuits, 2010, 45(4): 731-740.
- [7] Ma Jun, Guo Yawei, Li Li, et al. A low power 10-bit 100-MS/s SAR ADC in 65nm CMOS[C]//Proc of 2011 IEEE 9th International Conference on ASIC. Xiamen: IEEE, 2011: 484-487.
- [8] McCreary J L, Gray P R, Hodges D A. All MOS charge redistribution analog to digital conversion techniques. 1[J]. IEEE Journal of Solid-state Circuits, 1975, 10(6): 371-379.
- [9] Culurciello E. An 8-bit, 1mW successive approximation ADC in SOI CMOS[J]. IEEE Journal of Solid-state Circuits, 2003, 17(3): 301-304.
- [10] 张红, 高炜祺, 张正璠, 等. 一种基于新型寄存器结构的逐次逼近 A/D 转换器[J]. 微电子学, 2006, 36(3): 337-339.
- [11] 甘学温. 数字 CMOS VLSI 分析与设计基础[M]. 北京: 北京大学出版社, 2004.
- [12] Razavi B, Wooley B A. Design techniques for high-speed, high-resolution comparators[J]. IEEE Journal of Solid-state Circuits, 1992, 27(12): 1916-1926.
- [13] 孙彤, 李冬梅. 一种 0.2-mV 20-MHz 600-uW 比较器[J]. 微电子学, 2007, 37(2): 270-273.
- [14] Razavi B. 模拟 CMOS 集成电路设计[M]. 陈贵灿, 程军, 张瑞智, 等, 译. 西安: 西安交通大学出版社, 2003.
- [15] Allen P E, Holberg D R. CMOS 模拟集成电路设计[M]. 冯军, 李智群, 译. 北京: 电子工业出版社, 2011.
- [16] 林武平, 郭良权, 于宗光, 等. 新型高速低功耗动态比较器[J]. 半导体技术, 2008, 33(12): 1119-1122.
- [17] 李亮, 臧佳峰, 徐振, 等. 高速低功耗钟控比较器的设计[J]. 半导体技术, 2008, 33(1): 11-14.
- [18] Jeon H J. Low-power high-speed low-offset fully dynamic CMOS latched comparator[D]. [s. l.]: Northeast University, 2010.
- [19] Johnson J, Jacob M. Monitoring the effects of air pollution on forest condition in Europe: is crown defoliation an adequate indicator? [J]. iForest: Biogeosciences and Forestry, 2010, 3: 86-88.
- [20] Mark J A, Barbara L C. Forest health monitoring 2006 national technical report [R]. Asheville: Southern Research Station, 2009.
- [21] 沈剑波. 林分层次森林健康评价及森林健康评价系统设计与实现[D]. 昆明: 西南林业大学, 2012.
- [22] Tong Xinyuan, Yang Yintang, Zhu Zhangming, et al. A 10-bit 200-KS/s SAR ADC IP core for aVtouch screen SOC[J]. Journal of Semiconductors, 2010, 31(10): 105009.
- [23] Liu Chuncheng, Chang Soon-jyh, Huang Guanying, et al. A 10-bit 50MS/s SAR ADC with a monotonic capacitor switching procedure[J]. IEEE Journal of Solid-state Circuits, 2010, 45(4): 731-740.
- [24] Ma Jun, Guo Yawei, Li Li, et al. A low power 10-bit 100-MS/s SAR ADC in 65nm CMOS[C]//Proc of 2011 IEEE 9th International Conference on ASIC. Xiamen: IEEE, 2011: 484-487.
- [25] McCreary J L, Gray P R, Hodges D A. All MOS charge redistribution analog to digital conversion techniques. 1[J]. IEEE Journal of Solid-state Circuits, 1975, 10(6): 371-379.
- [26] Culurciello E. An 8-bit, 1mW successive approximation ADC in SOI CMOS[J]. IEEE Journal of Solid-state Circuits, 2003, 17(3): 301-304.
- [27] 张红, 高炜祺, 张正璠, 等. 一种基于新型寄存器结构的逐次逼近 A/D 转换器[J]. 微电子学, 2006, 36(3): 337-339.
- [28] 甘学温. 数字 CMOS VLSI 分析与设计基础[M]. 北京: 北京大学出版社, 2004.
- [29] Razavi B, Wooley B A. Design techniques for high-speed, high-resolution comparators[J]. IEEE Journal of Solid-state Circuits, 1992, 27(12): 1916-1926.
- [30] 孙彤, 李冬梅. 一种 0.2-mV 20-MHz 600-uW 比较器[J]. 微电子学, 2007, 37(2): 270-273.
- [31] Razavi B. 模拟 CMOS 集成电路设计[M]. 陈贵灿, 程军, 张瑞智, 等, 译. 西安: 西安交通大学出版社, 2003.
- [32] Allen P E, Holberg D R. CMOS 模拟集成电路设计[M]. 冯军, 李智群, 译. 北京: 电子工业出版社, 2011.
- [33] 林武平, 郭良权, 于宗光, 等. 新型高速低功耗动态比较器[J]. 半导体技术, 2008, 33(12): 1119-1122.
- [34] 李亮, 臧佳峰, 徐振, 等. 高速低功耗钟控比较器的设计[J]. 半导体技术, 2008, 33(1): 11-14.
- [35] Jeon H J. Low-power high-speed low-offset fully dynamic CMOS latched comparator[D]. [s. l.]: Northeast University, 2010.
- [36] Johnson J, Jacob M. Monitoring the effects of air pollution on forest condition in Europe: is crown defoliation an adequate indicator? [J]. iForest: Biogeosciences and Forestry, 2010, 3: 86-88.
- [37] Mark J A, Barbara L C. Forest health monitoring 2006 national technical report [R]. Asheville: Southern Research Station, 2009.
- [38] 沈剑波. 林分层次森林健康评价及森林健康评价系统设计与实现[D]. 昆明: 西南林业大学, 2012.

(上接第 209 页)

SERVICE, 2009.

- [13] Ostry M E, Laflamme G. Fungi and diseases-natural components of healthy forests[J]. Botany, 2009, 87(1): 22-25.
- [14] Fischer R, Lorenz M, Köhl M, et al. The condition of forests in Europe 2010 executive report[R]. Hamburg: UNECE, 2010.
- [15] Rapport D J, Costanza R, McMichael A J. Means of combating forest dieback - EU support for maintaining forest health and vitality[J]. iForest: Biogeosciences and Forestry, 2009, 2: 38-42.
- [16] Tkacz B, Moody B, Castillo J V, et al. Forest health conditions

in North America [J]. Environmental Pollution, 2008, 115(3): 409-425.

- [17] Johnson J, Jacob M. Monitoring the effects of air pollution on forest condition in Europe: is crown defoliation an adequate indicator? [J]. iForest: Biogeosciences and Forestry, 2010, 3: 86-88.
- [18] Mark J A, Barbara L C. Forest health monitoring 2006 national technical report [R]. Asheville: Southern Research Station, 2009.
- [19] 沈剑波. 林分层次森林健康评价及森林健康评价系统设计与实现[D]. 昆明: 西南林业大学, 2012.

一种10 bit 1 MS/s SAR ADC的设计实现

作者: [李现坤](#), [张瑛](#), [郭宇锋](#), [杨恒新](#), [LI Xian-kun](#), [ZHANG Ying](#), [GUO Yu-feng](#),
[YANG Heng-xin](#)

作者单位: [南京邮电大学 电子科学与工程学院, 江苏 南京, 210003](#)

刊名: [计算机技术与发展](#) 

英文刊名: [Computer Technology and Development](#)

年, 卷(期): 2014(8)

本文链接: http://d.wanfangdata.com.cn/Periodical_wjfz201408050.aspx