

基于 ATE 的 FPGA 软件自动化测试技术的研究

孙黎^{1,2}, 张涛¹, 周珊¹

(1. 中国科学院空间应用工程与技术中心, 北京 100094;

2. 中国科学院大学, 北京 100190)

摘要:文中针对目前 FPGA 测试环境系统开发中存在的自动化程度不够高、速度和精度不能达到要求等问题,根据 FPGA 的特点,基于软件测试技术,结合 ATE(Automatic Test Equipment)的优势,提出了一种解决 FPGA 软件自动化测试的方案。该方案能够降低测试环境的开发时间和成本,满足测试需求的同时提高 FPGA 软件自动化测试的速度和精度。文中以商用 ATE 为依托,详细地介绍了测试原理、测试方法以及测试流程,并在具体的工程项目验证了该方法的可行性。

关键词:自动测试设备;现场可编程门阵列;测试环境;软件测试

中图分类号:TP391.76

文献标识码:A

文章编号:1673-629X(2014)08-0006-04

doi:10.3969/j.issn.1673-629X.2014.08.002

Research on Software Automation Testing Technology of FPGA Based on ATE

SUN Li^{1,2}, ZHANG Tao¹, ZHOU Shan¹

(1. Technology and Engineering Center for Space Utilization, Chinese Academy of Sciences,

Beijing 100094, China;

2. University of Chinese Academy of Sciences, Beijing 100190, China)

Abstract: Aiming at the problems existed in the development of FPGA test environment system, for instance, the degree of automation is not high, the speed and precision can't meet the requirements and so on, according to the characteristics of FPGA, based on the software testing technology and combined with ATE (Automatic Test Equipment) advantages, provide a solution for automation software testing of FPGA. The solution can reduce the development time and cost in testing environment, and meet the test requirements and improve the speed and precision of automation software test of FPGA. In this paper, introduce the principles, methods and process of testing based on commercial ATE, and verifies the feasibility in practical engineering project.

Key words: ATE; FPGA; test environment; software testing

0 引言

近年来,随着我国集成电路技术的飞速发展,现场可编程门阵列(Field Programmable Gate Array, FPGA)以其高可靠性、低价格、配置灵活等特点,被广泛应用于载人航天事业中。随着 FPGA 应用领域的扩展以及复杂程度和重要性的提高,对 FPGA 系统可靠性的要求也越来越高。目前 FPGA 测试技术的研究主要集中于对 FPGA 芯片资源的测试,通过编程覆盖 FPGA 所有的逻辑资源和连线资源,验证每个单元基本逻辑功能的正确性,而无法对电路的整体功能性行为进行有效的验证^[1]。对 FPGA 内部硬件描述语言(HDL),包

括 VHDL 和 Verilog HDL 的测试,是 FPGA 有效运行的保障,一旦 HDL 存在缺陷,将导致 FPGA 无法正常运行预期功能,成为影响 FPGA 可靠性的关键因素。

ATE 设备已经广泛地应用于 FPGA 芯片资源的测试,可对芯片进行 SoC 测试、存储测试、混合信号测试、电源管理测试、大功率测试等批量测试。ATE 具有自动化程度高、高速度和高精度等特点。将 ATE 应用于 FPGA 的软件测试,可简化测试环境系统开发的复杂度,并能模拟器件真实工作的场景,提高测试的准确度和精度。文中针对 FPGA 自身特点,在软件测试技术的基础上进行改进,结合 ATE 的优势,形成一套

适用于 FPGA 的测试方法。

1 研究背景

1.1 目前 FPGA 测试存在的弊端

目前对 FPGA 进行软件测试主要采用四种手段:

(1)对 HDL 进行静态分析,结合静态分析工具可进行代码规则检查和静态时序分析等。静态时序分析具有不需要外部测试激励、效率高和全覆盖的优点,但是精确度不高,不能真实地模拟被测件的实际工作情况^[2],并且由于“虚假路径”^[3]的存在,会妨碍关键路径的确定,降低时序验证的效率。

(2)对 FPGA 进行仿真,包括功能仿真和时序仿真。功能仿真,也称为前仿真或行为级仿真,是指仅对逻辑功能进行测试模拟,以了解其实现的功能是否满足原设计的要求,仿真过程没有加入时序信息,不涉及具体器件的硬件特性,考虑的是理想化的情况,没有门延迟、布线延迟。时序仿真,也称为后仿真或布局布线后仿真,是指提取有关的器件延迟、连线延时等时序参数,并在此基础上进行的仿真。仿真是在不考虑硬件特性,并假设输出理想的情况下进行的,具有直观、覆盖率高,并能够在设计的初始阶段尽早发现问题等特点。但仿真的结果存在较大的局限性,不能真实地模拟被测系统实际工作环境下的温度、湿度等情况,仿真的模型多依赖于 FPGA 器件厂商提供的仿真模型,这就直接导致了仿真的结果不能真实地体现 FPGA 的实际工作情况,使得测试结果的准确性和精度不能满足要求,并且如果系统的逻辑量较大,仿真的耗时较长。

(3)自主研制测试系统,包括硬件电路的设计、环境板 FPGA 的配置、测试向量的编写、获取测试结果等。该方法往往投资大、耗时长,输入测试向量和采集测试结果不能实现完全的自动化,需要手动进行测试向量的配置,人工分析响应结果,整个测试系统受外部环境的影响较大,稳定性差,并且难以保证测试的精度,研制出来的测试环境平台可移植性不够高,只能针对较单一的配置项,无法统计测试的覆盖率等。

(4)FPGA 内嵌的逻辑分析仪。内嵌逻辑分析仪是将逻辑分析器、总线分析器和虚拟 I/O 小型软件直接插入到用户的设计当中,可以直接查看任何内部信号或节点。内嵌逻辑分析仪可以分析 FPGA 内部任何信号,在板上以达到或接近目标工程的速度验证 FPGA 设计,并能将引脚的影响降至最低。但内嵌逻辑分析仪存在速度和精度不够高的缺点,数据量的深度也不能满足大规模测试的需求。

1.2 基于 ATE 的自动测试系统

由于受到各行各业,特别是航天领域对嵌入式高可靠软件的强有力的需求牵引,自动测试系统(Auto-

matic Test System,ATS)在军用软件评测和软件质量保证工作中越来越受到重视,自动测试设备(Automatic Test Equipment,ATE)作为自动测试系统中不可缺少的部分也在软件测试领域中起到了关键的作用。

自动测试系统具有高速度、高精度、多功能和宽测量范围等众多特点。工程上的 ATS 是指能对被测件自动进行测量、故障诊断、数据处理、存储、传输,并以适当方式显示或输出测试结果的系统。ATS 一般包括三大部分:自动测试设备(ATE)、测试程序集(Test Program Set,TPS)和相应的 TPS 软件开发工具(又称测试开发环境)^[4]。Justin J 等人^[5]对 ATE 的测试程序采用内嵌模型,能够在测试过程中提高执行的效率,并提高程序的可扩展性;Scheck G^[6]则是通过研究 ATE 软件开发的架构,减少开发成本。

目前世界领先的高性能 ATE 可实现 GHz 的测试速率,最大的测试通道可达到 2 048 个,分辨率可达 10 ps,满足测试所需的高速、高精度的要求。ATE 包含仿真环境及协议感知环境^[7],ATE 的模块化结构使多功能模块集合在一个硬件平台上,可同时进行数字、模拟、数/模混合、高速总线、射频、内嵌式存储器^[8]、DUT 的扫描测试^[9]等。Lemon R 等人^[10]还扩展了 ATE 的接口,使得 ATE 的功能更加丰富。

2 FPGA 软件测试特点

FPGA 作为可编程逻辑器件,通过用户自定义编写 HDL 程序进行配置,实现用户所需功能。HDL 与计算机程序语言在语法上有很多相似之处,但硬件语言和软件语言最重要的区别在于它们的“运行”方式。硬件设计中用到的许多单元都是并行的,而软件设计中大多采用串行的方式;由于硬件的并行方式,使得 FPGA 实现算法的速度快得多,比软件实现的方法具有更高的系统性能;另外,硬件语言对时序的要求很高,需要在某一特定的时钟频率下运行,而软件系统对时序的要求相对较低;硬件系统受测试的硬件电路环境的影响较大,而软件系统相对较小;由于周围环境对硬件电路的影响较大,所以硬件系统的测试结果具有不确定性,而软件系统的测试结果相对稳定。

软件测试按是否要运行程序可划分为动态测试和静态测试,动态测试又可分为黑盒测试和白盒测试。静态测试主要包括文档审查、代码审查、静态分析等测试类型,动态测试包括功能测试、逻辑测试、接口测试、性能测试等测试类型。白盒测试通常采用以逻辑覆盖衡量的结构性测试技术,黑盒测试通常采用包括等价类、边界值、功能分解法等在内的功能性测试技术^[1]。另外,由于 FPGA 具有内嵌的逻辑分析仪,使得灰盒技术的应用成为可能。

3 基于 ATE 的 FPGA 软件测试方法

3.1 ATE 测试原理

对 FPGA 内部逻辑进行自动化测试需要几个必备条件:被测软件、测试向量、测试输出。

ATE 能够给测试芯片提供测试模式,通过测试向量对芯片施加激励,测量芯片响应输出,与预期结果比较^[11]。ATE 的心脏是计算机,用以控制测试软件的运行,ATE 有着自己的操作系统,可以提供高效的程序调试、多功能的软件工具,以及图形化的用户界面。与传统的方法相比,ATE 可提供更高的速度和精度,并且可自动执行测试向量,省去了手动配置的繁琐程序,并能将产生的结果进行自动的对比/判读,不要再进行人工编写自动判读软件。

ATE 的测试类型主要有三类:动态功能测试、直流参数测试和交流参数测试。动态功能测试主要是检测被测代码是否实现了需求设计中的各项功能。参数测试包括直流参数测试和交流参数测试,直流参数测试包括接触测试、静态功耗测试、漏电流测试、电流电压测试等^[12];交流参数测试主要测试一些交流特性参数,如:传输延时、建立时间和保持时间等。

动态功能测试需要用到图形文件以及时序文件,它的基本过程就是输入端施加若干激励信号(测试图形),按照电路规定的频率施加到被测件,然后采集输出的状态与预期的图形进行比较,根据两者相同与否,来判断电路功能是否正常^[13]。动态功能测试的硬件组成框图如图 1 所示。

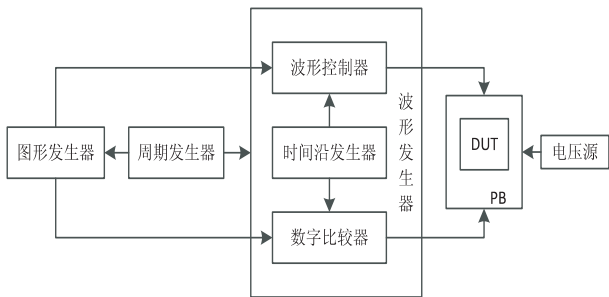


图 1 动态功能测试硬件组成框图

整个测试系统的测试输入部分主要由周期发生器、图形发生器、波形控制器和时间沿发生器组成,测试输入通过性能板 (Performance Board, PB) 将激励信号传送给被测器件 (Device Under Test, DUT), DUT 产生的测试输出再经 PB 回传至测试系统,测试结果经比较器比对后显示在 ATE 上。

直流参数测试可以对管脚进行连接性检查,在对芯片进行测试前,首先要对被测的硬件电路进行接触性测试 (open/short 测试),目的是检测 PB 板是否与 DUT 建立了稳定、可靠的连接,以及检查 DUT 的引线是否有开路或短路的现象。连接性测试需要编写 TDL

文件,主要分为引脚定义文件、通道映射关系文件和测试函数文件。连接性测试一般采用给被测管脚施加电流测电压的方式,对被测管脚施加 $-100\ \mu\text{A}$ 的反向电流,测量得到的电压值在 $-0.1\ \text{V} \sim -1\ \text{V}$ 之间表明该管脚接触正常。

测试原理图如图 2 所示。

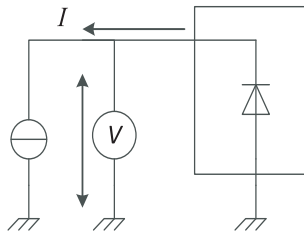


图 2 接触性测试原理图

交流参数的测试硬件条件与动态功能测试相同,是通过改变时间参数,反复执行功能测试,主要采用的方法有二分法和顺序法。

3.2 测试系统架构

通用的 ATE 不提供专门的 FPGA 配置功能,需制作针对不同型号 FPGA 测试的硬件电路板,电路板上包括测试所需的 FPGA 芯片以及对应的配置芯片。硬件电路主要由 FPGA 及其配置电路组成,为了保证高速信号的传输,在 PCB 设计时着重考虑 FPGA 的等长布线,差分对信号要按照等长差分线布线,差分信号的两条差分线应该尽量靠近,为了避免干扰要远离其他走线,高速的信号也要进行等长布线的处理,以保证并行信号不会发生时间偏移。硬件电路安装在 ATE 的 PB 上,主要实现信号的传输, DUT 与 PB 接触的每个管脚都有唯一的号码标识,以保证每个管脚都有与 ATE 相连的测试通道,可与 ATE 进行 I/O 的信号传输。

测试系统的基本框图如图 3 所示。

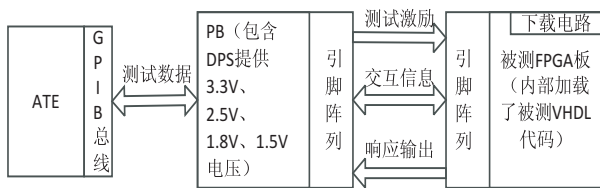


图 3 测试系统基本框图

测试的软件部分主要由被测代码、仿真波形、测试图形、TDL 文件和测试结果组成。测试的流程主要包括:

- 1) 配置 FPGA 芯片,并将 DUT 安装到 PB 上;
- 2) 使用 Xilinx 的 ISE 软件对 FPGA 进行配置,编写 testbench,对被测代码进行仿真,获得带有输入输出波形的 .vcd 文件;
- 3) 使用波形转换工具将 .vcd 文件转换成 .asc 文件,导入 ATE 中,使用 trans66 将 .asc 文件转换成 ATE

可识别的 pattern 波形. lpa 文件;

4) 使用 ATE 命令打开操作界面, 将 TDL 程序导入, 依次执行测试。

测试图形也叫做测试向量或真值表, 它是在被测器件 (Device Under Test, DUT) 在完成设计的逻辑功能时输入和输出状态的表征^[14]。测试图形由输入和输出两部分组成。一部分描述输入值, 用 0、1、N、P 表示, 一部分描述期望的输出值, 用 H、L、Z、X 表示。其中, 0 和 1 表示输入低电平和高电平; N 和 P 表示输入负向脉冲和正向脉冲; H 和 L 表示输出高电平和低电平; Z 表示高阻状态; X 表示无需比较。

测试图形通常由仿真波形生成, 也可由测试工程师编写。

3.3 测试流程

测试流程主要由以下几部分组成: 搭建硬件电路、编写 TDL 程序、生成和施加测试向量、自动接收并判断测试响应、自动分析并记录测试结果等。

测试的步骤分为:

- 1) 将被测代码下载到 FPGA 芯片的专用 PROM 中, 可保证断电后 FPGA 内部代码不丢失;
- 2) 将 DUT 安装到 ATE 的 PB 上;
- 3) 将生成的测试图形文件和测试程序导入 ATE 中, 确保调试成功;
- 4) 执行连接性测试;
- 5) 执行功能测试项目。

ATE 按照 TDL 程序中设定好的函数顺序, 依次执行测试, 所有的测试项目都显示为 pass 时测试通过。

4 应用示例

根据以上测试方法, 结合某型号商用 ATE, 对载人航天某型号 FPGA 进行软件自动化测试, 测试的主要内容是对 SPI 的程控输出接口进行功能测试, 测试 DUT 对输入正常、异常程控指令的处理情况。

程控指令数据帧格式如下所示:

地址 (1 字节) + 长度 (2 字节) + 数据类型 (1 字节) + 通道号 (1 字节) + 校验 (1 字节)

测试时, 先通过仿真波形获取正确和错误的程控指令数据帧, 转换成 ATE 的输入文件, 对被测的代码进行功能测试, 测试结果的 pass 或 fail 直接在操作界面上显示。

经验证, 该测试方法能很好地模拟被测软件的实际工作情况, 满足测试要求的同时提高了测试的自动化程度。

5 结束语

文中针对 FPGA 自身的特点, 将软件测试技术合理地引用到 FPGA 测试中, 并结合 ATE 的优势, 对 FPGA 自动化测试方法进行研究, 以商用自动测试设备为依托, 实现了 FPGA 内部逻辑的自动化测试。将 ATE 用于软件测试, 可缩短测试环境的开发周期和测试周期, 完成复杂的测试项目, 并且 ATE 具有较强的通用性, 为软件的自动化测试提供了更广阔的前景。

参考文献:

- [1] 刘子宜, 刘 畅, 郑 军. 基于软件测试技术的 FPGA 测试研究[J]. 电子技术应用, 2011, 37(5): 28-30.
- [2] 徐文波, 田 耘. Xilinx FPGA 开发实用教程[M]. 北京: 清华大学出版社, 2012.
- [3] 简贵胄, 葛 宁, 冯重熙. 静态时序分析方法的基本原理和应用[J]. 计算机工程与应用, 2002, 38(14): 115-116.
- [4] 李行善, 左 毅, 孙 杰. 自动测试系统集成技术[M]. 北京: 电子工业出版社, 2004.
- [5] Justin J, Lindstrom L, Jain A. Using a plug-in model to simplify and enhance ATE test software capabilities[C]//Proc of AUTOTESTCON. Anaheim, CA: IEEE, 2012: 105-107.
- [6] Scheck G. Reducing the cost of ATE software development[C]//Proc of AUTOTESTCON. Anaheim, CA: IEEE, 2012: 224-226.
- [7] Evans A C. The new ATE: protocol aware[C]//Proc of IEEE international test conference. Santa Clara, CA: IEEE, 2007: 1-10.
- [8] 刘鸿琴. ATE 产业发展的新动向[J]. 国外电子测量技术, 2004, 23(6): 3-4.
- [9] Schiano L, Kim Y B, Lombardi F. Scan test of IP cores in an ATE environment[C]//Proc of IEEE international conference on field-programmable technology. [s. l.]: IEEE, 2004: 281-286.
- [10] Lemon R, Coulter B, Archibald S, et al. Interface test adapter development & maintenance using a Continuity/Insulation Automatic Test Station in large scale test systems[C]//Proc of AUTOTESTCON. Anaheim, CA: IEEE, 2009: 107-112.
- [11] 潘曙娟, 钟 杰. 基于 ATE 的 IC 测试原理、方法及故障分析[J]. 半导体学报: 英文版, 2006, 27(z1): 354-357.
- [12] 谢维坤. 基于 ATE 的 FPGA 测试[J]. 电子与封装, 2009, 9(12): 17-19.
- [13] 龙祖利, 王子云. FPGA 测试技术及 ATE 实现[J]. 计算机工程与应用, 2011, 47(6): 65-67.
- [14] 张 栋, 高 成. 基于 ATE 的大规模数字集成电路测试技术[C]//第一届中国微电子计量与测试技术研讨会论文集. 北京: 北京航空航天大学, 2008: 6-9.

基于ATE的FPGA软件自动化测试技术的研究

作者:

孙黎, 张涛, 周珊, [SUN Li](#), [ZHANG Tao](#), [ZHOU Shan](#)

作者单位:

[孙黎, SUN Li \(中国科学院 空间应用工程与技术中心, 北京 100094; 中国科学院大学, 北京 100190\), 张涛, 周珊, ZHANG Tao, ZHOU Shan \(中国科学院 空间应用工程与技术中心, 北京, 100094\)](#)

刊名:

[计算机技术与发展](#)

英文刊名:

[Computer Technology and Development](#)

年, 卷(期):

2014(8)

引用本文格式: [孙黎, 张涛, 周珊, SUN Li, ZHANG Tao, ZHOU Shan](#) [基于ATE的FPGA软件自动化测试技术的研究](#)[期刊论文]-[计算机技术与发展](#) 2014(8)