

基于 FPGA 的千兆以太网终端显示系统的设计

刘 鹏, 胥效文, 史忠科

(西北工业大学 自动化学院, 陕西 西安 710129)

摘 要: VGA (视频图像阵列) 作为一种标准的显示接口得到广泛应用; 千兆以太网具有传输速度快、传输距离远、稳定可靠等优点, 是当前嵌入式系统的应用热点; FPGA 拥有丰富的逻辑和光脚资源, 常用于高速数据处理和通信的嵌入式系统。文中结合以上三点, 介绍了基于 FPGA 的千兆以太网终端显示系统的设计。通过对该系统方案进行分析, 将设计分为 3 个模块: 数据包接收及解析模块、双口 RAM 缓存模块和 VGA 控制器模块。文中详细介绍了这 3 个模块的设计方法, 并在此技术上实现了 3 个模块协同工作完成整个系统的功能, 并给出了系统仿真结果和显示效果。

关键词: FPGA; 千兆以太网; 视频图像阵列; 双口 RAM

中图分类号: TP274. 2; TP393. 1

文献标识码: A

文章编号: 1673-629X(2014)05-0184-03

doi: 10. 3969/j. issn. 1673-629X. 2014. 05. 045

Design of Gigabit Ethernet Terminal Display System Based on FPGA

LIU Peng, XU Xiao-wen, SHI Zhong-ke

(School of Automation, Northwestern Polytechnical University, Xi'an 710129, China)

Abstract: VGA (Video Graphics Array) is widely used as a standard display interface. Gigabit Ethernet, which has advantages of high-speed transmission, long-distance transmission, high stability and reliability, plays an important role in the current embedded systems. FPGA has rich logic and pins resources, which is often used in high-speed data processing and embedded communication systems. Based on the above three points, introduce the gigabit Ethernet terminal display system design based on FPGA. Through the analysis of the system scheme, the design is divided into three modules: packet receiving and parsing module, dual port RAM cache module and VGA controller module. Introduce in detail the three module design method, and realize the three modules in this technology to work together to complete the function of the whole system, and the system simulation results and display effect is given.

Key words: FPGA; gigabit Ethernet; VGA; dual port RAM

0 引言

随着电子技术的发展, 系统设备正向小型化、集成化、网络化发展。FPGA 具有资源丰富、运行速度快等特点, 广泛应用于高速数据处理和通信系统^[1]。千兆以太网技术发展成熟, 具有价格低廉、稳定可靠、传输速度快、传输距离远等特点, 广泛用于高速数据传输^[2]。VGA 接口广泛应用于 CRT、LCD、投影仪等显示设备。结合 FPGA、千兆以太网和 VGA 接口的优点, 文中设计了基于 FPGA 的千兆以太网终端显示系统, 利用多套的终端显示系统可以实现一台计算机控制多路 VGA 的显示, 简化设计, 降低成本。

1 系统总体方案设计

整个系统设计采用由顶向下的设计思想, 设计过程包括顶层模块设计、子模块设计、模块最后合并三个步骤^[3]。顶层设计是设计的第一个步骤, 包括对整个系统设计的规模进行估计, 按照功能划分成各个子模块, 以及估计子模块之间的相互关系。根据设计的需要, 将整个系统按照任务分为三部分: 以太网数据包的接收及数据包的解析, 由 rece_udp 模块完成; 数据的存储, 由双口 RAM 模块完成; 输出 VGA 时序信号, 由 VGA 控制器模块完成。

整个系统的框图如图 1 所示。

收稿日期: 2013-07-09

修回日期: 2013-10-18

网络出版时间: 2014-02-11

基金项目: 国家自然科学基金资助项目(61134004)

作者简介: 刘 鹏(1987-), 男, 陕西富平人, 硕士研究生, 研究方向为硬件电路设计、千兆以太网和 VGA 显示技术; 胥效文, 教授, 研究方向为控制系统性能评估及环境系统工程; 史忠科, 教授, 博士生导师, 研究方向为控制工程和交通管理。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20140211.1450.019.html>

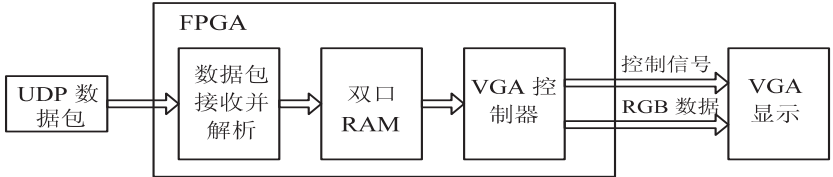


图1 系统总体框图

2 数据包接收及解析模块设计

2.1 MAC 帧格式

以太网采用数据帧的方式进行通信,帧是网络通信的基本单元^[4]。站点在发送信息时,MAC 层首先会将信息封装成帧的格式通过一个或多个帧进行传送^[5]。如图2所示,IEEE 802.3-2005 标准规范给出了以太网帧的基本结构^[6],共由8个字段组成。

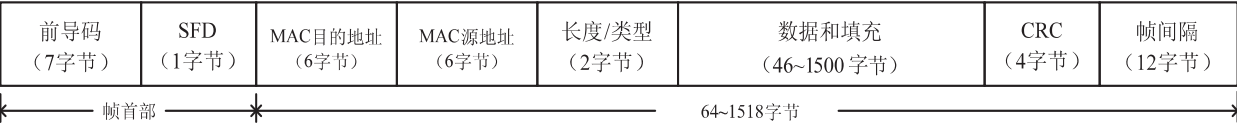


图2 MAC 帧格式

2.2 数据包的接收及解析模块设计

该模块的功能是接收千兆以太网 PHY 芯片 88E1111 编码后的 MAC 帧数据流,并将 MAC 帧头、IP 报头和 UDP 包头去除后,数据存入双口 RAM 中^[8]。其程序流程图如图3所示。

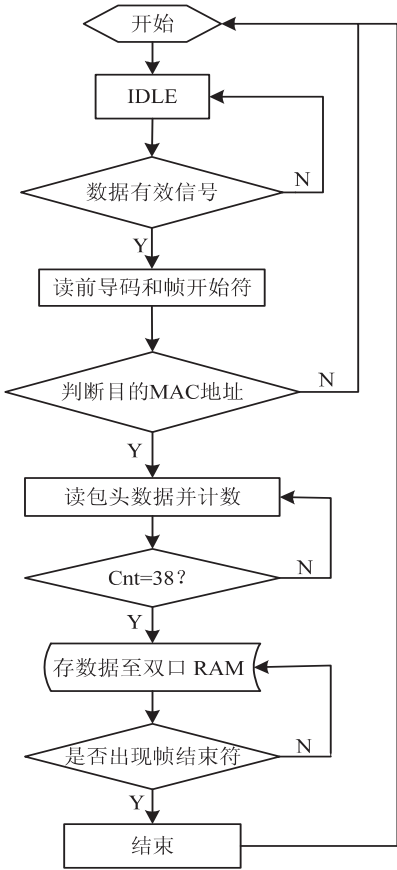


图3 数据包接收流程

物理层中传送的 MAC 帧由 MAC 的客户数据和 MAC 的首部和尾部构成,而 MAC 客户数据即是网络层的 IP 数据报,由 IP 首部和 IP 数据部分构成,IP 数据部分的组成元素又是由 UDP 首部和 UDP 数据部分构成(该系统用 UDP),UDP 的数据部分就是用户有用的数据,数据包解析的最终目的就是得到 UDP 数据包中的有用数据^[7]。

模块元件图如图4所示。端口说明如下^[9]:

- 输入端口:
- rst_n:复位信号;
 - clk_125:模块的工作时钟信号;
 - rx_clk:88E1111 恢复的 125 M 时钟信号;
 - gm_rx_err:88E1111 输出的数据错误信号;
 - gm_rx_dv:88E1111 输出的数据有效信号;
 - gm_rx_d[7:0]:88E1111 输出的数据。
- 输出端口:
- gtx_clk:输出给 88E1111 的发送时钟;
 - rst_out:88E1111 的复位信号;
 - wren:双口 RAM1,2 的输入使能;
 - ram_data[7:0]:双口 RAM1,2 的输入数据;
 - wraddr[7:0]:双口 RAM1,2 的输入地址。

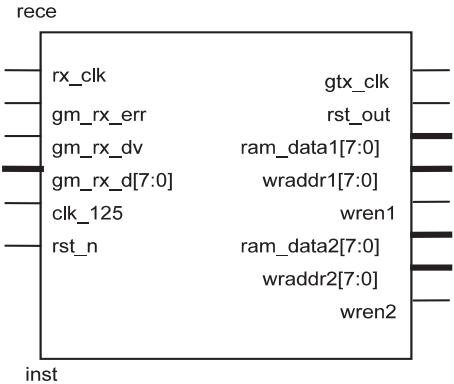


图4 rece 模块元件图

3 双口 RAM 模块设计

该系统的双口 RAM 的作用是为 VGA 模块和 rece

模块提供缓存。系统要求双口 RAM 写数据时以 rece 模块的时钟 (125 MHz) 为时钟频率,读数据时以 VGA 模块的时钟 (75 MHz) 为时钟频率,所以在这里使用的是异步的双口 RAM。写数据时时钟频率为 125 MHz,在每个时钟的上升沿都有数据写入,如果采用一个双口 RAM 缓存数据,就要求一个时钟周期 (8 ns) 写入 1 字节的数据,双口 RAM 的速度显然达不到。所以该系统使用两个双口 RAM,交替接收写入的数据,这样每个双口 RAM 的写入周期为 16 ns,满足双口 RAM 的写入周期要求,然后将两个双口 RAM 的同一地址的 8 bit 数据拼接成 16 bit 的数据,输出给 VGA 模块。

4 VGA 显示模块的设计

4.1 VGA 显示的总体要求

VGA 显示模块的设计要满足一定的行、场同步时序的同时,必须与 rece 模块及双口 RAM 的读写时序配合好才能正常工作^[10]。

在数据有效时段,在每个点时钟的上升沿读取两个双口 RAM 中的数据,并且根据显示区域给出双口 RAM 的读地址,将两个 8 bit 的数据拼接成 16 bit 的数据,输出给视频转换芯片 ADV7123,将 16 bit 的数据转换成 RGB 模拟信号,输出给 VGA 接口。

4.2 VGA 时序模块的设计

该系统所要实现的 VGA 显示分辨率为 1 024 * 768,刷新频率为 60 Hz,其时序图、时序参数参考 VE-SA 显示器时序标准^[11]。VGA 时序控制器模块主要产生行同步信号 HS、场同步信号 VS 和每个像素对应的双口 RAM 地址,工作流程图如图 5。

使用 FPGA 的锁相环倍频后产生 65 MHz 的时钟作为 VGA 时序控制器的像素时钟信号^[12]。行计数器 x_cnt 对时钟脉冲信号进行计数,x_cnt 从 0 开始计数

直到 135,这期间产生行同步脉冲 HS,x_cnt 继续计数,产生后沿消隐信号,当 x_cnt=295 时,产生有效显示信号,当 x_cnt=1 319 时,产生前沿消隐信号,当 x_cnt=1 343 时,计数器已经记满 1 344 个数,一行显示完成,x_cnt 重新从 0 开始计数。则行频为 $65\text{ M} \div 1\,344 \approx 48\text{ kHz}$ 。场计数器 y_cnt 对行数进行计数,当行计数器 x_cnt 记到 1 343 时场计数器 y_cnt 加 1,y_cnt 从 0 开始计数到 5,这期间产生场同步脉冲信号 VS,y_cnt 继续计数,产生后沿消隐信号,当 y_cnt=34 时,产生有效显示信号,当 y_cnt=802 时,产生前沿消隐信号,当 y_cnt=805 时,计数器已经记满 806 个数,y_cnt 重新从 0 开始计数,开始下一帧图像显示。则刷新率为: $48\text{ k} \div 806 \approx 60\text{ Hz}$ 。

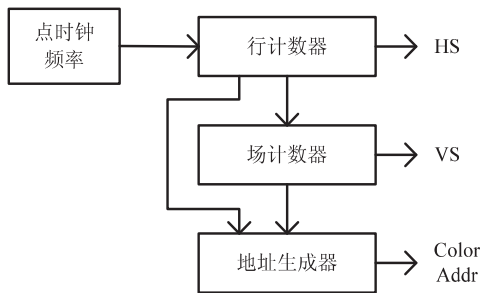


图 5 VGA 时序模块工作流程

5 系统调试

5.1 系统顶层模块

系统的顶层模块如图 6 所示,inclk0 是 50 MHz 输入时钟信号,经过 pll (锁相环) 分频后产生 c0:125 MHz 和 c1:65 MHz 的时钟,125 MHz 的时钟输出给 rece 模块和双口 RAM 的写时钟,65 MHz 的时钟输出给 VGA 模块和双口 RAM 的读时钟。

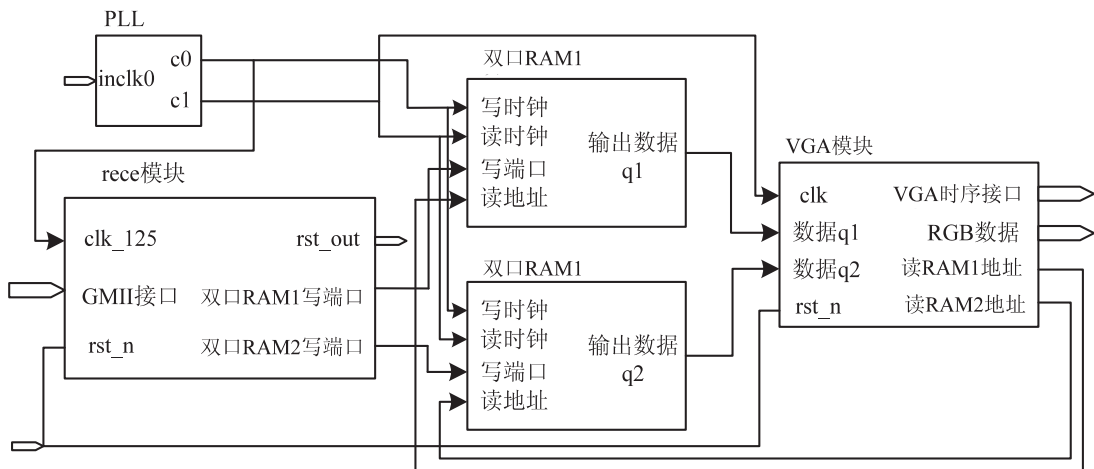


图 6 系统顶层模块图

5.2 调试结果

通过 PC 端软件将彩条数据 0000 111f 07e0 f81f

f800 07ff ffff 封装为 UDP 包的格式,本地 IP 地址设为 192.168.0.2,目标 IP 地址设为 192.168.0.1,通过

cmd 命令 arp-s 将 IP 地址 192.168.0.1 与 MAC 地址 00-1c-23-17-4a-cb 建立映射表。

gm_rx_d 为输入的 MAC 帧数据,当数据使能信号 gm_rx_dv 有效时,读入前导码 7 个 55h 和帧开始符 D5h,然后判断目标 MAC 地址 00-1c-23-17-4a-cb,如果正确,去除包头数据后,双口 RAM 的写使能信号 wren1,wren2 使能,并给出双口 RAM 的写地址 wrad-dr1,wrad-dr2,两个双口 RAM 是交替写入的。

h_sync 和 v_sync 是产生的 VGA 行同步和场同步信号,在数据有效时段产生读双口 RAM 的使能信号 rden1,rden2,并给出读双口 RAM 的地址 rdaddr1,rdad-dr2,将两个 8 bit 的数据 ram_q1 和 ram_q2 拼接成 16 bit 的数据 rgb_data。VGA_clk 的频率为 65 MHz,rx_clk 的频率为 125 MHz。

运行系统后,将彩条数据通过千兆以太网传输给 FPGA,在显示器上可以显示相应的彩条。

6 结束语

该系统基于 FPGA 设计,完成了千兆以太网数据包的接收、解析,数据的缓存以及 VGA 的显示。相比于其他的基于 DSP 或者 ARM 的数据传输及 VGA 的显示系统,该系统具有可靠性高、性能稳定、开发灵活、调试简单、设计成本低、开发周期短、屏幕显示质量高的特点。

参考文献:

[1] Sridharan K,Priya T K. The design of a hardware accelerator for real-time complete visibility graph construction and effi-

(上接第 183 页)
用户的需求。

参考文献:

[1] Lozamo M D,Gonzalez P,Romas I. User interface specification and modeling in an object oriented environment for automatic software development[C]//Proc of the 34th international conference on technology of object-oriented languages and systems. Santa Barbara,CA:[s. n.],2000:373-381.
[2] 李琦,李建成,张科峰. 基于 GUI4J 的界面自动生成技术[J]. 西安工程大学学报,2010,24(3):334-337.
[3] da Silva P P,Paton N W. A UML-based design environment for interactive applications[C]//Proceedings of the 2nd international workshop on user interfaces to data intensive systems. Zurich,Switzerland:IEEE Computer Society,2001:60-71.
[4] 宋国伟. GTK+2.0 编程范例[M]. 北京:清华大学出版社,2002.

cient FPGA implementation[J]. IEEE Trans on Industrial Electronics,2005,52(4):1185-1187.
[2] Seifert R. 千兆以太网技术与应用[M]. 郎波,译. 北京:机械工业出版社,2000.
[3] 夏宇闻. Verilog 数字系统设计[M]. 北京:北京航空航天大学出版社,2008.
[4] 王建军,李勇帆,肖杰,等. 以太网协议数据封装动态仿真的设计与实现[J]. 计算机技术与发展,2010,20(6):133-136.
[5] 徐洪波,俞承芳. 基于 FPGA 的以太网 MAC 子层协议设计实现[J]. 复旦学报(自然科学版),2004,43(1):50-53.
[6] LAN/MAN Standards Committee of the IEEE Computer Society. IEEE Std 802.3-2005 telecom and information exchange between local and metropolitan area networks specific requirements[S]. 2005.
[7] 王时雨,贺占庄,张盛兵. 基于 FPGA 的以太网 MAC 控制器的实现[J]. 微电子学与计算机,2012,29(2):171-175.
[8] Stevens W R. TCP/I 详解[M]. 范建华,胥光辉,张涛,等,译. 北京:机械工业出版社,2000.
[9] Marvell Semiconductor. 88E1111 integrated 10/100/1000 ultra gigabit Ethernet transceiver[M]. USA:Marvell Semiconductor,2004.
[10] VESA and Industry Standards and Guidelines for Computer Display Monitor Timing[S]. 2004.
[11] 张亚平,贺占庄. 基于 FPGA 的 VGA 显示模块设计[J]. 计算机技术与发展,2007,17(6):242-245.
[12] 朱文伟,许忠仁. 基于 FPGA 的 VGA 图像控制器的设计与实现[J]. 贵州大学学报(自然科学版),2009,26(2):109-111.

[5] GTK+reference manual[EB/OL]. 2013-07. <http://doc.gnu-darwin.org/gtk20/>.
[6] 黄瑛,刘少君,裴海龙,等. 基于 GTK+库数控机床界面的设计与实现[J]. 制造业自动化,2005,27(1):52-54.
[7] 秦超,林为民,王力科. Linux 下图形配置界面的设计与实现[J]. 微计算机信息,2004,20(1):120-121.
[8] GTK+ 2.0 Tutorial[EB/OL]. 2013-06. <http://oss.org.cn/man/develop/GTK+/tutorial/>.
[9] 吴姗姗,彭向阳. 基于 XML 的通用数据库访问引擎的设计与实现[J]. 指挥信息系统与技术,2010,1(1):55-59.
[10] 张银鹤,张秋香. XML 实践教程[M]. 北京:清华大学出版社,2007.
[11] 吴桂阳,万建成,于清国,等. 基于 XML 的界面模板技术[J]. 计算机应用研究,2004,21(10):54-55.
[12] 陈超,金晶. 态势显示软件人机界面建构方法[J]. 指挥信息系统与技术,2011,2(2):66-70.

基于FPGA的千兆以太网终端显示系统的设计

作者: [刘鹏](#), [胥效文](#), [史忠科](#), [LIU Peng](#), [XU Xiao-wen](#), [SHI Zhong-ke](#)
作者单位: [西北工业大学 自动化学院, 陕西 西安, 710129](#)
刊名: [计算机技术与发展](#) 
英文刊名: [Computer Technology and Development](#)
年, 卷(期): 2014(5)

本文链接: http://d.wanfangdata.com.cn/Periodical_wjfz201405045.aspx