

# 一种 CCDL 的 FPGA 设计与实现

魏艳艳,田 泽,王宣明

(中国航空计算技术研究所,陕西 西安 710068)

**摘要:** 冗余度技术能够满足飞机管理系统中高安全性、确定性和可靠性的需求,而交叉通道数据链路(CCDL)是冗余度计算机之间进行数据和信息交换的重要途径,是保证冗余度飞机管理计算机正常运转的关键部件。文中基于三冗余度飞机管理计算机系统需求,给出 CCDL 硬件逻辑设计的体系架构,对 CCDL 的关键点进行分析,设计了一种在 1394 总线上进行点对点可靠传输、防止故障蔓延的交叉通道数据链路,并进行了 FPGA 实现和验证。实验结果表明,该设计能够高效可靠地满足系统的应用要求。

**关键词:** 三冗余度;交叉通道数据链路;可靠性;FPGA

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2014)05-0120-05

doi:10.3969/j.issn.1673-629X.2014.05.029

## Design and Implementation of Cross Channel Data Link on FPGA

WEI Yan-yan, TIAN Ze, WANG Xuan-ming

(Aeronautical Computing Technique Research Institute, Xi'an 710068, China)

**Abstract:** The vehicle management system requires the highest security, ascertainment and reliability in future, and the redundancy technique can satisfy the system's requirement. But the Cross Channel Data Link (CCDL) is important for data and information exchange among redundancy computers. Also it is a key component to guarantee the redundancy vehicle management computer's normal operation. Based on the system's performance demands of treble-redundancy plane management, the structure of the CCDL hardware logic design is given. Then the key functions of the CCDL are analyzed and designed. An cross channel data link which transmits reliably by point to point and prevents from fault spread on the 1394 bus is designed, and the CCDL is realized and validated on FPGA. The experiment results indicate that the CCDL design can fulfill the system application requests with the high efficiency and reliability.

**Key words:** treble-redundancy; cross channel data link; reliability; FPGA

## 0 引言

随着航空电子产业的飞速发展,飞机管理系统对安全性、确定性、可靠性等要求也越来越高。在现代飞行控制系统中,冗余度技术能够满足该系统的需求。而交叉通道数据链路(Cross Channel Data Link, CCDL)是冗余度计算机之间进行数据和信息交换的重要途径,是保证冗余度飞行控制系统正常运转的关键部件。飞机管理系统一般采用三冗余度设计<sup>[1-3]</sup>,每个冗余度中使用三条总线,每条总线独立通信,总线采用环形(Bus1和Bus2,能够容忍一次节点连接的故障)和树形结构(Bus3),冗余度之间使用CCDL方式的树形结构<sup>[4-5]</sup>。冗余度管理系统包括:同步、交叉数据传输、故障综合、输入数据表决监控、输出数据表决监控等<sup>[6]</sup>。

文中基于三冗余度飞机管理计算机系统,设计了一种点对点、可靠数据传输、具有防止故障蔓延的交叉通道数据链路。

## 1 系统概述

系统由3台飞机管理计算机(VMC)和一台基本飞行控制计算机(BFCC)组成,每台计算机都有独立的数据处理系统。如图1所示,CCDL实现各个VMC以及BFCC之间的数据交叉传输,为了消除通道间的影响,防止故障蔓延,CCDL设计采用点对点的方式。每台VMC的CCDL采用4条1394<sup>[7]</sup>总线,包含1条发送总线,3条接收总线,每条总线支持速率400Mbps<sup>[8]</sup>。4条1394总线相互独立,互不影响。

收稿日期:2013-06-15

修回日期:2013-09-23

网络出版时间:2014-02-11

基金项目:“十二五”微电子预研(51308010601);中国航空工业集团创新基金(2010BD63111)

作者简介:魏艳艳(1986-),女,陕西延安人,硕士,研究方向为集成电路设计;田泽,博士,研究员,研究方向为SoC设计、嵌入式系统设计、VLSI设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20140211.1619.055.html>

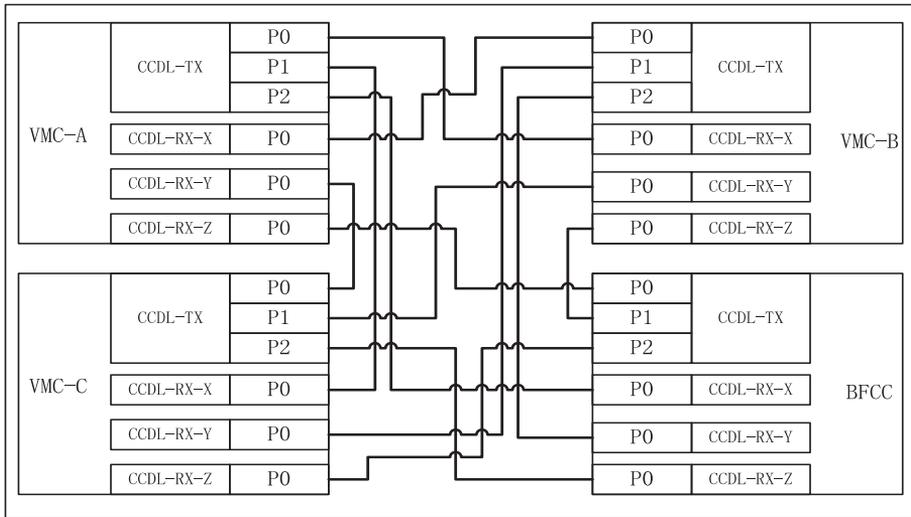


图1 VMC 通过 CCDL 互连示意图

## 2 CCDL 体系结构的设计

体系结构如图2所示。处理器通过1394总线与CCDL交换信息。CCDL采用1发3收结构,每条总线均有独立的链路层、物理层、变压器以及独立的存储器地址空间、独立的链路层配置,任何接口故障均不会蔓延。

VMC的CCDL数据传输来自两个方面,一方面来自于本通道VMC主机的传输要求,另一方面来自于系统总线接收到的数据传输到其他通道VMC的要求。

VMC主机的CCDL传输要求由VMC主机控制,根据主机的要求发送,称作处理器发送消息。对部分来自系统总线接收到的远程节点的数据,CCDL具有自主数据传输的能力,称作自主转发消息。接收消息是来自其他VMC上的处理器发送消息和自主转发消息。

CCDL-FPGA除了进行VMC之间数据传输之外,还采集模拟量和离散量、进行电源监控及通道故障逻辑的实现,重点从以下3个方面实现VMC之间的数据传输。

### (1) 处理器消息发送。

如图2所示,处理器消息发送时,由软件将消息内容填入片内DPRAM,然后使能发送消息,发送调度控制模块查询到有处理器发送消息,则进行调度,从DPRAM中取出数据,写入处理器FIFO中,处理器FIFO写满后,发送控制模块再从该FIFO中读出数据,并发送到总线上。

### (2) 自主转发消息发送。

如图2所示,自主转发消息经系统总线从转发消息接口,写入CCDL的自主转发FIFO中,发送调度控制模块查询到该FIFO非空,则进行发送消息调度,发送控制模块从转发FIFO中读出数据,从FIFO中取出数据,发送到总线上。

### (3) 接收消息。

如图2所示,软件首先要初始化接收消息ID配置表,CCDL-FPGA接收到消息时,接收调度控制模块进行接收消息调度,调度到有接收消息,接收节点控制模块通过查询消息ID配置表,将接收到的消息存储到DPRAM相应的位置中。消息接收完成后,接着进行下一个接收节点的消息调度。

## 3 CCDL 关键点分析与设计

### 3.1 总线初始化配置

总线初始化过程中,包括反跳延迟、总线复位、速度协商、树标识、自标识。总线初始化配置完成后,拥有最大节点ID的为根节点<sup>[9-10]</sup>。

系统要求上电后,发送节点为根节点。因此,在发送节点初始化过程中,由FPGA逻辑自动配置节点物理层芯片的强制根节点位,发起一次总线短复位,完成强制根节点的设置。

每当总线复位发生时,系统要求CCDL-FPGA能正确获取节点拓扑信息且能正常工作。这就要保证在总线复位发生后,链路层芯片具备通信的能力。因此,初始化配置完成后,一直检测总线复位,只要总线复位发生,就重新配置有关通信的链路层寄存器,并获取节点拓扑信息。

### 3.2 消息调度机制

发送消息有两类,处理器发送消息和自主转发消息。接收消息为3个接收节点的消息。为了保证每种消息都能公平地使用总线,且关键消息能有效地发送出去,不至于出现一直在发送某种消息,而另外的消息发不出去或者接收不到的情况。文献[11-13]针对网络中不同的服务,研究并分析队列调度算法,其中轮询调度算法适应于无优先级的队列服务。因此,该设计采用轮询调度算法,实现消息的调度。

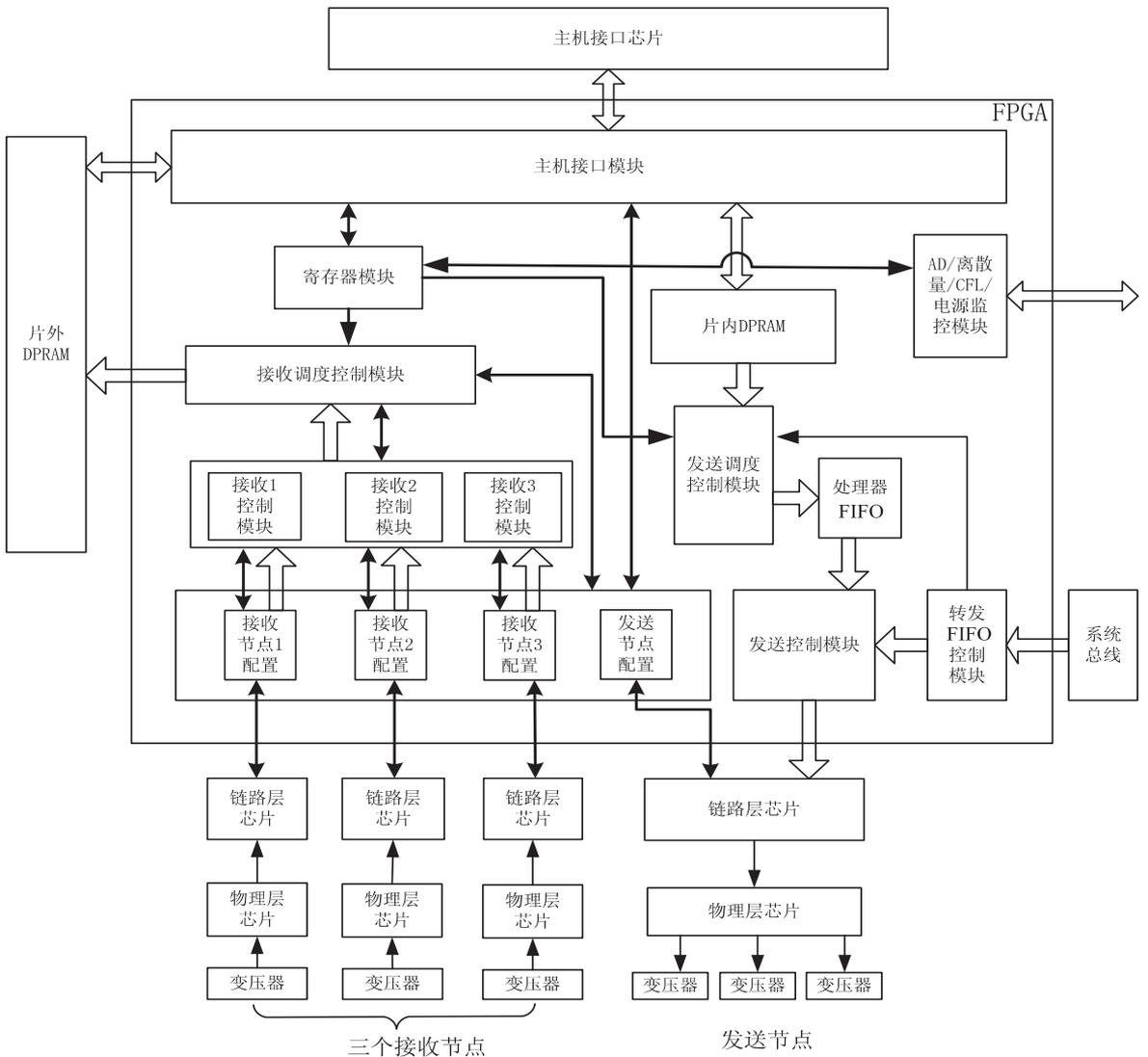


图 2 CCDL-FPGA 体系结构设计

发送消息和接收消息分开存储(发送消息使用片内 DPRAM 存储,接收消息使用片外 DPRAM 存储),且二者调度也分开,这样发送消息和接收消息互不干涉,互不影响,能够实现高效的发送或者接收,还能有效地防止故障蔓延。

发送消息分为一级调度和二级调度,第一级为两类发送消息的调度,第二级为处理器发送消息的调度。图 3 所示为两类发送消息的调度流程。上电后,等待链路层配置完成,然后轮询去查询,查询到有哪类消息,就启动相应消息的发送。

图 4 所示为处理器发送消息的调度流程。

图中,每条消息调度的前提条件是一级调度为处理器发送消息。每条消息发送完成后都会再次判断一级调度是否为处理器发送消息,且将该消息查询标志的对应位置为 1,保证轮询调度发送消息时,每条消息调度的机会均等。其中,查询标志(表示每条消息查询的状态)初始值为 0,在一次轮询判断中,查询过某条消息后,就不在调度该条消息。每次轮询消息调度

时,必须判断该消息查询标志为 0 且该消息有发送请求,只有该条件满足才会调度发送该条消息。

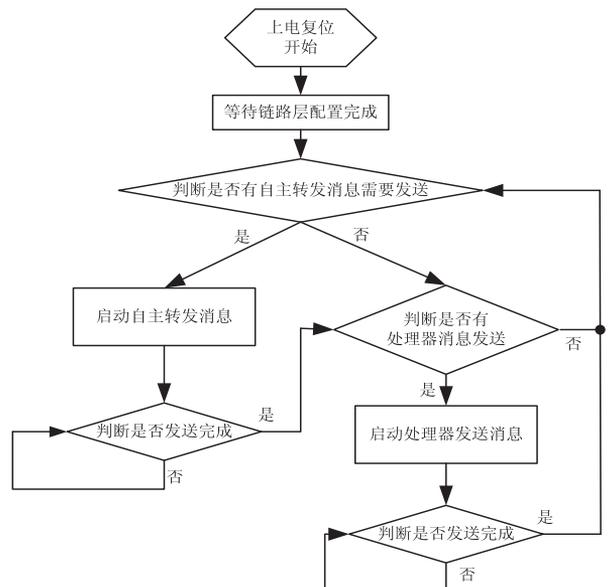


图 3 发送消息调度流程图

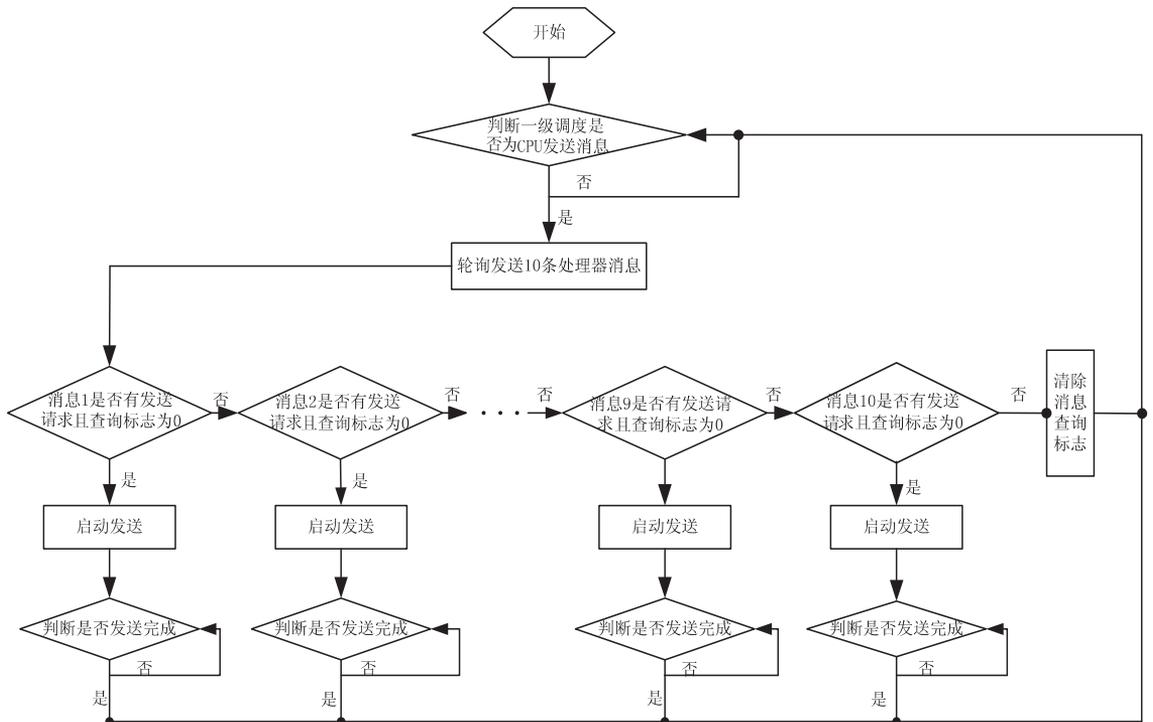


图4 处理器发送消息的调度流程图

接收消息的调度类似发送消息的调度,也是轮询去查3个接收节点是否有接收消息,有则进行接收,否则,进行下一个节点的查询。

### 3.3 接收消息存储控制

接收消息按照消息 ID 配置表查询接收。逻辑接收到消息,将接收到的消息 ID 和消息 ID 配置表依次对比,只要查询到,就不再往下查询,存储到对应的存储区位置。对于消息 ID 不匹配的情况(包含两种,接收消息 ID 号为配置表中消息 ID 的缺省值;接收消息 ID 号与配置表中消息 ID 都不匹配),则丢掉该消息,不进行存储。具体过程如图 5 所示。消息 ID 采用配置表存储的形式,这样可以提高软件效率和系统安全性,而且逻辑实现电路简单。

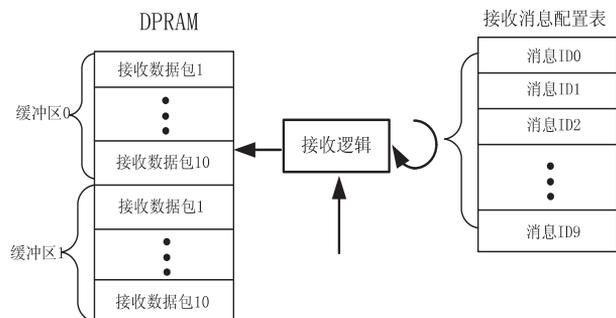


图5 接收消息查询过程

接收消息采用双缓冲的 DPRAM 存储。DPRAM 提供了两个端口独立的控制,保证所有存储单元都能被独立地访问到。每条消息采用双缓冲机制,保证主机、逻辑同时访问同一单元不会冲突、竞争。

接收存储区的双缓冲控制机制是,每个接收节点

使用接收消息存储标志寄存器,表示接收消息区的接收位置,主机处理器通过分别读取每条接收消息的存储标志寄存器得到该消息的存储位置,并从对应存储区读取接收消息内容。

接收逻辑负责填写接收消息存储标志寄存器,初始值为 0(表示缓冲区 0),接收逻辑第一次接收到该消息后,默认填入缓冲区 1,搬运完成并填写接收状态字后,接收逻辑置对应的接收消息存储标志寄存器为 1,之后接收逻辑采用乒乓操作,每次填写数据包完成后置相应的接收消息存储标志寄存器为相应的缓冲区。具体过程如图 6 所示。

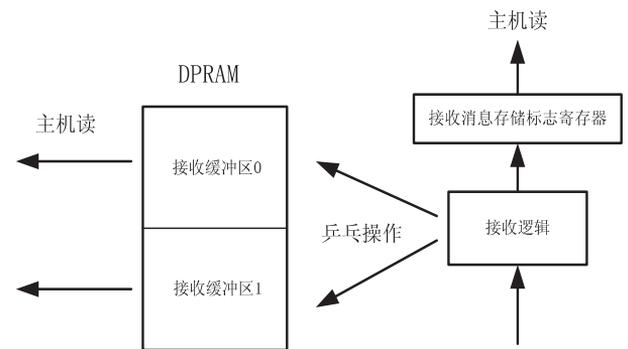


图6 接收双缓冲控制示意图

### 3.4 容错机制

故障诊断与容错逻辑设计能够最大限度地提高完成任务的可靠性和飞行安全性<sup>[14-15]</sup>,因此,CCDL-FPGA 逻辑在发送消息和接收消息时都做了相应的容错处理。

对处理器发送消息和自主转发消息进行 1394 头

校验。如果 1394 头错误,则取消发送,并将 1394 头错误信息存储下来,供主机查询;若逻辑不取消该包的发送,链路层芯片认为不是异步流包,则无法响应该包的发送,会导致通信不正常,影响正常包的发送。

对处理器发送消息的内容(除 1394 头外)进行 VPC(纵向奇偶校验)计算后,将 VPC 值添加到包尾进行发送。接收节点接收到消息后,进行 VPC 校验,VPC 错误时,上报主机,供主机查询。

接收节点接收消息采用固定长度存储分配,如果接收到的消息超过规定的长度,主机没有及时获取,势必会影响其他包的正确性。因此,将消息超过规定长度的内容截掉,并置接收消息长度错误,上报主机,供主机查询。

#### 4 CCDL 硬件逻辑的实现

为了适应飞机管理系统上电时间短、功耗低等特点,使用 ACTEL 公司提供的 FPGA 编程工具 Libero IDE v9.1 进行综合、仿真、布局布线、时序分析、优化,得到正确的结果后,将生成的网表文件下载到 FPGA 中,完成设计的物理实现,并进行功能和性能测试。

#### 5 结束语

文中在三余度飞机管理系统中进行了 CCDL 体系结构的设计,并对 CCDL 关键功能点进行分析和设计,然后采用 ACTEL 综合工具进行物理实现,在实验室进行 ESS 实验,对 CCDL 各项功能进行充分的 FPGA 验证。实验结果表明,CCDL 各项功能正确。而且在系统联调现场,VMC 之间 CCDL 能正确传输数据和通道故障逻辑信息。

这都表明该 CCDL 设计能够高效可靠地完成系统所要求的功能。在实际相关应用中,该 CCDL 设计具有一定的参考价值。

(上接第 119 页)

- ance serial bus[S]. USA: Microprocessor Standards Committee, 2008.
- [5] High-speed serial I/O made simple a designers guide[M]. USA: Xilinx Inc, 2004.
- [6] 汪国有,王至勉,何晓翔. 基于 FPGA 的 IEEE1394 物理层控制器设计与实现[J]. 微计算机信息, 2004, 20(7): 73-75.
- [7] 张纪亮. 基于 Virtex-5 GTP 的高速串行传输设计与实现[J]. 信息与电脑(理论版), 2011(6): 83-85.
- [8] 王宣明,田泽,韩炜. 基于 E 语言的 IEEE 1394 协议芯片验证环境搭建[J]. 计算机技术与发展, 2011, 21(7): 36-38.

#### 参考文献:

- [1] AGARD. Integrated vehicle management systems[R]. [s. l.]: [s. n.], 1996.
- [2] Lockheed Martin. First F-35 vehicle management computer delivered[R]. [s. l.]: Lockheed Martin, 2003.
- [3] Yeh Y C. Triple-triple redundant 777 primary flight computer[C]//Proc of aerospace applications conference. Aspen, CO: [s. n.], 1996: 293-307.
- [4] Bai Haowei. Analysis of a SAE AS5643 Mil-1394b based high-speed avionics network architecture for space and defense applications[C]//Proc of IEEE aerospace conference. Big Sky, MT: [s. n.], 2007: 1-9.
- [5] SAE-AS5643. IEEE-1394b interface requirements for military and aerospace vehicle applications[S]. [s. l.]: [s. n.], 2006.
- [6] 齐劲松,王伟,吴成富,等. 三余度飞控计算机交叉数据链系统设计[J]. 测控技术, 2007, 26(5): 73-75.
- [7] IEEE Std 1394b-2002. IEEE standard for a high performance serial bus - amendment 2[S]. [s. l.]: Institute of Electrical and Electronics Engineers, Inc, 2002.
- [8] 李肇庆,朱险峰. IEEE1394 接口技术[M]. 北京:国防工业出版社, 2004.
- [9] 张大朴,王晓. IEEE1394 协议及接口设计[M]. 西安:西安电子科技大学出版社, 2004.
- [10] Anderson D. Fire Wire 系统体系[M]. 第 2 版. 北京:中国电力出版社, 2001.
- [11] 王重钢,隆克平,龚向阳,等. 分组交换网络中队列调度算法的研究及其展望[J]. 电子学报, 2001, 29(4): 553-559.
- [12] 杨永斌,唐亮贵. 队列调度算法在网络中的应用研究[J]. 计算机科学, 2005, 32(7): 56-58.
- [13] 魏艳艳,孟李林. 高速分组交换网络中调度器的设计[J]. 计算机技术与发展, 2012, 22(1): 25-28.
- [14] 王海涛,高金源,夏洁. 综合容错飞行控制系统的设计与仿真[J]. 飞行力学, 2007, 25(3): 17-20.
- [15] 杨伟,章卫国,杨朝旭,等. 容错飞行控制系统[M]. 西安:西北工业大学出版社, 2007.
- [9] 李娜,田泽,程国建. IEEE1394 总线的高速网络通信系统设计[J]. 单片机与嵌入式系统应用, 2011, 11(3): 32-33.
- [10] 王玉欢,田泽,蔡叶芳. RapidIO IP 核的验证方法研究[J]. 计算机技术与发展, 2011, 21(7): 183-185.
- [11] 康琼,许月圆,刘书明. Rocket I/O GTP 收发器的外围硬件设计[J]. 航空兵器, 2009(2): 35-38.
- [12] Virtex-5 RocketIO GTP transceiver user guide UG196 (v1.4)[M]. USA: Xilinx Inc, 2007.
- [13] Virtex-5 user guide UG190 (v3.1)[M]. USA: Xilinx Inc, 2007.
- [14] PCI local bus specification revision 2.3[S]. USA: PCI Special Interest Group, 2001.

# 一种CCDL的FPGA设计与实现

作者: [魏艳艳](#), [田泽](#), [王宣明](#), [WEI Yan-yan](#), [TIAN Ze](#), [WANG Xuan-ming](#)  
作者单位: [中国航空计算技术研究所, 陕西 西安, 710068](#)  
刊名: [计算机技术与发展](#)   
英文刊名: [Computer Technology and Development](#)  
年, 卷(期): 2014(5)

本文链接: [http://d.wanfangdata.com.cn/Periodical\\_wjz201405029.aspx](http://d.wanfangdata.com.cn/Periodical_wjz201405029.aspx)