

一种 IEEE1394 物理层 IP 的 FPGA 原型验证方法

王 治,田 泽,黎小玉,徐文进

(中国航空计算技术研究所,陕西 西安 710119)

摘 要:符合 IEEE1394 协议的物理层 IP 主要完成总线连接检测、连接管理、仲裁、数据收发等功能,是一款集成高速 Serdes 的数模混合 SoC。由于在 Serdes 的测试芯片设计完成前无法对 1394 物理层 IP 进行全面验证,因此文中在介绍 1394 PHY 物理层 IP 各部分功能的基础上,提出了一种以 Xilinx 的 GTP 代替 1394 物理层 Serdes,构建 FPGA 原型验证平台,采用专用硬件逻辑和软件结合的方式,对 1394 物理层 IP 进行充分验证的方法。使用该平台可在 Serdes 设计未完成前对数字逻辑进行验证,大大缩短物理层 IP 的开发周期;通过软件控制下的测试项生成、测试过程监控、测试结果判断,可显著提高验证效率。

关键词:IEEE1394;PHY;原型验证;Serdes

中图分类号:TP301

文献标识码:A

文章编号:1673-629X(2014)05-0117-03

doi:10.3969/j.issn.1673-629X.2014.05.028

A FPGA Prototype Verification Method for IEEE1394 Physical Layer IP

WANG Zhi, TIAN Ze, LI Xiao-yu, XU Wen-jin

(Aeronautical Computing Technique Research Institute, Xi'an 710119, China)

Abstract: According to the protocol, IEEE1394 PHY IP mainly implements the function of bus interconnection, connection management, bus arbitration, data transmission and so on. It is a kind of digital and analog mixed SoC integrated a high-speed Serdes. As it is hard to fully verify 1394 PHY IP before the Serdes chip is designed, therefore based on introduction of the 1394 PHY IP function, put forward a kind of method to meet the need for PHY IP verification, including using GTP of Xilinx FPGA instead of Serdes, constructing FPGA prototype verification platform, adopting hardware logic work along with software to make verification works. Applying the platform can verify the digital logic before the Serdes is completed, greatly shortening the development time of physics layer IP. Through the test items generation, test processing monitor, test result judgment under software control, can remarkably improve the verification efficiency.

Key words: IEEE1394; PHY; prototype verification; Serdes

0 引 言

IEEE1394 总线具有高传输速率、高带宽、低延迟、点对点传输、支持等时数据传输模式的特点,满足航空电子系统对总线带宽、实时性、容错和可靠性等方面的要求。PHY 芯片集成了 1394 协议物理层功能,是整个 IEEE1394 网络设备中的核心部件,负责 1394 网络初始化阶段的连接检测、速度协商、数据同步、拓扑建立,总线运行过程中的总线仲裁、数据收发、功耗模式管理,是一款内部集成了高速 Serdes 的数模混合

SoC^[1]。

文中在介绍 1394PHY 基本功能的基础上,在 Serdes 的测试芯片来完成前,提出一种对 IEEE1394 物理层 IP 数字部分进行 FPGA 原型验证的方法,通过 Xilinx FPGA 内部的 GTP 代替 PHY 芯片内部的 Serdes 功能,使硬件平台的搭建可提前完成。再由软件根据测试目标构建测试指令, FPGA 逻辑解析测试指令并通过 PHY-Link 接口控制 1394 物理层 IP 进行测试,最后由主机对测试结果进行判断实现对 1394 物理层 IP 的

收稿日期:2013-06-08

修回日期:2013-09-14

网络出版时间:2014-02-11

基金项目:“十二五”微电子预研(51308010601);中国航空工业集团创新基金(2010BD63111)

作者简介:王 治(1977-),男,陕西西安人,硕士研究生,研究方向为集成电路设计;田 泽,博士,研究员,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20140211.1619.053.html>

原型验证。

1 1394 物理层 IP 的功能

IEEE1394 物理层 PHY 控制器负责收、发串行数据,为总线提供了电气、机械接口。PHY 控制器主要包含 Serdes 模块、连接检测、同步功能、自动拓扑建立、环检测及自动断开、端口低功耗模式、仲裁、PHY-Link 接口等功能。各部分的功能描述如下^[2-4]:

Serdes:包括串行器、解串器,位时钟的恢复,预加重^[5],去加重以及 TONE 的收发控制。

连接检测:节点上电连接后会完成连接状态的检测,连接反跳的消除,继而互相发送 TONE 信号,根据 1394 协议定义的 eager Beta 算法完成端口间工作模式 (Beta 或 Alpha) 的确定,并进行节点间的最大工作速度的协商。

同步:首先完成位同步,进行串并转换后获取 10 bit 的数据流,提取 comma 寻找数据边界后进行对齐。其后进行 8 b/10 b 解码,使用对齐后的数据进行训练,完成乱序同步。

自动拓扑建立:同步完成后节点的活动端口间进行树标识过程,完成子端口或父端口的标识;其后进行自标识为每个节点分配唯一的 ID 号。自标识过程各节点发送自标识包,其内容包含节点的 PHY ID、端口的连接状态、Link 状态、供电状态等信息。网络上的各节点均可收到任意其他节点发出的自标识包,通过该包的分析可获知 1394 网络的拓扑结构。总线上节点的接入和移除都会导致该过程的重新执行,从而获得新的总线拓扑。

环检测及自动断开:由于支持热插拔,节点的任意接入可能会导致网络中形成环路。因此,在节点接入时总线必须对新增端口进行环路检测,如果节点的接入未造成环路则允许正常接入,否则断开这个端口,从而确保网络不存在环。

端口低功耗模式:1394 总线节点支持低功耗模式,可以使节点或部分网络区域进入休眠状态;可控的恢复机制,实现节点或网络区域由低功耗状态恢复到正常工作状态。

仲裁:确保在同一时间仅有一个节点控制总线上传输的数据^[6],负责对总线运行状态进行监控是 PHY 控制器的核心控制单元。

2 FPGA 原型架构设计

1394 物理层 IP 的原型验证板包括 3 个 GTP 端口代替 Serdes,数字部分的物理层 IP(1394PHY),Link 控制器模块(LinkIF),测试控制模块(TestMode_Ctrl),主机控制接口(PCI)。各模块主要功能如下^[7-9]:

(1) Serdes 支持 Beta 模式,速度为 S100,完成接收时钟的提取,数据的并串转换。

(2) 数字部分的物理层 IP 为被测单元,完成连接检测、模式判定、连接管理、仲裁、数据收发,响应 Link 发送数据请求,并将从被测单元接收到的数据上传给 Link。

(3) 测试控制模块通过对 1394PHY 内部的测试模式设置、测试数据的注入、测试数据的读出,实现对关键数据通路的外部控制、内部状态信息的外部观测。

(4) 主机控制接口 PCI:将主机根据测试目标编写的测试指令通过 PCI 写入 LinkIF 或 TestMode_Ctrl 中,再由各控制逻辑解析通过 PHY-Link 接口或测试接口控制待测单元。

1394PHY 的 FPGA 原型开发板采用 Xilinx XC5VLX50T,构造一个 3 端口的 1394 节点,多个板卡通过 1394 线缆进行连接组成各种网络拓扑,FPGA 原型验证平台结构示意图如图 1 所示。

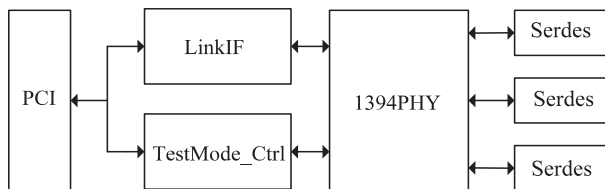


图 1 FPGA 原型板结构示意图

3 设计实现

3.1 Serdes 模块

Xilinx 公司的 FPGA 集成了高速串行收发器,在 Vritex-5 平台下的 LXT 和 SXT 系列 FPGA 中的 GTP 传输速率为 100 Mb/s ~ 3.75 Gb/s。GTP 是一种采用自同步(即 CDR,时钟数据恢复)方式的串行互联技术,通过编码将时钟‘内嵌’于数据中,在接收端从数据中提取出所需要的时钟信息并以该时钟提取数据,因此高速传输情况下不存在时钟与数据的同步问题^[10]。GTP 支持多种高速串行通信协议,可以帮助设计人员方便、灵活、可靠地实现高速串行通信^[11]。

Xilinx 中 GTP 的 IP 核是结合了一个物理层模拟收发器的 PMA 和一个进行数字编解码的 PCS。PCS 中的功能虽然包括了 8 b/10 b 编解码、对齐等功能^[12],但是 1394 物理层 PHY IP 已经集成了 8 b/10 b 编解码等功能。因此,使用 Xilinx 的 GTP 模拟 1394 的 Serdes 必须将 GTP 中的 PCS 进行剥离,仅使用串行数据收发的 PMA,这样所做的适应性修改最小。GTP 使用 125 M 的高速串行时钟,通过内部的全局线可以保证时钟对偏移、抖动和占空比失真等要求^[13]。对外逻辑接口匹配为 10 bit 的发送数据与发送时钟同步;接收 10 bit 数据与接收时钟同步。由 PHY 控制器实现

数据对齐,并进行 comma 检测、数据同步、8 b/10 b 编解码、数据的乱序和解乱序。这样保证了对 PHY 控制器的数字部分的充分验证,同时保证了与自研 Serdes 接口的兼容,减小了后续的工作量。

3.2 TestMode_Ctrl 模块

由于 1394 总线协议复杂,总线工作模式多,总线行为多种多样,这些都给设计验证带来了极大困难。如何实时监控总线行为并且在特定的控制点动态地注入特定的激励可大大简化调试,提高验证效率。因此,在 PHY 的设计过程中考虑 PHY 的可测试性,设计时定义了一组动态调试端口,如图 2 所示。

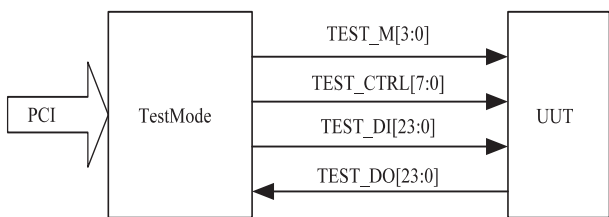


图 2 TestMode 模式连接图

该端口由 TEST_M、TEST_CTRL、TEST_DI、TEST_DO 组成。TEST_M 是选择端口测试模式、Serdes 测试模式、正常工作模式等。TEST_CTRL 设置选择端口及端口速度,及测试功能点。TEST_DO 为专用的 24 位数据总线将选中功能点的测试数据从内部输出到测试模块,根据定义可将设计的内部时钟、状态信息、状态机、数据总线输出到测试逻辑,可实时观测内部的运行状态。TEST_DI 被用来将预定义的包数据发送到设计内部,并旁路掉设计中正常数据流,从而对设计中特定功能注入确定数据,完成对功能点的验证。

例如,在验证过程中发现网络完成同步进入正常工作状态后,会偶发性的丢失同步,使得 1394 总线会重新启动,进行连接。而 1394 总线上的请求字符、控制字符、复位控制动态发送,再加上乱序与 8 b/10 b 的编解码,使得定位问题极其困难。因此根据设计在关键节点添加测试模式如图 3 所示,可旁路掉原功能,并将预定义的数据通过测试端口注入到旁路点。以固定的数据检验数据通路的正确性,随着验证的深入逐步增加调试功能。

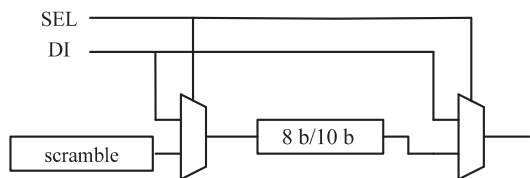


图 3 编解码测试

通常,在测试过程通过不断添加 chipScope 可观测的信号、综合、布局布线,观测测试结果,由于 Core 的插入时常导致时序的不稳定。采用控制模式的优点是设计一旦完成逻辑可保证相对稳定,不用再迭代进行

综合、布局布线等过程,减少了进行时序收敛的处理过程。由主机构造测试程序,并将控制信息和测试数据通过 PCI 发送到 TestMode 模块,通过译码将控制信息译码完成测试配置,然后启动测试将测试数据通过 TEST_DI 注入到待测模块,并在 TEST_DO 模块上观测测试状态,判定验证的有效性,大大提高了验证调试的灵活性和效率。

3.3 LinkIF 模块

该模块主要负责模拟 Link 的功能,使其与 PHY 控制器通过标准的 PHY-Link 接口进行通信。发送过程时主机将待发送的数据包写入 LinkIF 模块,LinkIF 模块检测总线的状态,并向 PHY 控制器提出总线占用申请,当 PHY 返回授权后,LinkIF 模块将数据通过 PHY 控制器传输到总线上。接收时 LinkIF 完成数据的接收和总线状态的侦听,LinkIF 完成数据的接收判断数据的类型是报数据还是总线状态信息,进行分类缓冲后,在主机 PCI 接口空闲时上传主机。

3.4 PCI 接口模块

PCI 控制器提供主机和板卡间高速,双向交互数据的接口,该控制器符合 PCIv2.2 协议,支持 32 位地址总线/数据总线,总线频率支持 33 MHz/66 MHz,总线带宽可达 132/264 MB^[14]。设计中将 PCI 本地总线地址空间进行划分和映射,根据需要划分为用户配置空间、发送缓冲区空间、接收缓冲区空间。在板卡初始化阶段,主机软件通过读写配置空间的控制寄存器设置板卡的工作模式和工作参数。对发送和接收缓冲区的操作是以中断方式充分利用总线,提高总线带宽的利用率。

4 结束语

文中通过使用 GTP 模拟 PHY1394 物理层 IP 中的 Serdes,在 Serdes 测试芯片完成前开始对 PHY 芯片中数字功能进行验证;通过主机的控制实现测试项的产生、测试过程的监控、测试结果的判断,显著地提高了验证效率。

参考文献:

- [1] 吴亮,叶凡,任俊彦,等. 10/100 Base-T 以太网物理层的硬件验证[J]. 微电子学,2006,36(2):136-140.
- [2] IEEE Std 1394-1995. IEEE standard for a high performance serial bus[S]. USA: Microprocessor Standards Committee, 1996.
- [3] IEEE Std 1394b™-2002. IEEE standard for a high-performance serial bus - amendment 2[S]. USA: Microprocessor Standards Committee, 2002.
- [4] IEEE Std 1394™-2008. IEEE standard for a high-Perform-

校验。如果 1394 头错误,则取消发送,并将 1394 头错误信息存储下来,供主机查询;若逻辑不取消该包的发送,链路层芯片认为不是异步流包,则无法响应该包的发送,会导致通信不正常,影响正常包的发送。

对处理器发送消息的内容(除 1394 头外)进行 VPC(纵向奇偶校验)计算后,将 VPC 值添加到包尾进行发送。接收节点接收到消息后,进行 VPC 校验,VPC 错误时,上报主机,供主机查询。

接收节点接收消息采用固定长度存储分配,如果接收到的消息超过规定的长度,主机没有及时获取,势必会影响其他包的正确性。因此,将消息超过规定长度的内容截掉,并置接收消息长度错误,上报主机,供主机查询。

4 CCDL 硬件逻辑的实现

为了适应飞机管理系统上电时间短、功耗低等特点,使用 ACTEL 公司提供的 FPGA 编程工具 Libero IDE v9.1 进行综合、仿真、布局布线、时序分析、优化,得到正确的结果后,将生成的网表文件下载到 FPGA 中,完成设计的物理实现,并进行功能和性能测试。

5 结束语

文中在三余度飞机管理系统中进行了 CCDL 体系结构的设计,并对 CCDL 关键功能点进行分析和设计,然后采用 ACTEL 综合工具进行物理实现,在实验室进行 ESS 实验,对 CCDL 各项功能进行充分的 FPGA 验证。实验结果表明,CCDL 各项功能正确。而且在系统联调现场,VMC 之间 CCDL 能正确传输数据和通道故障逻辑信息。

这都表明该 CCDL 设计能够高效可靠地完成系统所要求的功能。在实际相关应用中,该 CCDL 设计具有一定的参考价值。


(上接第 119 页)

- ance serial bus[S]. USA: Microprocessor Standards Committee, 2008.
- [5] High-speed serial I/O made simple a designers guide[M]. USA: Xilinx Inc, 2004.
- [6] 汪国有,王至勉,何晓翔. 基于 FPGA 的 IEEE1394 物理层控制器设计与实现[J]. 微计算机信息, 2004, 20(7): 73-75.
- [7] 张纪亮. 基于 Virtex-5 GTP 的高速串行传输设计与实现[J]. 信息与电脑(理论版), 2011(6): 83-85.
- [8] 王宣明,田 泽,韩 炜. 基于 E 语言的 IEEE 1394 协议芯片验证环境搭建[J]. 计算机技术与发展, 2011, 21(7): 36-38.

参考文献:

- [1] AGARD. Integrated vehicle management systems[R]. [s. l.]: [s. n.], 1996.
- [2] Lockheed Martin. First F-35 vehicle management computer delivered[R]. [s. l.]: Lockheed Martin, 2003.
- [3] Yeh Y C. Triple-triple redundant 777 primary flight computer [C]//Proc of aerospace applications conference. Aspen, CO: [s. n.], 1996: 293-307.
- [4] Bai Haowei. Analysis of a SAE AS5643 Mil-1394b based high-speed avionics network architecture for space and defense applications [C]//Proc of IEEE aerospace conference. Big Sky, MT: [s. n.], 2007: 1-9.
- [5] SAE-AS5643. IEEE-1394b interface requirements for military and aerospace vehicle applications[S]. [s. l.]: [s. n.], 2006.
- [6] 齐劲松,王 伟,吴成富,等. 三余度飞控计算机交叉数据链系统设计[J]. 测控技术, 2007, 26(5): 73-75.
- [7] IEEE Std 1394b-2002. IEEE standard for a high performance serial bus - amendment 2[S]. [s. l.]: Institute of Electrical and Electronics Engineers, Inc, 2002.
- [8] 李肇庆,朱险峰. IEEE1394 接口技术[M]. 北京: 国防工业出版社, 2004.
- [9] 张大朴,王 晓. IEEE1394 协议及接口设计[M]. 西安: 西安电子科技大学出版社, 2004.
- [10] Anderson D. Fire Wire 系统体系[M]. 第 2 版. 北京: 中国电力出版社, 2001.
- [11] 王重钢,隆克平,龚向阳,等. 分组交换网络中队列调度算法的研究及其展望[J]. 电子学报, 2001, 29(4): 553-559.
- [12] 杨永斌,唐亮贵. 队列调度算法在网络中的应用研究[J]. 计算机科学, 2005, 32(7): 56-58.
- [13] 魏艳艳,孟李林. 高速分组交换网络中调度器的设计[J]. 计算机技术与发展, 2012, 22(1): 25-28.
- [14] 王海涛,高金源,夏 洁. 综合容错飞行控制系统的设计与仿真[J]. 飞行力学, 2007, 25(3): 17-20.
- [15] 杨 伟,章卫国,杨朝旭,等. 容错飞行控制系统[M]. 西安: 西北工业大学出版社, 2007.
- [9] 李 娜,田 泽,程国建. IEEE1394 总线的高速网络通信系统设计[J]. 单片机与嵌入式系统应用, 2011, 11(3): 32-33.
- [10] 王玉欢,田 泽,蔡叶芳. RapidIO IP 核的验证方法研究[J]. 计算机技术与发展, 2011, 21(7): 183-185.
- [11] 康 琼,许月圆,刘书明. Rocket I/O GTP 收发器的外围硬件设计[J]. 航空兵器, 2009(2): 35-38.
- [12] Virtex-5 RocketIO GTP transceiver user guide UG196 (v1. 4)[M]. USA: Xilinx Inc, 2007.
- [13] Virtex-5 user guide UG190 (v3. 1)[M]. USA: Xilinx Inc, 2007.
- [14] PCI local bus specification revision 2. 3[S]. USA: PCI Special Interest Group, 2001.

一种IEEE1394物理层IP的FPGA原型验证方法

作者: [王治](#), [田泽](#), [黎小玉](#), [徐文进](#), [WANG Zhi](#), [TIAN Ze](#), [LI Xiao-yu](#), [XU Wen-jin](#)
作者单位: [中国航空计算技术研究所, 陕西 西安, 710119](#)
刊名: [计算机技术与发展](#) 
英文刊名: [Computer Technology and Development](#)
年, 卷(期): 2014(5)

本文链接: http://d.wanfangdata.com.cn/Periodical_wjfz201405028.aspx