

一种高效的视频编码系统存储器接口的验证

杜斐,田泽,许宏杰,卢俊

(中国航空计算技术研究所,陕西西安710068)

摘要:存储器接口是某高清音视频编码芯片的核心IP之一,用于快速高效地存储和读取编码过程中产生的大量中间数据,主要包括运动估计、宏块信息、去块滤波和码流数据等,因此对其功能正确性的验证具有重要意义。由于采用传统的定向测试方法对其验证很难遍历到所有情况,而将定向测试和随机测试两者结合起来,能大量减小测试向量的开发。文中提出一种存储器接口验证解决方案,通过对仿真验证结果和代码覆盖率的统计分析,证明采用该方法能高效地检查出设计的缺陷,缩减了验证花费的时间。

关键词:验证平台;BFM;测试用例

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2014)04-0186-03

doi:10.3969/j.issn.1673-629X.2014.04.047

An Efficient Verification of Memory Interface Module of Video Coding System

DU Fei, TIAN Ze, XU Hong-jie, LU Jun

(China Aeronautical Computing Technique Research Institute, Xi'an 710068, China)

Abstract: The memory interface is one important IP core of audio and video encoding chip. It can efficiently cache a large number of intermediate data of video coding processing, including motion estimation, macro block information, block filtering and streaming data and so on, and therefore its correct functional verification has great significance. Using the traditional directional test method on its validation will be difficult to traverse all cases. Combined directional test and random test, can significantly reduce the test stimulus development. It proposes an efficient verification of memory interface module, through the statistical analysis of simulation and the coverage rate, prove that the method can effectively check the design defects, reducing verification time.

Key words: verification platform; BFM; testcase

0 引言

视频流传输中最为重要的编解码标准有国际电联的H.261、H.263、MPEG系列标准^[1]。而H.264由于其具有较高的压缩率,使得图像的数据量减少,给存储和传输带来了方便,所以是当今广泛流行使用的视频编码技术^[2-3]。

存储器接口是视频压缩芯片的核心IP之一。文中基于某高清音视频编码芯片的项目实践,结合H.264/AVC视频编码的基本原理,搭建存储器接口的RTL级仿真验证平台,开发验证用例,克服了存储器接口验证不全面的问题,提高了验证的效率^[4-5]。通过对代码覆盖率和仿真验证结果的分析,取得了较好

的验证效果,为后续的虚拟平台仿真验证、FPGA平台验证和芯片的应用提供了可靠的保证^[6-7]。

1 存储器接口概述

存储器接口将DDR2 SDRAM作为缓存,通过数据的读写完成视频编码核与DDR2 SDRAM的信息交互。功能框图如图1所示,存储器接口模块由后端逻辑和DDR2控制器组成^[8]。

1.1 后端逻辑

后端逻辑位于编码核与DDR2控制器之间,主要完成如下功能:将视频输入接口写入的源数据(亮度、色度)存入DDR2,将编码核的中间数据:DBF重构数

收稿日期:2013-07-06

修回日期:2013-10-16

网络出版时间:2014-01-28

基金项目:国家“十二五”微电子预研(51308010601);中国航空工业集团公司创新基金(2010BD63111)

作者简介:杜斐(1987-),女,陕西汉中,硕士,助理工程师,研究方向为数字集成电路设计和验证等;田泽,博士,研究员,中国航空工业集团首席技术专家,研究方向为SoC设计、嵌入式系统设计、VLSI设计等。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20140128.1131.004.html>

据、DBF 下采样数据、MCP 数据、HEP 数据写入 DDR2, 将编码核需要的中间数据: CME 数据、FME 数据、AME 重构数据、AME 下采样数据、MCP 数据从 DDR2 中读出, 最后码流复用及输出模块将 HEP 数据读出。并且将数据整理成用于 DDR2 SDRAM 读写的 burst 数据, 还能完成数据仲裁功能。

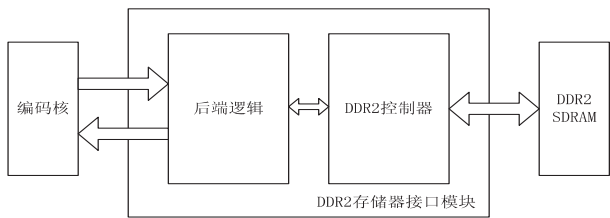


图1 存储器接口功能框图

1.2 DDR2 控制器

DDR2 控制器调用的是 XILINX DDR2 控制器。写操作时,写操作模块会将视频编码核发出的地址和数据写入后端逻辑的地址/数据 fifo,然后通过 DDR2 控制器将数据写入 DDR2 SDRAM 中;读操作时,读操作模块会将视频编码核发出的地址写入后端逻辑的地址 fifo,然后通过 DDR2 控制器将对应地址的数据从 DDR2 SDRAM 中读出,并送入后端逻辑的读数据 fifo,最后将读出的数据送给编码核^[9-10]。

2 RTL 级仿真验证平台的搭建

2.1 概述

该模块的验证是 RTL 级的功能验证,主要目的是确保存储器接口电路设计与功能规范定义功能相吻合。文中通过了解存储器接口模块的基本功能、后端逻辑写操作和读操作时序、不同类型数据在 DDR2 SDRAM 中的地址存储方式,从整体出发搭建 RTL 级仿真验证平台。在平台搭建中,需要开发各种仿真验证组件,即各个模块的总线功能模型(BFM),如图2所示,存储器接口模块 RTL 级仿真验证平台由待测设计 DUT、验证部件和验证用例组成。待测设计 DUT 即文中所验证的存储器接口模块^[11]。

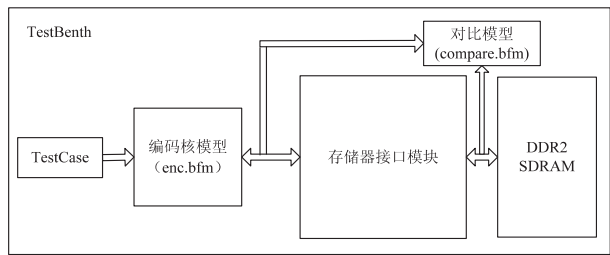


图2 存储器接口模块 RTL 级仿真验证平台

2.2 验证部件

验证平台中的验证部件包括编码核模型和对比模型。编码核模型主要用于模拟视频编码核向存储器接

口发送读写数据的控制信号,以及写入或读出存储器接口的数据,读写操作数据类型对应关系如表1所示。

表1 读写操作数据类型对应关系

| 操作类型 | | 对应关系 | | | | | |
|------|-----------|------------|------------|-------------|-------------|--------|--------|
| 写操作 | VI 亮度数据的写 | VI 色度数据的写 | | DBF 重构数据的写 | DBF 下采样数据的写 | 宏块信息的写 | 码流数据的写 |
| | | CME 亮度数据的读 | AME 亮度数据的读 | | | | |
| 读操作 | 亮度数据的读 | CME 色度数据的读 | FME 重构数据的读 | AME 下采样数据的读 | | 宏块信息的读 | 码流数据的读 |
| | | | | | | | |

对比模型主要是比对读写数据及其相应地址的正确性。具体采用两种方法进行验证,第一种方法是把后端逻辑和 DDR2 控制器两者配合起来验证,当 strobe 信号为高时,在每个编码核时钟周期的上升沿记录读写数据以及测试地址模型中计算出来的地址,存成 file. txt 文件;当 DDR2 控制器向 DDR2 SDRAM 写入或读出数据时,在控制器时钟的上升沿和下降沿记录其数据及地址,存成 ddr2. txt 文件。当 file. txt 文件和 ddr2. txt 文件两者完全一致时,才能证明读写地址的正确性。第二种方法是将对对比模型中计算出来的地址与后端逻辑读写地址 fifo 中地址的一致性进行比较。

2.3 HDL 验证用例

HDL 验证用例控制着 RTL 级仿真验证环境的运行约束。文中根据存储器接口的结构和功能特点,定义随机场景,开发相应的 HDL 验证用例,产生数据读写和仲裁等测试激励,覆盖了存储器接口的各种操作情况。

2.3.1 验证项的策划

进行验证项策划目的是提高存储器接口电路验证的效率和完备性,存储器接口模块的验证项策划如表2所示,包括基本功能验证项、读写请求仲裁验证项三大类。

表2 验证项策划

| 验证项说明 | 基本功能验证项 |
|-------------------------|------------------------|
| 在帧、场模式下,对 DUT 进行读写功能的测试 | 视频编码核时钟为 135 MHz |
| | DDR2 控制器时钟为 200 MHz |
| | 视频编码核时钟为 500 MHz |
| | DDR2 控制器时钟为 200 MHz |
| 读写请求仲裁验证项 | 先写再读且连续写,先写再读且间隔写,同时读写 |
| | 不间断读且连续读,不间断读且间隔读 |
| | 写快,读慢 写慢,读快 |

文中根据存储器接口模块功能特点策划验证项,共计开发验证用例 141 项。

2.3.2 验证实施

此次 RTL 级仿真验证是把后端逻辑和 DDR2 控制器两部分配合起来进行验证,首先根据功能规范定义可知,正常工作状态下,后端逻辑时钟来自视频编码核,与其同时钟域即 135 MHz;DDR2 控制器的时钟是

200 MHz。然后进行读写功能验证,当相同地址读出数据与写入数据相同时,才能证明写操作模块和读操作模块能正常工作。

提高编码核数据模型的读写时钟为 500 MHz,DDR2 控制器的时钟仍保持为 200 MHz。然后编码核模型同时发送读写操作,连续发送大量数据进行仿真,验证存储器接口是否会出现拥堵现象。当编码核时钟频率提高时,当出现写 fifo 满情况或读 fifo 满的情况下,该存储器接口是否能够正确处理,不会出现读写数据错误。

读写仲裁验证的目标是验证多个写操作模块同时请求写 DDR2 SDRAM,多个读操作模块同时请求读 DDR2 SDRAM。写操作时,写模块按照轮询的方式依次执行写操作。读操作时,读模块按照轮询的方式依次执行读操作。各模块的读写操作能够按顺序轮询,不会出现拥堵仲裁器而无法响应的问题。为了确保读写仲裁优先级处理操作的正确性,采用受约束的随机测试方法来进行验证。

3 仿真验证结果

回归测试后的代码覆盖率的统计结果如图 3 所示,被测设计存储器接口模块的总语句覆盖率(stmt graph)为 100%,分支覆盖率(branch graph)为 100%。由于 default 语句很难覆盖到,所以其内部部分子模块的覆盖率并未达到 100%。综上所述,上述代码覆盖率百分比情况可认为满足了目标覆盖率要求^[12-13]。

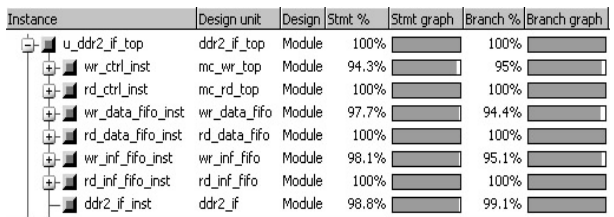


图 3 存储器接口模块代码覆盖率

为了确保读写数据地址正确性,将对比模型中计算出来的地址与写入后端逻辑 fifo 中的地址进行对比,若两者比对结果一致,则证明读写地址正确。图 4 列举了部分数据的地址比对结果,其中左半部分为写入后端逻辑 fifo 中的地址,右半部分为对比模型中计

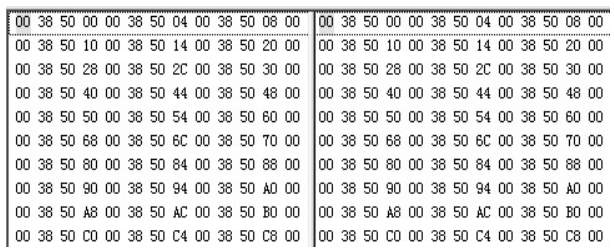


图 4 dbf 重构数据地址比对结果

算出来的地址。

存储器接口模块 RTL 级仿真验证平台通过开发总线功能模型完成视频编码核发起的各种读写操作。通过对收集到的代码覆盖率信息进行分析统计,表明验证项可覆盖到所有情况,并通过多次回归验证,所有验证用例全部通过。

4 结束语

文中结合 H. 264/AVC 视频编码核的基本原理,搭建存储器接口模块的 RTL 级仿真验证平台,展开相关验证工作,验证平台结构清晰,各模块功能相当独立,验证过程中能够快速定位错误并做出相应修正。在验证中遍历编码核的各种数据读写操作情况,功能覆盖完备,保证了存储器接口功能的正确性及完备性,实现了自动、灵活、快速的验证,达到了预期的效果。

参考文献:

[1] 毕厚杰. 新一代视频压缩编码标准-H. 264/AVC[M]. 北京:人民邮电出版社,2005.

[2] 陈 佳,田 泽,黎小玉,等. H. 264/AVC 视频编码核基于 FPGA 验证的设计与实现[J]. 计算机技术与发展,2013,23(7):10-13.

[3] Draft ITU-T recommendation and final draft international standard of joint video specification H. 264(MPEG-4 Part10)[S]. [s. l.]:JVT & ITU-T VCEG,2003.

[4] 王 婷,田 泽,许宏杰,等. MPEG-2/4 AAC 音频编码模块的验证[J]. 计算机技术与发展,2012,22(7):57-59.

[5] 吴晓军,白世军,卢文涛. 基于 H. 264 视频编码的运动估计算法优化[J]. 电子学报,2009(11):2541-2545.

[6] 李秋山,马 妍. H. 264 帧内预测模式的快速选择算法[J]. 计算机工程与设计,2009,30(22):5136-5139.

[7] 王世中,田 泽,吴晓成,等. 基于 UVM 实现时间同步电路的功能验证[J]. 计算机技术与发展,2013,23(7):183-186.

[8] Wenger S. H. 264/AVC over IP[J]. IEEE Transaction on Circuits Systems for Video Technology,2003,13(7):645-656.

[9] Chen L,Cheng L J,Yu S Y. Accurate rate control method in-transcoding[J]. IEE Electronics Letters,2004,40(1):14-18.

[10] 孙海平,丁 健. 系统芯片(SoC)验证方法与技术[M]. 北京:电子工业出版社,2005.

[11] JEDEC standard:DDR2 SDRAM specification[S]. [s. l.]:JEDEC Solid State Technology Association,2006.

[12] Xilinx. Memory Interface Generator(MIG)user guide UG086(v2.3)[M]. [s. l.]:Xilinx Inc.,2008.

[13] 夏宇闻. Verilog 数字系统设计教程[M]. 北京:北京航空航天大学出版社,2003.

一种高效的视频编码系统存储器接口的验证

作者：[杜斐](#)，[田泽](#)，[许宏杰](#)，[卢俊](#)，[DU Fei](#)，[TIAN Ze](#)，[XU Hong-jie](#)，[LU Jun](#)

作者单位：[中国航空计算技术研究所, 陕西 西安, 710068](#)

刊名：[计算机技术与发展](#)

ISTIC

英文刊名：[Computer Technology and Development](#)

年，卷(期)：2014(4)

本文链接：http://d.wanfangdata.com.cn/Periodical_wjfz201404047.aspx