

一种 1394 总线监控器数据包处理关键技术研究

魏美荣,田 泽,王宣明,徐文进

(中国航空计算技术研究所,陕西 西安 710119)

摘 要:1394 总线数据通信过程中需要对关键数据包进行实时监控。在不同的传输速率模式下,IEEE1394 协议限制了数据包的最大传输长度。如何对总线上出现的超长数据包进行有效监控,成为监控器研制的一个关键问题。文中从 1394 总线监控需求出发,对超长数据包监控数据处理关键技术进行重点研究,提出一种 1394 总线监控器的数据包处理方案,给出了该方案的硬件系统结构、功能组成,并对关键模块的设计进行详细的介绍。经过 FPGA 系统测试,该设计可对总线上的数据包进行有效监听、诊断和错误处理,保证了总线上通信数据的准确性和完整性。

关键词:1394 总线;监控器;数据处理

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2014)04-0006-06

doi:10.3969/j.issn.1673-629X.2014.04.002

Research on Key Technologies of Packet Processing for a 1394 Bus Monitor

WEI Mei-rong, TIAN Ze, WANG Xuan-ming, XU Wen-jin

(Aeronautical Computing Technique Research Institute, Xi'an 710119, China)

Abstract: In the process of the 1394 bus data communication needs real-time monitoring of key data packets. Under the mode of different transmission rate, the maximum length of transmission for packets is limited by IEEE1394 protocol. How to effectively monitor the bus on the super long packet becomes a key issue of monitor development. Based on 1394 bus monitoring requirements, focus on the key techniques for super long packet monitoring data processing, give a packet processing scheme for a 1394 bus monitor, introduce the hardware system structure, function composition, and describe the design of the key modules in detail. Through the FPGA system test, the design can be effective monitoring, diagnosis and error handling for the packets on the bus, ensuring the accuracy and integrity of the communication data on the bus.

Key words: 1394 bus; monitor; data processing

0 引言

1394 总线作为一种高速串行总线,已经被广泛应用于数据摄像机、计算机、工业测控,甚至航空航天等高安全领域^[1]。1394 总线上关联的系统终端有 3 种:总线控制器(Bus Control, BC)、远程终端(Remote Ter-minnal, RT)、网络监控器(Bus Monitor, BM)^[2]。文中主要研究总线的网络监控器。BM 可以实时监控和记录航空电子系统中 1394 总线数据信息,并在事后进行分析^[3-6]。1394 总线网络数据通信中往往会出现一些大批量连续不间断、记录关键信息的数据包,如何对其进行有效故障检测、分析处理无疑成为监控器

功能的一个关键技术问题。

国外的一些总线监控设备大多只完成了简单的数据监控和记录功能,对具体数据无法完成有效的实时监控和处理^[2]。文中针对 IEEE 1394 协议不同的速率模式下对传输数据包的最大包长度限制要求,对监控超长数据包的数据处理关键技术进行重点研究,给出一种支持超长包传输处理的解决方案。通过采取两级数据监控过滤的方式,不仅实现总线上帧同步包、异步流数据包、网络管理包等常规数据包的监控,还实现对总线上记录关键数据信息的超长数据包的有效监控、保证总线数据通信的正确性。避免设备的无故障拆装,提高维护效率为总线网络数据通信提供了有效的

收稿日期:2013-07-05

修回日期:2013-10-16

网络出版时间:2014-01-28

基金项目:国家“十二五”微电子预研(51308010601);中国航空工业集团创新基金(2010BD63111)

作者简介:魏美荣(1984-),女,陕西咸阳人,硕士,研究方向为集成电路设计;田 泽,博士,研究员,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20140128.1131.003.html>

分析调试手段。文中给出了监控数据处理的设计方案、硬件设计架构、功能组成以及对关键模块的设计进行较详细的介绍,并基于 FPGA 完成了设计实现,经过 1394 总线网络综合测试验证,可正确地总线上传输的数据信息进行有效的错误检错、故障分析和信息显示功能,有效解决了总线数据信息判读难的问题。

1 监控数据处理关键技术研究

1394 总线监控器只响应包含它自己唯一地址的数据消息,对其他任何消息均不响应。该总线监控器的需求描述主要有:

- 1) 实时地、有选择地记录总线上的信息,并提供硬件数据接收标志设置功能,可真实反映接收数据状态;
- 2) 支持查询和中断方式;
- 3) 为所记录的数据配置必要的状态信息和时间标志,进行必要的简化数据和格式化,存贮;
- 4) 实时地显示总线传输过程中的错误信息;
- 5) 启动以及停止网络监控功能;
- 6) 记录与某一终端有关的全部信息;
- 7) 记录某些特定的关键消息等。

IEEE1394 协议规定在 S100B、S400B 速度模式下,能发送的数据包长最长分别为 512 Byte、2 048 Byte^[7-10],下文称小于协议最大长度的数据包为常规包(总线网络中传输的帧同步包^[11]、异步流数据包、网络管理包均满足常规包的特点)。在 S100B、S400B 速度模式下,长度超过(72 B~512 B)、(72 B~2 048 B)的数据包,文中称为超长包,需有应用软件将数据拆成若干个不大于(72 B~512 B)、(72 B~2 048 B)的分包,组成标准的 IEEE1394 协议规定的异步流包发送(总包长不大于 512 B、2 048 B)。如何实现常规数据包和超长包的有效数据处理和监控存储,是文中研究的一个技术关键。

文中,无论常规包还是超长包的小分包在网络传输时统称消息的“分包”。需对分包消息增加分包标识位段,即利用 AS5643 协议定义的数据包 ASM 头第四个字设置相应的标识。分包标识具体定义如图 1 所示,其中 0 表示最高位,31 表示最低位。其中,分包标识位指明此数据包的类型,如果是常规数据包,则分包标识位段的高 8 位全部为 0;如果是超长包的分包,则分包标识位段的高 8 位中的第 4 个 bit 位设置为 1,其他位段的定义分别表示超长包的分包个数、分包序号和消息有效负载的长度。

通过对 1394 网络中传输的数据包进行研究分析后,定义监控数据处理的设计流程如下:

- a. 根据系统应用,预先定义接收配置表中从第 0

个消息开始到第 m 个消息结束配置为常规消息接收配置区,从 $m+1$ 到 n 为超长包的接收配置区,此配置区可定义多个(需预定义最大个数);

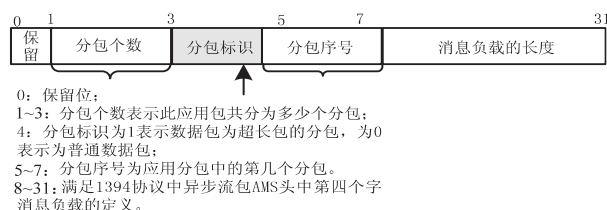


图 1 分包标识位段含义

b. 应用软件调用驱动层“数据缓存分配接口”,获得用于存储常规消息和超长消息的接收缓冲区地址,以下称为“应用接收缓冲区”;

c. 驱动层申请用于缓存常规消息和超长消息的接收缓冲区地址,以下称为“驱动接收缓冲区”;

d. FPGA 逻辑接收到数据包后,提取接收到消息的接收标识信息(如通道号与消息 ID 号),判断与当前调度配置表得到的期望接收消息标识信息是否相同;如果相同,则根据调度配置表的接收消息控制字,判断消息是否需要应答,若需要应答,则通知应答逻辑组织应答消息,并立即发送,将消息存入“FPGA 内部接收缓冲区”。反之,直接丢弃;

e. 请求 DMA 将分包信息从“FPGA 内部接收缓冲区”搬移至“驱动接收缓冲区”;

f. FPGA 逻辑接收到数据包后,提取消息中的分包标识位段信息,根据分包总数和接收到分包序号计算接收完成:

· 如监控消息接收完成,则上报消息接收完成中断,并更新各个分包的逻辑指针,驱动将消息从“驱动接收缓冲区”提取出来并组合为一个完整超长包,填入“应用接收缓冲区”,报告应用接收超长包完成;

· 如在接收到任一分包的一个帧周期内,未能接收完成所有分包,更新各个分包的逻辑指针,并上报主机接收超长包失败中断,由上层应用决定后续操作。

2 体系架构设计

从监控数据处理的设计流程来看,实现对总线消息数据进行准确有效处理,硬件逻辑需要将驱动软件拆分的分包根据 IEEE1394 协议组包成异步流包格式,配上必要的状态信息和时间标识后进行存储。该设计基于 Xilinx 公司 Virtex5 系列的 XC5VSX95T 的 FPGA^[12]实现,从逻辑功能上分为 3 个模块,主要由 PCIe 主机接口模块、BM 功能单元、LLC 层芯片 DM 接口模块组成。其核心电路的体系架构如图 2 所示。

3 设计与实现

通过上述的体系架构研究,进一步得到各功能模

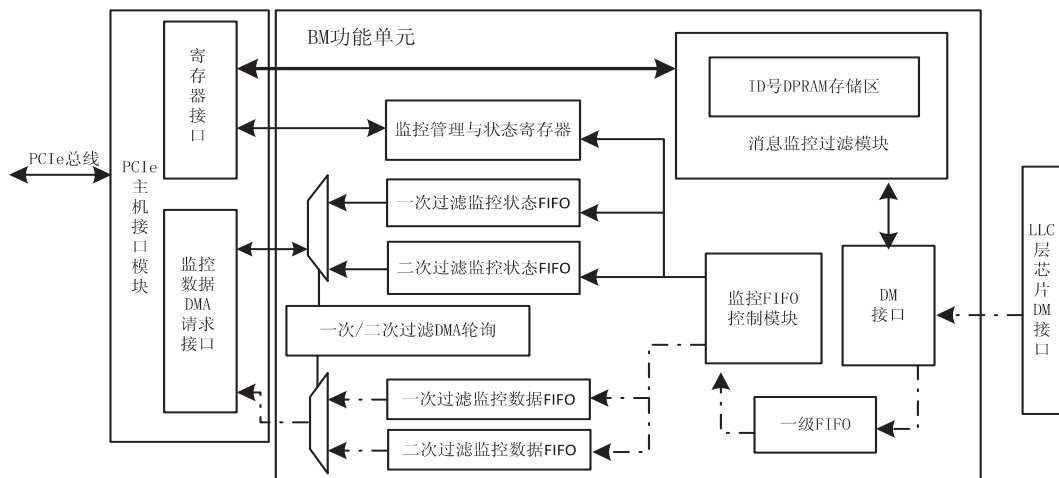


图 2 体系架构

块的设计实现如下。

3.1 PCIe 主机接口模块

PCIe 模块的功能是完成从 PCIe 串行链路到用户端逻辑之间的 PCIe 协议转换和数据高速传输,由 PHY、PCIe 协议处理部分和专用 DMA 部分三部分组成。实现了协议规定的事务层、链路层、物理层的功能,支持端点操作。PCIe PHY 和 PCIe 核为用户提供全面的底层 PCIe 状态信息。DMA 核支持最多 2 个主机到本地 (S2C) 及 2 个本地到主机 (C2S) DMA 通道,支持用户端直接控制。其特点及要求主要有^[13-14]:

- PHY 和 PCIe 核符合 PCI Express v2.0 协议,兼容 PCI Express v1.1 协议;
- 支持 2.5 Gbps (PCIe 2.0/1.1/1.0a) 通道速率,提供 64 位数据位宽;
- 为系统级调试和链路稳定性检测提供大量的诊断信息;
- 拥有 PCIe 标准的内部配置空间,用户可以根据需要进行定制。

3.2 BM 功能单元模块

该模块主要实现 1394 总线网络上各节点发送或接收的各种消息的监控,从逻辑功能上分为监控 FIFO 控制模块、监控过滤模块、调度模块和 DMA 控制模块四个模块。图中实线代表 BM 功能单元的控制流,虚线代表从链路层芯片接收到消息后的数据流。

3.2.1 监控 FIFO 控制模块

该模块实现当一次过滤消息有效时,记录消息的接收标志信息,连同消息的有效数据写入一次过滤监控数据 FIFO 中,当使能二次过滤消息时,将一次过滤 FIFO 中存放的该条消息数据信息搬移至二次过滤 FIFO 中。

3.2.2 监控过滤消息号模块

该模块可选择监控全部数据或者监控部分数据,由驱动软件提供监控控制寄存器的驱动,设置期望接

收的超长包通道号、主题 ID、源 ID 和目的 ID 号,硬件逻辑在接收到数据包后,分别提取此超长包的主题 ID、源 ID、目的 ID 以及通道号,当判断接收到与期望接收的 DPRAM 配置区的超长包标识号一致的消息时,进行监控,启动监控流程,否则丢弃。

3.2.3 BM 监控调度模块

当一次/二次过滤都能监控时,且一次/二次过滤数据 FIFO 和数据状态 FIFO 中同时有满足相应过滤条件的消息时,发起 DMA 数据搬运请求,由一次/二次过滤 DMA 轮询单元控制 DMA 请求的顺序,根据公平轮询仲裁的原则,决定当前 DMA 请求的发起者。监控数据包一次/二次监控处理 DMA 请求轮询调度流程如图 3 所示,其中虚线部分表示常规消息的处理分支。

- 检查一次过滤监控数据类型 FIFO 是否为“空”:

(1) 如果“非空”,则表示有需要进行 1 次过滤监控的数据,判断 1 次过滤监控数据类型 FIFO 数据最高 4 位,如果是最高 bit 位为 0,表示常规消息,为 1 是超长包分包:

①若是超长包分包,则表示一次过滤监控超长包数据需经 DMA 搬移,选择一次过滤监控数据的状态信息发起 DMA 请求,待请求被主机授权后,从一次过滤监控数据 FIFO 中取出数据通过 DMA 搬移,完成后进行下步操作 b。

②若是常规包,则表示一次过滤监控常规消息数据需经 DMA 搬移,选择一次过滤监控常规消息数据的状态信息发起 DMA 请求,待请求被主机授权后,从一次过滤监控常规数据 FIFO 中取出数据通过 DMA 搬移,完成后进行下步操作 b。

(2) 如“空”,表示无一次过滤监控(超长包或异步流)数据,直接进行下步操作 b。

- 检查二次过滤监控数据类型 FIFO 是否为“空”:

(1)如果“非空”,则表示有需要进行 2 次过滤监控的数据,判断 2 次过滤监控数据类型 FIFO 数据最高 4 位,如果是最高 bit 位为 0,表示常规消息,为 1 是超长包分包:

①如果是超长包分包,则表示 2 次过滤监控超长包数据需经 DMA 搬移,选择 2 次过滤监控数据的状态信息发起 DMA 请求,DMA 请求被主机授权后,从 2 次过滤监控数据 FIFO 中取出数据通过 DMA 搬移,完成后

进行下步操作 a;
②如果是异步流包,则表示 2 次过滤监控异步流数据需经 DMA 搬移,选择 2 次过滤监控数据的状态信息发起 DMA 请求,DMA 请求被主机授权后,从 2 次过滤监控数据 FIFO 中取出数据通过 DMA 搬移,完成后进行下步操作 a。
(2)如“空”,表示无 2 次过滤监控(超长包或常规包)数据,直接进行 a 步操作。

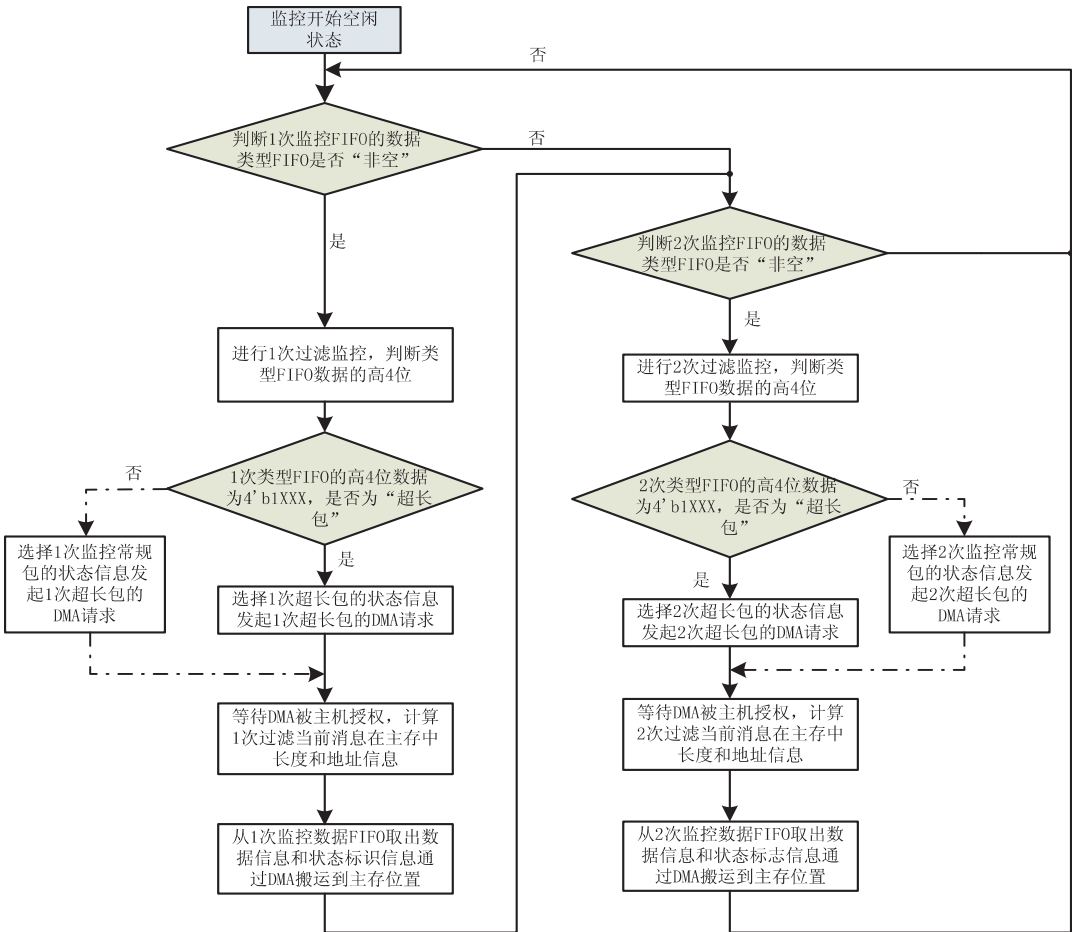


图 3 监控数据包 DMA 请求轮询调度流程图

3.2.4 BM 监控 DMA 控制模块

该模块通过与主机接口 DMA 进行信息交互,实现消息的存储控制。在主存中申请开辟两个独立的监控缓存区,分别为常规消息和超长消息监控缓冲区,两个独立的缓存区又划分为一次监控缓冲单元和二次监控缓冲单元,常规消息过滤缓存区存储监控到的常规包,每个数据包长最大为 512 字节。超长消息监控缓冲区为二维缓存数组。如图 4 所示,左侧部分表示的是常规包 1 次和 2 次监控缓存结构形式,监控到的常规消息按照监控的先后顺序依次进行排放。右侧部分标示的是超长包的小分包的监控缓存存储形式,其中第一个分包存储在第一列,第二个分包存储在第二列,第 n 个分包存储在第 n 列中,其中缓存区单元深度 k 、 m 软件可配置。

根据 1394 协议中对不同速率传输数据包长度的限定,为了满足监控自适应能力,设定每个缓存单元的长度为 3 K,保证 S400 速率下最大数据包和 BM 监控逻辑提供数据接收标志的正确存储,该大小软件可配置。
当监控数据被存储到指定的存储区时,完成一次监控数据存储,向主机上报一次中断,由主机通知硬件逻辑进行监控接收数据包计数值加 1。在禁止覆盖的情况下,数据区被存满时,后续来的消息将被丢弃,这时会向主机上报消息丢弃中断,一次、二次监控中断方式相同。其中,BM 监控逻辑提供的数据接收标志,可真实反映接收数据状态。从总线中接收消息进行监控过滤后,并由 DMA 引擎将其搬移到如图 4 的主机存储器中。

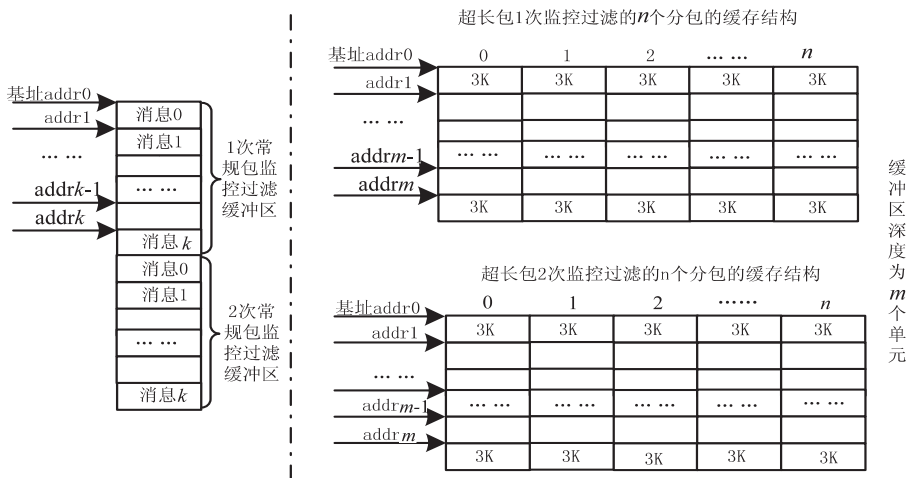


图 4 监控数据缓冲区的存储结构示意图

3.3 LLC 层芯片 DM 接口模块

链路层 DM 接口对总线上的消息进行过滤,将需要监控的消息存入监控 FIFO 缓存中,对不需要监控的消息进行丢弃处理。

4 FPGA 原型验证

结合监控器设计需求,对实现监控功能后的板卡进行验证,通过搭建测试环境平台完成 1394 总线网络综合测试。验证环境如图 5 所示,主要由控制节点 BC、远程终端 RT、网络监控器 BM、1394 总线线缆组成。

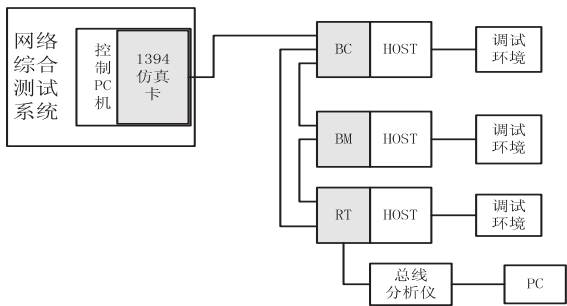


图 5 1394 总线网络综合测试环境

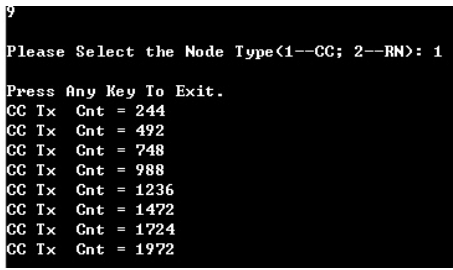
4.1 测试方法

在 VxWorks 嵌入式实时操作系统中,采用 Tornado 开发平台,VS2008 开发软件,插有 1394 仿真卡的控制 PC 机运行仿真卡测试软件作为激励源,通过设置 1394 仿真卡发送 100 000 帧,BM 子卡监控总线上捕获的监控数据,用 1394 总线网络分析仪(FireSpy3810)工具对激励数据进行分析,并和监控卡的监控结果进行比较,判断监控到的数据是否正确,是否有丢包现象,最后通过运行仿真卡测试软件对测试数据进行结果的分析显示。

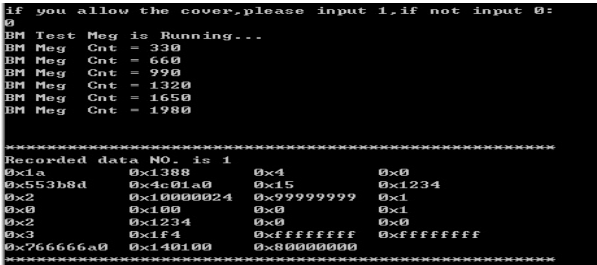
4.2 测试结果

图 6 为 FPGA 测试结果,其中图(a)显示 BC(CC)节点为测试激励源,图中显示的是每秒打印一次 BC

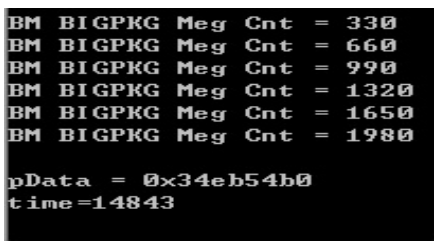
发送的异步流消息计数值;图(b)为监控到常规包的计数值和主存中的数据存储结果;图(c)和图(d)为显示 1次和2次监控到超长包的计数值和主存中存储超



(a) CC 发送的异步流消息计数值



(b) 监控常规包的计数值和存储数据内容



(c) 监控到的超长包的计数值



(d) 监控超长包的分包存储数据内容

图 6 FPGA 测试结果

长包的数据内容。当缓存深度是100的情况下,每个超长包的组包消耗时间约为14.8 μs,满足监控超长包时间精度要求。

5 结束语

通过对1394总线网络监控器数据处理关键技术的研究,文中提出了一种高性能的数据监控处理方法,并对该方法的硬件设计实现做了较详细的介绍。经过1394总线网络综合测试结果表明,可正确地对总线上传输的数据信息进行错误检错、故障分析和信息显示,且监控工作稳定可靠,满足时间精度要求,易实现模块化和通用化,为以后的相关测试系统的研制开发提供了设计思路。

参考文献:

[1] 郑斐,田泽,马宁,等. 1394与RS422总线桥的设计与实现[J]. 计算机技术与发展,2013,23(7):253-256.

[2] 蒋国峰,白红. 1553B总线监控器的设计与实现[J]. 电子设计工程,2011,19(17):98-100.

[3] 王治,田泽. 一种高性能AFDX监控卡的实现技术研究[J]. 计算机技术与发展,2010,20(8):217-220.

[4] Song Jiayou. Design of monitor system for general 1553B bus [J]. Electronic Design Engineering,2011(3):90-92.

(上接第5页)

4 结束语

文中通过分析项目进度计划问题中资源间的约束关系以及项目内部工序的约束关系,应用关键链方法的理论,建立多资源项目进度计划问题的约束规划模型,提出了基于自适应遗传算法对模型的求解。结果表明,文中提出的基于关键链方法建立的模型和采用的自适应遗传算法进行的求解,能够充分地考虑到项目进度计划问题以及多资源约束问题的特点,能够以较快的速度找到有效的项目进度计划方案。

参考文献:

[1] 蔡晨,万伟. 基于PERT/CPM的关键链管理[J]. 中国管理科学,2003,11(6):35-39.

[2] Goldratt E M, Cox J. The goal [M]. 2nd ed. Aldershot: Gower, 1993.

[3] Goldratt E M. Critical chain [M]. MA: The North River Press, 1997.

[4] Leach L P. Critical chain project management [M]. Boston, London: Artech House, 2000.

[5] Yukel O I, Rom W O, Eksioglu S D. An investigation of buffer sizing techniques in critical chain scheduling [J]. European Journal of Operational Research, 2006, 172(2): 401-416.

[5] Brajou F, Ricco P. AFX-based flight test computer concept [J]. IEEE Instrumentation & Measurement Magazine, 2005 (3):55-58.

[6] ARINC664 Aircraft Data Network Part7 (draft3): Deterministic network [S]. [s.l.]: ARINC Airlines Electronic Engineering Committee, 2005.

[7] 马进, 王伟, 杨煜普. 基于DMA的1394总线高速数据传输实现[J]. 计算机工程与设计, 2010, 31(20): 4410-4413.

[8] 赵莹, 闫娟娟, 郑铮. 基于IEEE1394的光纤通道技术[J]. 航空电子技术, 2008, 39(4): 15-22.

[9] 张大朴, 王晓, 张大为, 等. IEEE1394协议及接口设计[M]. 西安: 西安电子科技大学出版社, 2004.

[10] 李肇庆, 朱险峰. IEEE1394接口技术[M]. 北京: 国防工业出版社, 2004.

[11] 龚东磊, 胡继波. IEEE1394高速串行总线及其应用[J]. 计算机工程, 2002, 28(11): 237-239.

[12] 牛少平, 田泽. 基于SoPC的智能监控卡设计与实现[J]. 计算机技术与发展, 2012, 22(8): 167-169.

[13] 廖寅龙, 田泽. FC网络通信中PCIe的接口的设计与实现[J]. 航空计算技术, 2010, 40(4): 127-130.

[14] 李建兵, 徐向辉. 基于PCI-E总线的高速数据传输卡的设计与实现[J]. 计算机测量与控制, 2011, 19(10): 2581-2583.

[6] 徐哲, 王黎黎. 基于关键链技术的项目进度管理研究综述[J]. 北京航空航天大学学报(社会科学版), 2011, 24(2): 54-59.

[7] 马国丰, 尤建新. 关键链项目群进度管理的定量分析[J]. 系统工程理论与实践, 2007, 27(9): 54-60.

[8] 刘士新, 宋健海, 唐加福. 关键链——一种项目计划与调度新方法[J]. 控制与决策, 2003, 18(5): 513-516.

[9] Rand G K. Critical chain: the theory of constraints applied to project management [J]. International Journal of Project Management, 2000, 18(5): 173-177.

[10] 杨莉, 李南. 软件项目进度的关键链管理[J]. 计算机工程, 2010, 36(7): 42-44.

[11] 刘士新. 资源受限工程调度问题的优化方法研究[D]. 沈阳: 东北大学, 2000.

[12] 熊伟清, 刘明达, 魏平. 遗传算法的基因定位算子[J]. 控制理论与应用, 2005, 22(3): 491-494.

[13] Srinivas M, Patnaik L. Adaptive probabilities of crossover and mutation in genetic algorithms [J]. IEEE Transactions on System, Man and Cybernetics, 1994, 24(4): 656-667.

[14] 乐秀璠, 覃振成, 尹峰. 基于自适应模拟退火遗传算法的多目标最优潮流[J]. 继电器, 2005, 33(7): 10-15.

[15] 王凌. 车间调度及其遗传算法[M]. 北京: 清华大学出版社, 2002.

一种1394总线监控器数据包处理关键技术研究

作者：[魏美荣](#)，[田泽](#)，[王宣明](#)，[徐文进](#)，[WEI Mei-rong](#)，[TIAN Ze](#)，[WANG Xuan-ming](#)，[XU Wen-jin](#)
作者单位：[中国航空计算技术研究所, 陕西 西安, 710119](#)
刊名：[计算机技术与发展](#)

ISTIC

英文刊名：[Computer Technology and Development](#)

年，卷(期)：2014(4)

本文链接：http://d.wanfangdata.com.cn/Periodical_wjfz201404002.aspx