

# 一种 IEEE1394 总线监控卡的设计与实现

王 治,田 泽,杨 峰,李 哲

(中国航空计算技术研究所,陕西 西安 710119)

**摘 要:**IEEE1394 总线具有带宽高、延迟低、实时性强等特点,广泛应用于航空、航天领域。由于其差分总线上传输数据不透明,且协议复杂给设计开发带来极大困难。文中针对 1394 总线的原理和特点,分析了 1394 总线的监控需求,提出一种软硬协同实现的 1394b 总线监控方案。给出了相关的软件和硬件设计,实现网络中实时传输数据的监视和控制,采用软件对数据进行记录、存储、分析以及图形化显示,方便了数据的观测和结果分析。该设备的应用可为 1394 总线设备的开发与测试提供有效支持。

**关键词:**1394b;PHY;Link;监控卡

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2014)03-0218-04

doi:10.3969/j.issn.1673-629X.2014.03.054

## Design and Implementation of an IEEE1394 Bus Monitor Card

WANG Zhi, TIAN Ze, YANG Feng, LI Zhe

(Aeronautical Computing Technique Research Institute, Xi'an 710119, China)

**Abstract:**With the characteristics of high bandwidth, low latency and strong real-time performance, IEEE1394 is widely used in aviation and aerospace fields. As the implication of difference bus data transmission, and complex protocol makes design difficult. Aiming at the principle and characteristics of 1394 bus, analyze the 1394 bus monitor requirement, and put forward a kind of software and hardware co-operation scheme for 1394b bus monitoring. It provides the regarding software and hardware design, implement the real-time network monitoring and controlling. Additionally, it adopts software to record, restore, analyze and display the data, this is very expedient for observation and result analyzing. The application of this device will give great support for 1394 bus devices development and test.

**Key words:**1394b;PHY;Link;monitor card

## 0 引 言

IEEE 1394 最初是由 Apple 公司提出,当时的目的是简化计算机的连线,并且为实时数字数据传输提供一个高速接口<sup>[1]</sup>。1394 总线采用 8 b/10 b 编码格式和无时钟同步的差分数据传输方式,使总线上的活动对用户不透明,再加上 1394 总线协议本身的复杂性,大大增加了总线开发工作的难度。

文中提出的 IEEE1394 总线监控卡,针对应用开发过程需要在特定情况下注入数据,并监控捕获总线上传输的实时数据要求,通过主机软件进行数据的构造和解析,采用千兆以太网完成数据的收发,FPGA 实现与 PHY 控制器的实时通信,完成对 1394 总线上数据的记录、存储、分析,实现对系统功能和性能的评估,

同时可应用于系统故障分析和定位。

## 1 IEEE1394 总线概述

1394 总线具有诸多优点,随着协议的更新传输速度从 1394a 的 S400 升级到 1394b 的 S3200,且完善了总线的仲裁机制,使得总线带宽的利用率大大提高<sup>[2-4]</sup>;增加多种低功耗工作模式,在保证总线功能和性能要求下,大大降低了功耗。其主要特点包括<sup>[5-6]</sup>:

- 速度高:1394a 支持的最高传输速率为 400 Mbps,1394b 支持更高的传输速率达 3.2 Gbps。
- 总线兼容性:同一条总线上允许不同速率的设备、不同协议版本、不同 Link 的设备同时存在。
- 支持热插拔:用户可动态添加或删除设备。

收稿日期:2013-07-01

修回日期:2013-10-10

网络出版时间:2014-01-07

基金项目:“十二五”微电子预研(51308010601);总装 2012 预研基金(9140A08010712HK61095);中国航空工业集团公司创新基金(2010BD63111)

作者简介:王 治(1977-),男,陕西西安人,硕士研究生,研究方向为集成电路设计;田 泽,博士,研究员,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20140107.1517.014.html>

- 动态可配置:不需要主机的干预下,系统自动完成拓扑的建立、节点标识。
- 支持点到点传输:系统中每个节点处于平等的地位,均可自主完成事务,而不需要主机 CPU 干预。
- 扩展性:总线可以连接最多 63 个设备,通过桥接总线可以扩展至 1 023 条。
- 线缆供电:支持线缆供电,对于低功耗设备可以通过总线取得电源,使设备在断电或供电异常的情况下仍能保证设备正常通信。
- 支持等时传输和异步传输:等时传输由于不需要接收方确认,因而实时性较好,适合实时性要求较高的业务,最大可使用 80% 的总线带宽;异步传输需要接收方进行确认以保证数据的可靠到达,多应用于准确性要求较高的业务,最大可以使用 20% 的总线带宽。

## 2 IEEE1394 监控需求及原理

### 2.1 监控需求

随着 1394 总线协议功能的完善、性能的提升,也导致了总线行为的复杂性大大增加。在使用 1394 总线应用开发过程中往往使用专用的 PHY 和 Link 芯片,对总线的行为、工作过程了解不清,很难充分发挥总线特性。因此,总线监控主要从以下几个需求出发完成数据总线的实时捕获,以便后续分析:

- 总线初始化过程:记录总节点上电开始到初始化完成,记录总线建立初期的自标识、树标识过程,从而完成获取网络拓扑变化。
- 总线运行状态:记录总线的运行状态,如子务间隔、仲裁复位间隔、相位信息、中断信息等,使得发送的数据遵守仲裁规则,确保总线不出现冲突。
- 总线数据传输的监控:记录总线通信过程中的数据包,包括 PHY 配置包、远程命令包、恢复包、确认包等。

### 2.2 监控原理

对 1394 总线上运行过程的监控主要分为:对总线初始化过程、总线运行状态以及总线数据传输的监控。假设由 A、B、C、D、E 和 Monitor 组成一个 6 节点的 1394 总线网络,每个节点有 3 个端口,其中 A 为根节点,测试节点 Monitor 作为叶节点。其监控示意图如图 1 所示。

对初始化过程的监控:1394 网络拓扑的形成过程分为树标识和自标识两个阶段<sup>[7]</sup>。树标识的过程是为了标识每个节点的子端口、父端口,进而找出总线的根节点,形成总线拓扑结构。自标识的过程主要为了给每个节点标记一个唯一的物理 ID 号,便于作为节点间通信的身份 ID。当拓扑形成后,在根节点控制下,

节点依次发送包含 PhyID、供电情况、各端口类型的自标识包。在 Monitor 节点可以收到 5 个自标识包,如表 1,通过软件分析可还原出总线的拓扑结构。

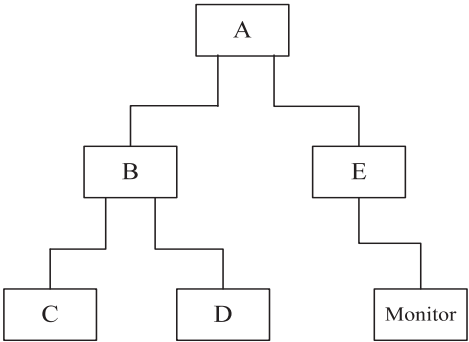


图 1 监控示意图

表 1 自标识包分析表

节点	PhyID	端口 0、1、2		
A	5	Child	Child	NC
B	2	Child	Child	Parent
C	0	Parent	NC	NC
D	1	Parent	NC	NC
E	4	NC	Child	Parent
Monitor	3	Parent	NC	NC

由于网络上节点的插入、移除,端口工作模式的改变都会引起 1394 总线新的标识过程,所以一条总线从上电到稳定工作往往包含多次的树标识、自标识过程,对所有自标识包的监控记录可分析出总线网络的建立过程及运行过程中的拓扑变化。

总线状态监控:在总线的运行过程中,PHY 层管理总线的运行状态,实时将总线上发生的复位、子务间隔、仲裁复位间隔等状态信息上报给链路层,以便链路层发送数据。Alpha 类型的 Link 与 Beta 类型的 Link 对状态的传输机制不同:Alpha 类型的 Link 使用 2 位的控制线和 2 位数据,需要将控制线驱动为 Status 的同时,将状态信息的编码在 2 位数据线上串行发送。传输信息包括仲裁复位间隔、子务间隔、仲裁复位开始、中断信息、返回的 PHY 寄存器读请求的数据;Beta 类型的 Link 采用两种机制完成从 PHY 到 Link 的状态传输。一种机制使用 8 位数据线和 2 位控制线传输与数据包相关的总线状态信息,包括总线复位指示、奇仲裁复位间隔、偶仲裁复位间隔、子事务间隔指示、Cycle Start 指示。另一种机制使用 PINT 线串行传输与数据包无关的 PHY 状态指示,主要完成 PHY 中断、寄存器读返回数据、总线初始化过程中的复位指示。

节点寄存器的访问:除了对总线上传输的状态进行监控外,还需要监控总线上每个节点的运行状态。主要通过访问节点的 PHY 寄存器来实现。访问本地寄存器采用复用 PHY-Link 接口间的 D 和 Ctrl 线;对

于非本地节点的访问采用远程访问包来实现,远程访问包中包含待访问节点的 PhyID,对应寄存器的页地址,端口地址,寄存器地址等信息。该访问包在整个网络上传输,只有 PhyID 匹配的节点返回相应包,其中包含待访问寄存器的内容。

数据包的监控:1394 网络中的数据传输都是以 PhyID 为寻址的广播传输。当仲裁完成后,授权给总线上某一节点发送数据包,未获得授权的节点不能向总线发送数据包。但是不管 PhyID 是否匹配都要对接收到的数据包进行转发,同时将数据包通过 PHY-Link 接口上传到监控卡。

### 3 系统架构及硬件设计实现

该设计中采用 Vertex5 的 XC5VLX20T FPGA 实现控制逻辑,1394 物理层芯片采用 TI 的 TSB41BA3B<sup>[8]</sup>,端口支持 DS 和 Beta 模式,速度支持 S100, S200, S400, S800。板卡外部接口采用 FPGA 内部集成的千兆以太网接口,以太网外部的 PHY 使用 Marvell 的 88E1111<sup>[9]</sup>,保证在 S800 下 1394 网络数据能够实时上传主机。FPGA 主要负责从 1394 总线接收数据,进行数据编解码,并按以太网格式打包及上传主机的控制,其主要控制模块包括 PhyLink 接口模块、千兆以太网控制器(GMAC)、接收控制模块、发送控制模块,时钟控制单元、寄存器单元。系统结构如图 2 所示,各模块的功能描述如下:

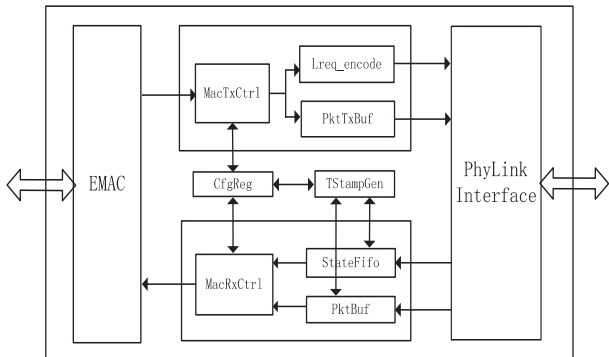


图 2 系统结构

#### 3.1 PhyLink 接口模块

PhyLink 接口模块:提供一个物理层控制芯片与链路层控制芯片之间访问与数据交互的接口<sup>[10]</sup>,接口控制如图 3 所示。初始时 PHY 控制总线,只有当 Link 通过 Lreq 申请总线获得 PHY 的授权后,才会通过 Ctrl 和 D 信号线把 PHY-Link 的控制权交给控制逻辑,控制逻辑使用完毕将接口控制权还给 PHY。根据主机配置该接口可设置为 Alpha 模式或 Beta 模式,在 Alpha 模式下监控 D[1:0] 和 Ctrl[1:0],将串行数据进行串并转换并译码后,将总线的状态信息写到 StateFIFO;帧数据写入到 PktFIFO。对于 Beta 型 Link,从 PINT 和 D

[7:0] 中分别得到 PHY 状态和总线状态写入到 StateFIFO,数据的控制与 Alpha 下相同。PHY 对 PINT 的控制,当 PHY 将 PINT 驱动有效一个周期时,PHY 状态传输就开始了。起始位(START bit)总是为 1。然后 PHY 通过 PINT 发送 3 位的串行字段,这 3 位决定了 PHY 的状态类型,并被 Link 用来确定后面的信息是否仍属于此次状态传输。如果 PHY 的状态类型表明后面仍有额外的信息,则这些信息应紧跟着这 3 位被传输。PHY 状态传输以结束位(END bit)完成。由于测试不考虑 PHY-Link 接口的掉电情况,所以置 LPS 有效。

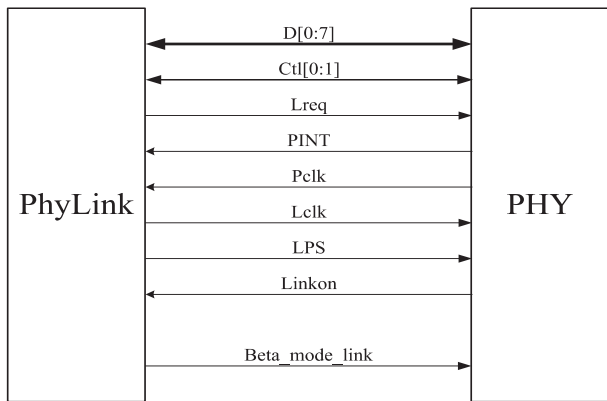


图 3 PHY 与 Link 接口

#### 3.2 千兆以太网控制器(EMAC)

GMAC 模块采用 Xilinx 专用 GMAC 的 Ipcore 实现,符合 IEEE Std 802.3-2002 规范<sup>[11-12]</sup>,支持 10/100/1 000 Mbps 半双工和全双工操作,支持 MDIO 接口对 PHY 进行配置、可配置帧间隔和帧校验。该 GMAC 提供一个 8 bit 的用户端口用于发送和接收以太网帧数据;通过主机接口完成访问/配置 MAC 内部寄存器、MDIO 寄存器、地址过滤寄存器,完成该 MAC 的初始化配置工作。通过对 MDIO 寄存器的控制,可访问、配置与之相连的以太网 PHY。EMAC 内部功能框图<sup>[13]</sup>如图 4 所示。

#### 3.3 接收控制模块

接收控制模块主要负责从 PhyLink 模块接收状态和数据包,分别缓冲到内部的存储器中,在以太网接收控制(MacRxCtrl)进行以太网数据包的封装,并发送到主机。状态信息采用容量为 2 kB,32 位宽度的 FIFO 存储。当状态信息缓冲达到 512 B 时,向 MAC 接收控制申请上传主机,这样的片上缓冲可减少上传主机数据次数,提高以太网总线利用率。其中,PHY 的状态信息格式为 4 字对齐,包含状态信息的来源,接收时标和信息内容。设计中对数据包的接收需要满足 S800 下最大包长的传输,由于在 S800 下异步包和等时包的最大数据负载分别为 4 kB 和 8 kB,因此数据的接收缓冲容量为 12 kB,32 位宽度的 FIFO 保证在 S800 下能

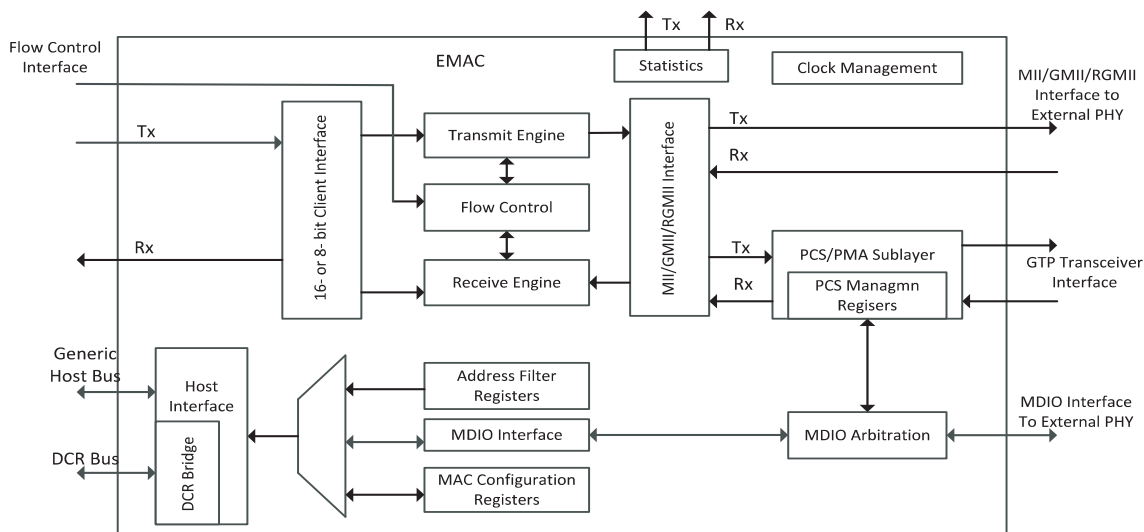


图4 以太网功能框图

缓冲一个最大帧长。由以太网接收控制模块接收来自状态缓冲和数据缓冲的申请, 优先响应数据缓冲请求。在接收控制中需要从各缓冲区读取数据, 按照以太网协议对数据进行封装, 完成数据上传。

### 3.4 发送控制模块

发送控制模块主要负责从以太网接口接收以太网数据包, 并从以太网包的 Payload 提取有效数据, 对数据进行译码判断主机需要发送总线请求还是数据。总线请求会立即被编码, 并根据 Link 模式或请求类型的不同, 产生符合 1394 协议规定的串行序列, 通过 Lreq 向 PHY 发送等时请求、异步请求、立即请求等请求。PHY 默认对 PHY-Link 接口拥有控制权。PHY 接收 Lreq 进行总线仲裁, 对仲裁成功的请求, PHY 通过 Ctrl 线将 PHY-Link 接口控制权移交给 PHY-Link 接口控制模块, 发送控制模块读取发送缓中的数据, 完成包数据的下发。

### 3.5 时标控制模块

时标控制模块产生一个绝对时间来标记接收到的数据包和总线状态信息的接收时间。FPGA 内部采用 64 位时标计数器, 计数时钟为 100 M, 精度 10 ns, 保证在测试过程中计数值不会溢出。当接收到总线状态信息时, 向 StateEncode 模块发送请求 StateReq, 并在 MCtrl 控制下从 TstampGen 模块取出当前时间写入 StateFifo 中。同样, 在接收总线数据包时, PhyLink 接口模块产生 PktReq, 由 MCtrl 控制从 TstampGen 模块取出当前时间写入 PktFifo 中。

## 4 软件设计实现

IEEE1394 监控主机接口采用千兆网, 采用开源的 WireShark 简化驱动软件的设计<sup>[14]</sup>, 完成在网络接口处的数据包接收与发送, 并以可视的图形化界面实时显示包的发送接收状态。上位机采用多线程方法, 实

时根据总线状态完成数据的构造与下发, 同时将上传数据进行存储解析并显示到用户界面以便用户观察和分析。

## 5 结束语

文中设计的 IEEE1394 总线监控卡, 高效地实现了开发过程中的数据注入和总线数据实时监控, 采用软件对数据进行记录、存储、分析以及图形化显示, 方便了数据的观测和分析, 通过对 1394 总线行为的分析, 大大降低了 1394 总线的开发难度, 为 1394 总线开发、调试、测试提供一种有效支持。

### 参考文献:

- [1] 闫梅, 马文超, 张涛, 等. 星载设备 IEEE1394 总线 PC 端通信程序的设计与实现[J]. 计算机工程与设计, 2010, 31(6): 1319-1323.
- [2] IEEE Standard for a High Performance Serial Bus, IEEE Std 1394-1995 Approved[S]. USA: Microprocessor Standards Committee, 1996.
- [3] IEEE Standard for a High-Performance Serial Bus-Amendment 2, IEEE Std 1394b™-2002[S]. USA: Microprocessor Standards Committee, 2002.
- [4] IEEE Standard for a High-Performance Serial Bus, IEEE Std 1394™-2008[S]. USA: Microprocessor Standards Committee, 2008.
- [5] Moir I, Seabridge A. 军用航空电子系统[M]. 吴汉平, 译. 北京: 电子工业出版社, 2008.
- [6] 张大朴, 王 晓, 张大为, 等. IEEE1394 协议及接口设计[M]. 西安: 西安电子科技大学出版社, 2004.
- [7] Anderson D. Fire Wire (IEEE1394) 系统体系[M]. 姜汉龙, 译. 北京: 中国电力出版社, 2001.
- [8] TSB41BA3 IEEE 1394b Three-Port Cable Transceiver/Arbiter[M]. USA: Texas Instruments, 2003.



2所示。

预览	任务	Email	笔记	文档	数据平台
----	----	-------	----	----	------

车型数据平台

● 整车

○ 底盘

产品号:

批次:

企业名称:

车辆名称:

车辆型号:

底盘 ID:

清空

查询

图2 带 dataext 插件的 FO 运行界面摘要

界面最右部分的“数据平台”选项卡及“车型数据平台”界面就是 dataext 插件的运行界面。需要指出的是,FO 默认只提供 mysql 支持,而 dataext 插件的数据库在已有的 Oracle 数据库之上,和 FO 系统及默认插件并不使用同一个数据库,所以 dataext 插件 MVC 的模型层 (Model) 和 FO 系统模型层的结构并不一样。研究表明,系统模型层 (包括默认插件 mail 等) UML<sup>[13]</sup> 示例如图 3 所示。

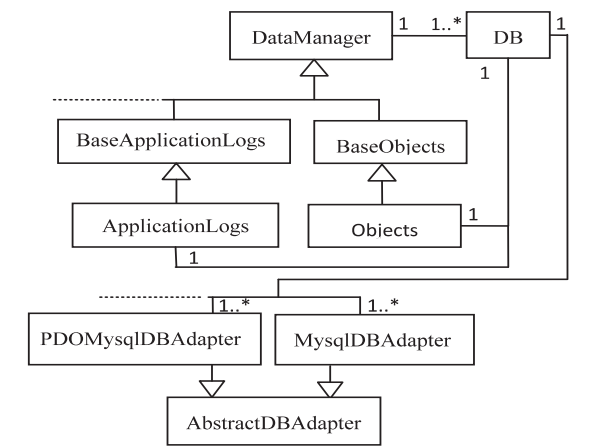


图3 FO 的 MVC 结构模型层 UML 简图

例如 mail 插件在 FO 系统数据库上有 7 个数据表,包括 fo\_mail\_accounts、fo\_mail\_contents 等。以邮件内容模型层 MailContents 类为例,其继承结构是:MailContents->BaseMailContents->ContentDataObjects->DataManager。知道了 FO 的模型层结构,对于开发和 FO 系统相同数据库的插件很有帮助。

4 结束语

文中研究了基于 Feng Office 的网络协作办公系统,并实际建立起一个工作平台,利用其插件开发机制开发了数据查询等插件。由于 FO 等开源项目文档并不齐全,文中的研究具有较高的探索性和实用性。

文中的研究对于中小型组织建立基于开源技术的网络协同办公系统有着积极的参考意义。该项目搭建的协作工作平台对于提高政府服务和企业服务效果、效率、质量以及规范化程度具有积极现实意义。

参考文献:

[1] Shaw M, Garlan D. 软件体系结构[M]. 牛振东, 江 鹏, 金福生, 译. 北京:清华大学出版社,2007:21-60.

[2] 仇文慧, 陈宇寒. 信息集成关键技术-企业服务总线[J]. 计算机技术与发展,2008,18(9):5-7.

[3] 曾小松, 王佳良, 李 咚. 基于开源技术的《公告》管理信息系统[J]. 计算机技术与发展,2011,21(7):234-237.

[4] 温 昱. 软件架构设计[M]. 北京:电子工业出版社,2008:200-220.

[5] 曾小松, 程 旭. 基于 Tuscany 的公告平台 ESB 架构设计[J]. 计算机技术与发展,2011,21(11):189-192.

[6] 李成严, 冯慧灵. 基于开源技术的 Web 应用架构研究[J]. 计算机技术与发展,2009,19(8):27-29.

[7] 列旭松, 陈 文. PHP 核心技术与最佳实践[M]. 北京:机械工业出版社,2012:187-213.

[8] Padilla A, Hawkins T. 高性能 PHP 应用开发[M]. 盛海燕, 刘 霞, 译. 北京:人民邮电出版社,2012:102-126.

[9] 沈惠璋, 赵继娣, QIU Robin. 基于 SOA 的分布式服务供应链信息共享平台研究与实践[J]. 计算机应用研究,2010,27(2):606-610.

[10] 黄灯桥. Ext JS 权威指南[M]. 北京:机械工业出版社,2012:430-498.

[11] 陈 凌, 王建东. 基于 GWT 技术开发 AJAX 应用的分析和研究[J]. 计算机技术与发展,2009,19(11):222-225.

[12] 张朝阳, 熊淑华, 衡 丽. 基于 Zend Framework 的网站设计与实现[J]. 计算机技术与发展,2011,21(11):197-200.

[13] 邱郁惠. 系统分析师 UML 实务手册[M]. 北京:机械工业出版社,2008:150-181.

(上接第 221 页)

[9] Integrated 10/100/1000 Ultra Gigabit Ethernet Transceiver, 88E1111 Product Brief[M]. USA:Marvell,2009.

[10] 汪国有, 何晓翔, 王至勉. 基于 FPGA 的 IEEE 1394 链路层控制器的设计与实现[J]. 红外与激光工程,2004,33(5):553-556.

[11] Virtex-5 User Guide, UG190 (v3.1)[M]. USA:Xilinx Inc. , 2007.

[12] 鲍天明, 周 龙, 殷红武. GMAC 千兆以太网卡驱动设计[J]. 计算机工程与科学,2009,31(A1):340-341.

[13] Virtex-5 Embedded Tri-Mode Ethernet MAC User Guide, UG194 (v1.3)[M]. USA:Xilinx Inc. ,2007.

[14] 罗青林, 徐克付, 臧文羽, 等. Wireshark 环境下的网络协议解析与验证方法[J]. 计算机工程与设计,2011,32(3):770-773.

# 一种IEEE1394总线监控卡的设计与实现

作者：[王治](#)，[田泽](#)，[杨峰](#)，[李哲](#)，[WANG Zhi](#)，[TIAN Ze](#)，[YANG Feng](#)，[LI Zhe](#)

作者单位：[中国航空计算技术研究所, 陕西 西安, 710119](#)

刊名：[计算机技术与发展](#)

英文刊名：[Computer Technology and Development](#)



年，卷(期)：2014(3)

本文链接：[http://d.wanfangdata.com.cn/Periodical\\_wjfz201403053.aspx](http://d.wanfangdata.com.cn/Periodical_wjfz201403053.aspx)