

# IRIG-B 直流时码计时器电路的设计与实现

何嘉文,田 泽,吴晓成

(中国航空计算技术研究所,陕西 西安 710119)

**摘 要:**IRIG-B 直流时码是美国靶场仪器组织规定的标准时码之一,具有编解码方式简单、速率适中、编码信息量丰富的特点,广泛应用于通信、计算、测量领域时统设备中。但随着电子工业的发展,IRIG-B 直流时码的秒级授时精度已经难以满足现代高精度时钟同步系统的需求,且由于 IRIG-B 直流时码抗干扰性较差,容易出现误码,导致授时错误。文中基于 IRIG-B 时码标准,提出了一种 IRIG-B 直流时码计时器电路。该电路能够实现精度达到微秒级的授时,还能对收到的 IRIG-B 直流时码进行检验,剔除不标准的时码。该电路已经应用于多款时统设备中,工程实践表明,其授时精度高于微秒级,且能够避免误码对授时精度的影响,可广泛应用于时统设备领域。

**关键词:**IRIG-B;直流时码;时钟同步

**中图分类号:**TP39

**文献标识码:**A

**文章编号:**1673-629X(2014)03-0158-05

**doi:**10.3969/j.issn.1673-629X.2014.03.0140

## Design and Implementation of a IRIG-B DC Time Code RTC Circuit

HE Jia-wen, TIAN Ze, WU Xiao-cheng

(Aeronautical Computing Technique Research Institute, Xi'an 710119, China)

**Abstract:**IRIG-B DC time code is one of standard time code stipulated by RCC (Range Commanders Council), it has the characteristics of simple encoding, middle-class code speeding, rich information, and is widely used in the SYNC equipment of communication, calculation and measurement. But with the development of the electronic industry, the second-level timing accuracy of the IRIG DC time code could not meet the requirement of the high level SYNC equipment, and its low-level anti-interference performance could lead to error code. Based on the IRIG-B DC time code standard, give a IRIG-B DC time code circuit. This circuit could realize the microsecond-level timing accuracy, and could check the input IRIG DC code and find the error code, which is used in many kinds of SYNC equipment. Engineering practice shows that, its timing accuracy is better than microsecond-level, and could avoid the influence of timing accuracy that caused by error code, which could be used widely in the timing accuracy area.

**Key words:**IRIG-B; DC time code; clock synchronization

## 0 引 言

IRIG-B 直流时码是 RCC (Range Commanders Council, 靶场司令委员会) 制定的一种标准时码,其时钟精度达到秒级,帧速率为 1 帧/s,能够给出当前的年、日、时、分、秒等时间信息。该时码具有编解码方式简单、速率适中、编码信息量丰富的特点,广泛应用于通信、计算、测量、气象领域时统设备中<sup>[1]</sup>。

但随着电子工业的发展,IRIG-B 直流时码也逐渐暴露出许多缺点,主要包括以下两点:IRIG-B 直流时码时钟精度仅达到秒级,难以适应当前高精度时统设

备的需求;IRIG-B 直流时码抗干扰性较差,容易出现误码,影响授时精度<sup>[2]</sup>。

为解决以上两个问题,文中将 IRIG-B 直流时码与计时精度达到微秒级的计时器相结合,设计了一种 IRIG-B 直流时码计时器电路,该电路的授时精度达到微秒级,远高于 IRIG-B 直流时码的秒级授时精度,还能够检测误码,以避免误码对授时精度的影响。该电路已经应用于多款时统设备中,工程实践表明,其授时精度高于微秒级,且能够避免误码对授时精度的影响,可广泛应用于时统设备领域。

收稿日期:2013-07-05

修回日期:2013-10-12

网络出版时间:2014-01-07

基金项目:“十二五”微电子预研(51308010601);总装 2012 预研基金(9140A08010712HK61095);中国航空工业集团公司创新基金(2010 BD63111)

作者简介:何嘉文(1987-),男,陕西西安人,硕士,助理工程师,研究方向为集成电路设计;田 泽,博士,研究员,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20140107.1517.016.html>

1 直流 IRIG 时码概述

IRIG 是 RCC (Range Commanders Council) 所属的负责制定靶场标准等的工作机构,其制定的 IRIG 时码分为直流时码和交流时码,每种时码又分为 A、B、D、E、G、H 六种格式,其中最为常用的是直流 IRIG-B 时码。直流 IRIG-B 时码帧速率为 1 帧/s,位速率为 100

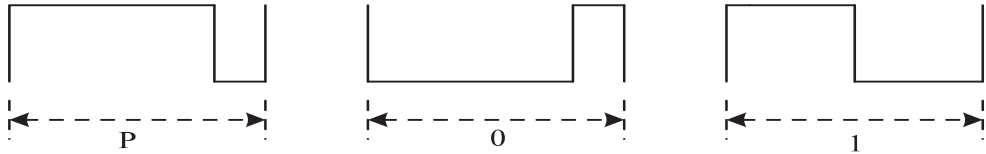


图1 直流时码的三种码元

图1中,“P”码元作为帧位置识别标志,由长度为 8 ms 的高脉冲和长度为 2 ms 的低脉冲组成;“0”码元作为数字“0”,或作为帧间隔符,由长度为 2 ms 的高脉冲和长度为 8 ms 的低脉冲组成;“1”码元作为数字“1”,由长度为 5 ms 的高脉冲和长度为 5 ms 的低脉冲组成。每个完整的 IRIG-B 时码帧由 100 个码元组成<sup>[5]</sup>。

IRIG-B 时码由两个连续的帧位置识别标志(“P”码元)开始,其中第 2 个帧位置识别标志作为 IRIG-B 时码的第 0 帧,第 9、19、29、39、49、59、69、79、89、99 帧为帧位置识别标志(即“P”码元),秒位由第 1、2、3、4、6、7、8 帧组成,分位由第 10、11、12、13、15、16、17 帧组成,时位由第 20、21、22、23、25、26 帧组成,日位由第 30、31、32、33、35、36、37、38、40、41 帧组成,年位为 50、51、52、53、55、56、57、58、60 位为闰秒等待位,61 位为闰秒位,62 位为夏时制等待位,63 位为夏时制位,64 位为时间修正标志位,65、66、67、68 位为时间修正位,71、72、73、74 位为时间精度位,75 位为奇偶校验位,其余位置由帧间隔符填充<sup>[6-7]</sup>。

2 直流 IRIG 时码电路体系结构的研究

IRIG-B 直流时码电路模块主要功能包括以下两个:

- a. 提供精度达到微秒级授时;
- b. 能够对收到的时码进行检验,以辨别其是否为误码。

为实现此两个功能,文中提出了 IRIG-B 直流时码电路的体系结构<sup>[8]</sup>,包括三个部分,即精度达到微秒级的计时器部分、IRIG-B 直流时码解码部分和 IRIG-B 直流时码检测部分。如图 2 所示,精度达到微秒级的计时器自复位完成后自动计时,计时初值为 1 day:0 hour:0 min:0 sec:0 ms:0 μs,每次 IRIG-B 直流时码解码操作完成且 IRIG-B 直流时码检验部分检验得出时码正常时,用 IRIG-B 时码的授时时间将计时器的时间更新;IRIG-B 直流时码解码部分按照 IRIG-B 直流

pps,内部共 100 个码元,码元间隔为 10 ms,能够给出当前的年、日、时、分、秒等时间信息。IRIG-B 时码分为交流(AC)型和直流(DC)型两种,其中直流型共有 3 种,包括“P”,“0”,“1”三种码元,每个码元长 10 ms。图 1 是直流 IRIG 时码的标准码元<sup>[3-4]</sup>。

时码的格式完成解码操作;IRIG-B 直流时码检验电路针对 IRIG-B 直流时码的格式与内容(即 IRIG-B 时码当前帧的授时的时间与之前两帧的授时时间差距是否在 2s 之内)进行判断,若均正确则允许将计时器时间更新为 IRIG-B 时码授时的时间,否则不允许更新,并且输出时码错误类型。

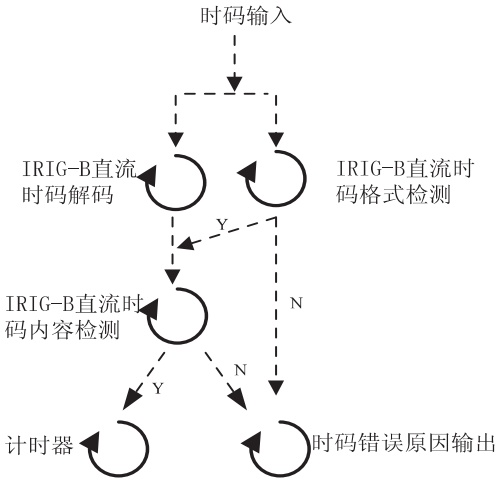


图2 IRIG 时码的解析与判定过程

3 直流 IRIG 时码实现电路设计与实现

按照上文提出的直流 IRIG 时码电路体系结构,为实现以上功能,将 IRIG-B 直流时码 RTC 电路分为以下三个部分,包括:

- a. 时码检测模块,负责判断收到的时码是否完整且标准,主要包括以下三种问题:

- (1)时码是否完整,即时码是否包含 100 个码元。为保证接收性能,98 ~ 102 个码元均认为时码完整,否则认为时码不完整;
- (2)时码格式是否标准,若出现除“P”码元、“1”码元、“0”码元之外的非法码元,以及在相应的帧位置识别标志位上未出现“P”码元,即认为时码格式不标准;
- (3)时码内容是否符合要求,若经解码得到的年、日、时、分、秒出现非法数据(如 61 s 等),或除接收到

的第一帧时码外其他时码时间与内部计时器时间相差大于 1 s,则认为时码内容有误。

若出现以上 3 种错误的任何一种,即认为当前直流时码有误,将判断结果输出到计时器和时码处理模块;

b. IRIG-B 直流时码解码部分,负责将输入的 IRIG-B 直流时码进行解码,解码过程为:解码操作自连续收到两个“P”码开始,检测“0”和“1”两种码元,并按照 IRIG-B 直流时码的结构,分别解码出“日”、“时”、“分”、“秒”位,并送至计时器和时码处理模块;

c. 计时器和时码处理模块,负责进行时码采集和处理,并输出年、日、时、分、秒等时钟信息,包括计时器模块、时码解析模块和时码处理模块;

· 计时器模块能够在复位后自动计数,提供当前时间,包括年、日、时、分、秒、毫秒、微秒,计时精度为 100 ns,自动计数的开始时间为 1 d:0 h:0 m:0 s:0 ms:0 μs;

· 时码解析模块能够根据输入的 IRIG-B 直流时码,解析得到当前的年、日、时、分、秒信息,解析方法为:解析开始于连续检测到两个“P”码元起,之后按照 IRIG-B 直流时码的结构,检测“0”码元和“1”码元,分别填写到相应的“年”、“日”、“分”、“秒”位置,以得到当前的时间信息;

· 时码处理模块将根据时码解析模块得到的当前时间(年、日、时、分、秒、毫秒、微秒),并结合时码检测模块输入的时码错误情况,决定是否将内部计时器时间更新为时码解析模块得到的时间;若出现以上三种错误的任意一种,则认为时码错误,不将内部计时器时间更新为时码解析模块得到的时间;若三种错误均未发生,则将内部计时器时间更新为时码解析模块得到的时间;

· 时码判断模块能够根据时码检测模块输入的三种错误情况,向其主设备报告时码错误,包括以下三种:

(1)时码丢失错误,若连续 10 s 没有收到完整的时码,或收到的时码存在时码格式错误,则向主设备报送时码丢失错误;

(2)时码格式错误,若出现除“P”码元、“1”码元、“0”码元之外的非法码元,以及在相应的时码标志位上未出现“P”码元,即认为时码格式不标准,向主设备报时码格式错误;

(3)时码内容错误,若经解码得到的年、日、时、分、秒出现非法数据(如 61 s 等),或除第一帧时码外其他时码时间与内部计时器时间相差大于 1 s,则认为时码内容有误,向主设备报时码内容错误。

IRIG-B 模块的功能框图如图 3 所示。

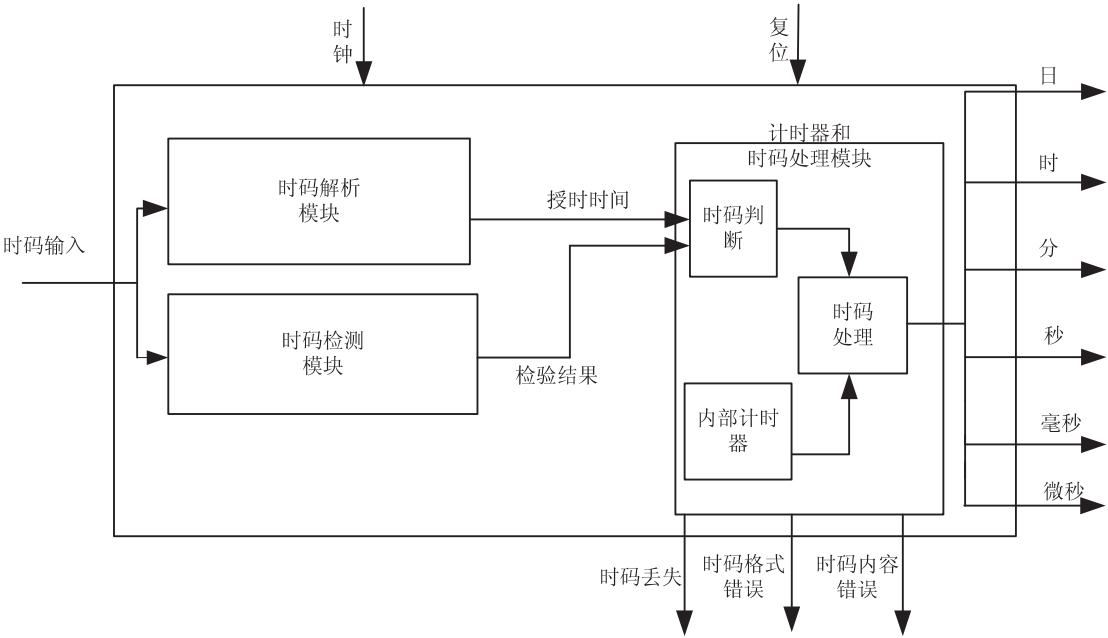


图 3 直流 IRIG 时码实现电路结构图

4 直流 IRIG 时码的验证和工程应用情况

为对 IRIG-B 直流时码计时器电路进行验证,在 PC 机上使用 Xilinx ISE 11.5 综合工具对使用 Verilog HDL 编写的电路进行综合,电路中使用的 fifo 等模块

采用 Xilinx CORE Generator 生成,之后使用 Xilinx iMPACT 11.5 进行程序下载工作,使用 Xilinx 编程调试电缆连接验证板与烧写工具。验证采用 Xilinx Virtex5 xc5vfx200t 系列验证板,通过预留的串行差分时码接口与 IRIG-B 时码发生器进行连接<sup>[9-11]</sup>。软件调试工具

采用 Microsoft visual Studio 2008,调试语言为 C 语言,其中对错误信号的监控采用 Xilinx chipscope,连接方式如图 4 所示。

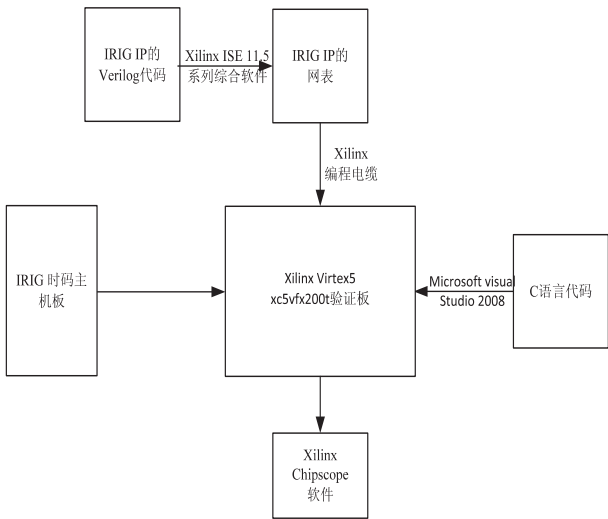


图 4 IRIG-B 直流时码校正功能的  
计时器电路验证环境

验证在复位结束后开始,通过 IRIG-B 时码发生器周期性向验证板发送 IRIG-B 时码,其中包括标准的时码和错误的时码。通过 Microsoft visual Studio 2008 对 IRIG-B 直流时码计时器电路输出的年、日、时、分、秒及相应错误位进行检测,进行的验证如表 1 所示。

为验证时码的积累误差是否在允许的范围内,统计了 3 400 s 内计时器时钟输出的时间与标准时间的误差。如图 5 所示,计时器时钟误差在 200 ns 至 800 ns 内波动,符合“误差在 1 μs 内”的要求。

表 1 对支持 IRIG-B 直流时码校正功能的计时器电路的验证

验证项编号	验证目的	验证方法	验证结果
验证 1	验证无时码情况下 IRIG-B 直流时码计时器电路是否工作正常	对此模块不输入 IRIG-B 直流时码,之后每隔 10 s 对模块输出的年、日、时、分、秒进行读操作,并监控时码丢失错误、时码格式错误、时码内容错误,此验证应持续 12h	输出的年、日、时、分、秒从 1 d:0 h:0 m:0 s:0 ms:0 μs 开始计时,经与 PC 机时间对比,两者差值始终相同,时码丢失错误被报出,时码格式错误、时码内容错误未被报出
验证 2	验证接收标准时码情况下 IRIG-B 直流时码计时器是否工作正常	对此模块输入标准的 IRIG-B 时码,之后每隔 1 s 对模块输出的年、日、时、分、秒进行读操作,并监控时码丢失错误、时码格式错误、时码内容错误,此验证应持续 12h	输出的年、日、时、分、秒从 1 d:0 h:0 m:0 s:0 ms:0 μs 开始计时,并按照时码输入的时间进行更新,经与 PC 机时间对比,两者差值始终相同,时码丢失错误被报出,时码格式错误、时码内容错误未被报出
验证 3	验证接收混合了标准时码、格式错误时码、内容错误时码以及长时间无时码情况下 IRIG-B 直流时码计时器是否工作正常	对此模块输入标准的 IRIG-B 时码,之后每隔 1 s 对模块输出的年、日、时、分、秒进行读操作,并监控时码丢失错误、时码格式错误、时码内容错误,此验证应持续 12h	输出的年、日、时、分、秒从 1 d:0 h:0 m:0 s:0 ms:0 μs 开始计时,并按照时码输入的时间进行更新,经与 PC 机时间对比,两者差值始终相同,时码丢失错误、时码格式错误、时码内容错误均能够被报出

以上验证表明,IRIG-B 直流时码计时器电路能够对标准时码、格式错误时码、内容错误时码进行正常解析和判断,并能够完成计时和错误检测功能,授时误差小于 1 μs,验证表明,支持 IRIG-B 直流时码校正功能的 RTC 电路符合设计要求。

此电路已经应用于多款时统设备中,工程应用表明,该电路能够达到微秒级授时精度,且能够克服误码对授时精度的影响。

5 结束语

文中介绍了 IRIG-B 直流时码,在此基础上给出了一种 IRIG-B 直流时码计时器电路的设计与实现方法。该计时器电路能够自复位起自动计时,并解码收到的 IRIG-B 时码,以用于对计时器时钟进行校正,能够为系统提供当前的年、日、时、分、秒、毫秒、微秒信息,授时精度达到微秒级,并可对接收到时码信息的正确性和完整性进行检测,提供相应的状态位供查询。使用 FPGA 工具对该电路进行了功能和性能验证,此电路经综合后在 FPGA 验证板上进行验证,能够达到设计要求。该电路已经应用于多款时统设备中,工程应用表明,该电路能够达到微秒级授时精度,且能够克服误码对授时精度的影响。

因当前的设计能够保证计时器电路在积累误差方面的要求,为简化设计,未使用 IRIG-B 时码提供的时间修正位和时间精度位<sup>[12]</sup>。在下一步的工作中,为减小时钟积累误差,可以考虑在解码操作时增加时间修正位和时间精度位的解码,以便将积累误差减小到 400 ns 之内<sup>[13-14]</sup>。



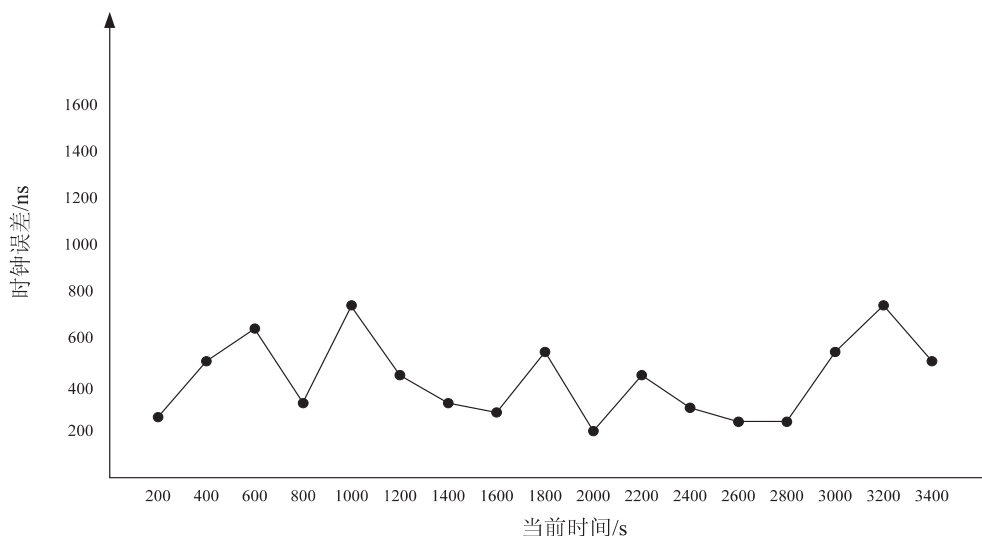


图 5 计时器时钟的积累误差

## 参考文献:

- [1] 熊立智,唐普英.基于 FPGA 的 IRIG-B 解码电路设计与实现[J].通信技术,2010,43(8):231-232.
  - [2] 雒俊鹏.基于 FPGA 的 IRIG-B(DC)码产生电路设计[J].电子设计工程,2010,18(5):146-148.
  - [3] 郭东文,李秋娜.基于 CPLD 的 IRIG-B 码源的实现[J].遥测遥控,2002,23(6):20-23.
  - [4] 刘维京.多功能内置式 IRIG-B 码终端设计[J].电子设计工程,2012,20(13):28-30.
  - [5] 庞吉耀.基于 FPGA 的 IRIG-B 编码器实现[J].现代电子技术,2009(24):113-117.
  - [6] 吴 炜,周 烨,黄子强.FPGA 实现 IRIG-B(DC)码编码和解码的设计[J].电子设计工程,2010,18(12):162-164.
  - [7] 张 辉.新一代的 IRIG-B 码时统终端的设计[J].微处理机,2004(5):49-51.
  - [8] Lian Yuping, Han Yan, Huo Mingxu, et al. Design and FPGA verification of a novel reliable real-time data transfer system[J]. Journal of Zhejiang university science A, 2008, 9(10): 1406-1410.
  - [9] 孙海平,丁 健.系统芯片(SoC)验证方法与技术[M].北京:电子工业出版社,2005.
  - [10] Xilinx Inc. LogiCORE IP fiber channel V3.3 user guide[M]. [s. l.]: Xilinx Inc, 2008:33-36.
  - [11] Universal verification methodology 1.1 user's guide[M]. [s. l.]: Accellera, 2008.
  - [12] Martin K E, Benmouya L G. IEEE standard for synchrophasors for power systems[J]. IEEE power engineering society, 1998(13):73-77.
  - [13] 马红皎,胡永辉. GPS&IRIG-B 码时间系统分析[J]. 电子科技, 2005(7):21-25.
  - [14] 张 斌,张东来,王 超.基于 FPGA 的 IRIG-B(DC)码同步解码设计[J].测控技术,2008,27(2):45-47.
- 
- (上接第 157 页)
- [5] 朱永忠,张晓鹏."基于网络计量的世界大学排行榜"述评[J].中国高等教育评估,2006(4):39-42.
  - [6] 何克抗.我国教育信息化理论研究新进展[J].中国电化教育,2011(1):1-19.
  - [7] 赵云丰,肖继征,韦 韬.一种有效的信息化效能评估模型研究与应用[J].计算机技术与发展,2011,21(11):46-48.
  - [8] 郭伟刚,李亚娟,岑健林,等.学校教育信息化绩效评价模型的设计和应用[J].中国电化教育,2010(4):36-40.
  - [9] 胡赤弟.高等教育中的利益相关者分析[J].教育研究,2005(3):38-46.
  - [10] 陈巍巍,张 雷,陈世平,等.我国高校信息化绩效评估指标体系的研究[J].科技管理研究,2011(21):51-54.
  - [11] 教育信息化十年发展规划(2011-2020)[EB/OL]. 2012-03. [http://www.gov.cn/gzdt/2012-03/31/content\\_2104056.htm](http://www.gov.cn/gzdt/2012-03/31/content_2104056.htm).
  - [12] 焦 婧,李亚文.用户体验-高校信息化使用效益研究的新视角[J].现代教育技术,2011,21(11):28-31.
  - [13] 王佑镁.国家精品课程网上资源可及性评估研究[J].高等教育教育研究,2007(3):118-120.
  - [14] Oblinger D G. Higher education in the connected age[J]. EDUCAUSE Review, 2013, 28(2):4-6.

# IRIG-B直流时码计时器电路的设计与实现

作者：[何嘉文](#)，[田泽](#)，[吴晓成](#)，[HE Jia-wen](#)，[TIAN Ze](#)，[WU Xiao-cheng](#)

作者单位：[中国航空计算技术研究所, 陕西 西安, 710119](#)

刊名：[计算机技术与发展](#)

英文刊名：

ISTIC

[Computer Technology and Development](#)

年，卷(期)：

[2014\(3\)](#)

本文链接：[http://d.wanfangdata.com.cn/Periodical\\_wjfz201403040.aspx](http://d.wanfangdata.com.cn/Periodical_wjfz201403040.aspx)