

# DSP+FPGA 结构图像处理系统的 FPGA 动态配置

陈春宁

(中国科学院 长春光学精密机械与物理研究所,吉林 长春 130033)

**摘要:**文中先介绍了 Xilinx 公司 FPGA 从并配置模式的工作原理,随后介绍在实际的工程项目中,利用项目自身的数字图像实时处理系统内 DSP+FPGA 结构,实现 Xilinx 公司 V5 系列 FPGA 更高级配置应用—使用 DSP 和 CPLD 配合工作,完成数字图像处理系统中 XC5VLX50 FPGA 的从并配置。针对 FPGA 动态配置,从电路硬件设计和软件实现两方面详细讲述了配置工作的具体过程和实现步骤。这种 FPGA 动态配置方式优点是利用图像处理系统板级现有资源,在尽量少的空间实现尽量多的功能,同时减少元器件数量和增加系统的灵活性。

**关键词:**数字信号处理器;大规模可编程逻辑器件;CPLD;从并配置;加载

中图分类号:TP302.1

文献标识码:A

文章编号:1673-629X(2014)03-0042-04

doi:10.3969/j.issn.1673-629X.2014.03.011

## FPGA Dynamic Configuration of Image Processing System of Structure of DSP+FPGA

CHEN Chun-ning

(Institute of Optical Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China)

**Abstract:** In this paper, first operation principle of FPGA of Xilinx slave SelectMAP configuration is introduced. Then in the actual engineering project, using the digital image real-time processing system of DSP+FPGA structure in project itself, realize the Xilinx company V5 series FPGA more advanced configuration application – DSP and CPLD cooperation, to complete the slave SelectMAP configuration of digital-image-processing system. In view of dynamic configuration of FPGA, the procedure and realization steps are explained from two aspect of hardware design and software realization. The advantage of the way of FPGA dynamic configuration is to use resource of image processing system, in the space of less as far as possible realizing the function of as much as possible, at the same time, the way can reduce number of component and increase flexible of system.

**Key words:** DSP; FPGA; CPLD; slave SelectMAP; Bootloader

## 0 引言

随着数字信号处理器(DSP)和大规模可编程逻辑器件(FPGA)性能不断提升以及 EDA 技术的进步,当今图像处理系统基本上都采用 DSP+FPGA 结构,以满足在尽量少的空间实现尽量多的功能,同时降低成本的需求。其中 FPGA 以其内部丰富的 BRAM、GCLK、DCM、各种直接可利用的 IP 核等资源和可编程的特点,简化了实际电路的设计和实现难度。但现在内部逻辑资源超过 100 万门的 FPGA 都是基于 SRAM 技术,在系统上电时,必须加载程序才能正常工作,这就要求设计板级电路时,为 FPGA 提供配置电路

和非易失性存储器。虽然 Xilinx 公司为 FPGA 提供的专用程序存储芯片易于使用和配置方便,但每一代 FPGA 产品都在不同程度上增加了性能和功能,专用存储芯片按照容量和工艺分有很多种,这就给产品的更新换代带来不便,而基于 DSP+CPLD 的方式实现 FPGA 更高级配置应用,降低了板级系统设计需求,另外, DSP 控制充足的存储资源,可以满足不同系统需求。文中在介绍 Xilinx 公司 XC5VLX50 FPGA 的从并配置方法基础上<sup>[1]</sup>,结合实际的处理系统,介绍使用 DSP 和 CPLD 对系统中的 FPGA 用 Slave SelectMap 方式进行配置的方法和实现步骤。该图像处理系统

收稿日期:2013-05-02

修回日期:2013-08-06

网络出版时间:2013-11-29

基金项目:国家自然科学基金资助项目(61172111)

作者简介:陈春宁(1971-),男,吉林长春人,副研究员,研究方向为实时图像处理。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20131129.0857.019.html>

FPGA 配置原理框图见图 1。

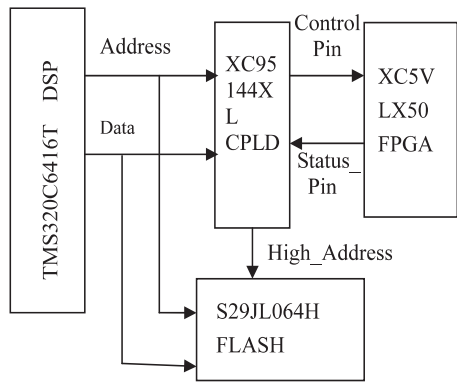


图 1 FPGA 配置原理框图

1 XC5VLX50 从并配置模式原理

XC5VLX50 芯片配置根据需求有 8 种配置模式<sup>[2-6]</sup>,文中采用从并配置方式。FPGA 配置流程框图见图 2。

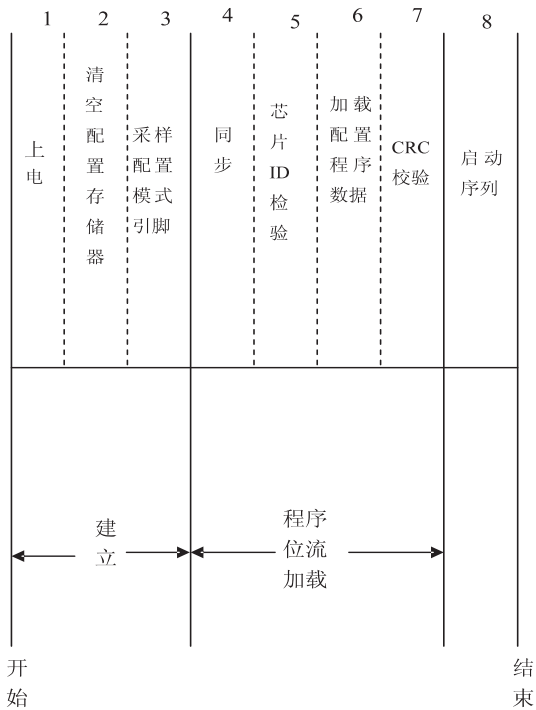


图 2 FPGA 配置流程图

1.1 配置文件位流格式

Xilinx 公司 FPGA 设计工具可以生成不同格式的配置文件:

- (1)Bit 文件:适用于 JTAG 配置方式的二进制文件,包含固定文件头信息,使用程序加载线缆用 ISE 软件中 iMPACT 工具加载程序;
- (2)BIN 文件:没有头信息,与 Bit 文件相似的二进制配置文件,能够按使用者要求配置 FPGA,一般存储在第三方存储器中,文中所使用的就是这种文件格式;
- (3)MCS 文件:Xilinx 公司 FPGA 专用配置芯片使

用文件,包含地址信息和校验和信息,使用 iMPACT 工具下载到专用配置芯片中;

(4)HEX 文件:仅仅包含配置文件数据,不包含头信息的 ASCII PROM 文件格式,只适用于专用配置方式。

1.2 FPGA 程序配置建立阶段

建立阶段关键是 FPGA 正确的硬件配置,包括上电、清空配置存储器、采样配置模式引脚。芯片上电时序见图 3<sup>[2-4]</sup>。FPGA 上电开始,FPGA 内部状态机复位,FPGA 开始被唤醒,这时候 PROGRAM\_B 引脚和 INIT\_B 引脚被 FPGA 驱动为低,内部可配置存储器被复位,然后 PROGRAM\_B 引脚和 INIT\_B 引脚被 FPGA 置高电平,如果这两个引脚被外部控制设置低电平,则 FPGA 一直处在初始化状态。利用这个特性,FPGA 可以通过外部控制,延时加载 FPGA 程序、重新加载 FPGA 程序或更新 FPGA 程序。在 INIT\_B 变为高电平时,FPGA 采样 M2、M1、M0 决定 FPGA 加载模式。

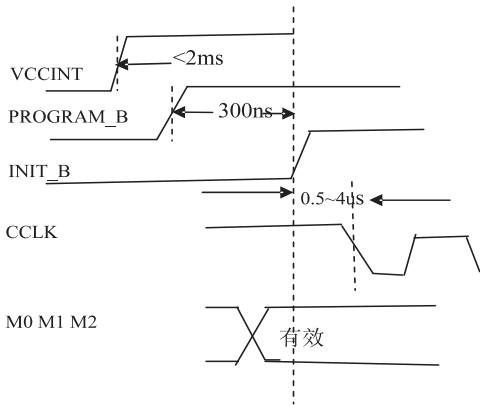


图 3 芯片上电时序图

1.3 程序流加载阶段

在配置文件数据流被加载之前,一个专用的 32 位 2 进制数(0xAA995566)必须先发送,作为数据发送的同步头,这个同步头是告诉接收 FPGA,在这之后发送的数据才是正式发送的程序流,在同步头之前的输入数据都是无效数据。一旦接收 FPGA 被同步,接下来检验芯片 ID,这样防止其他器件的配置文件数据流被加载进目的 FPGA,XC5VLX50 芯片 ID 是 2896093。在同步字发送和芯片 ID 校验后,配置程序数据流开始传输,所有的配置数据流加载后,芯片进行 CRC32 校验,如果芯片计算校验值与期望检验值不一致,FPGA 将 INIT\_B 引脚置低电平,并终止 FPGA 配置。在配置过程中如果时钟错误,导致同步头丢失,这种情况 FPGA 配置也将失败,INIT\_B 引脚被 FPGA 置为高电平,DONE 引脚被 FPGA 置为低电平。

1.4 启动序列阶段

配置文件数据加载完成后,FPGA 进入启动序列阶段,启动序列经过 DCM 稳定、DCI 匹配、激活通用 I/

O 和释放 DONE 等 7 个顺序的状态机控制,FPGA 开始正常工作。

2 DSP+CPLD 配置 FPGA

从并配置方式时序<sup>[7-12]</sup>是在每个 CCLK 时钟上升沿一个字节数据被放在数据总线 D[0:7]上,每个字节的高位是实际数据的最低位,只有当 CS\_B 和 RDWR\_B 两个控制信号都为低时,在数据总线上的程序流才被加载进 FPGA,当加载时钟超过 50 MHz 时,才使用 BUSY 信号,该系统配置 FPGA 时钟定为 4 MHz,故 BUSY 信号没用。由于 DSP 读写外部 FLASH 内的 FPGA 程序是通过 EMIF 总线,按异步 RAM 读写方式,由地址线、数据线和读写控制信号线控制操作,而 FPGA 程序加载是同步 FIFO 方式,由读时钟、数据线和写控制信号线完成操作,DSP EMIF 总线无法与 FPGA 程序加载的接口直接操作。为解决这个问题,文中采用 CPLD 作为 FPGA 和 DSP 的桥梁,在 CPLD 内部开设寄存器,将 DSP 想要执行的工作,通过设置 CPLD 内寄存器,指示 CPLD 间接完成。具体实现过程在下面章节描述。

2.1 与从并加载 FPGA 相关的硬件设计

TMS320C6416T DSP 从并配置 FPGA 原理框图见图 1。在图 1 中,FLASH 采用存储容量为 8 MByte 的

S29JL064H,定义地址为 0~0x0FFFFFF 空间为 DSP 应用程序存储空间,存储 DSP 本身的启动及工作程序。XC5VLX50 FPGA 配置文件长度为 1 569 584 字节,故定义 FLASH 地址空间 0x100000~0x2FFFFFF 为 FPGA 配置文件存储空间。TMS320C6416 DSP 与外部器件通讯主要是通过外部存储器接口(EMIF)进行,EMIF 接口包括 EMIFA 和 EMIFB。EMIFA 接口用于图像处理系统 FPGA 与 DSP 传输图像数据和处理过程控制,而 EMIFB 接口用于读写 FLASH 和 CPLD 通讯。DSP EMIFB 接口有数据总线 16 根 Data[15:0]、地址总线 20 根 Address[19:0]、外设空间片选信号和读写信号。由于地址总线才 20 根,控制地址范围为 1 MByte,故 DSP 要想读写 FLASH 大于 1 MByte 地址空间,就必须进行地址空间扩展寻址。DSP EMIF 接口读写数据是通过地址总线、数据总线、读写控制信号共同完成的,而 FPGA 程序加载没有地址总线,只有数据总线和读写控制信号,另外,FPGA 配置文件数据读写的时序与 DSP EMIF 接口读写时序也不同。为了解决这一问题,文中采用 CPLD 作桥接芯片,CPLD 将 DSP 从 FLASH 中读取的 FPGA 配置文件按前面叙述的 FPGA 加载时序写入 FPGA。这样必须在 CPLD 内设置 DSP 映射寄存器,映射寄存器说明见表 1。

表 1 CPLD 映射寄存器说明表

序号	寄存器名称	寄存器地址	说明
1	FPGA_Pro_B	0x60000001	FPGA 复位寄存器,寄存器值为 0xAA 时,FPGA 引脚 PROGRAM_B 置低电平,对 FPGA 进行复位,寄存器值为 0x55 时,引脚 PROGRAM_B 置高电平
2	FPGA_CCLK	0x60000002	FPGA 配置时钟,FPGA_CCLK 上升沿加载数据。寄存器值为 0x55 时,FPGA_CCLK 为高电平,寄存器值为 0xAA 时,FPGA_CCLK 为低电平
3	FPGA_CS_B	0x60000003	FPGA 片选信号,寄存器值为 0x55 时,FPGA_CS_B 为高电平,寄存器值为 0xAA 时,FPGA_CS_B 为低电平
4	FPGA_RDWR_B	0x60000004	FPGA 读写信号,寄存器值为 0x55 时,FPGA_RDWR_B 为高电平,寄存器值为 0xAA 时,FPGA_RDWR_B 为低电平
5	FPGA_DONE	0x60000005	FPGA 加载完成信号,当 FPGA 配置正确加载完成,FPGA_DONE 信号为高电平,否则为低电平。FPGA_DONE 信号为高电平时,寄存器值为 0x55,否则为 0xAA
6	FPGA_INIT	0x60000006	FPGA 内存清零完成信号,当 FPGA 内存清零完成,加载文件位流同步头正确,FPGA_INIT 为高电平,否则为低电平。FPGA_INIT 信号为高电平时,寄存器值为 0x55,否则为 0xAA
7	FPGA_DATA	0x60000007	FPGA 配置文件数据寄存器,DSP 将配置数据流按字节写入寄存器

2.2 并行加载 FPGA 软件实现

FPGA 配置文件存储在 FLASH 中,正确配置 FPGA,DSP 需完成以下步骤,C 语言程序流程图见图 4。

- A. 通过写 FPGA\_Pro\_B 寄存器复位 FPGA;
- B. FPGA\_CS\_B 寄存器和 FPGA\_RDWB\_B 寄存器写 0xAA;
- C. 读 FPGA\_INIT 寄存器,判断 FPGA 是否可以开始加载程序流;

- D. 当 FPGA\_INIT 寄存器值为 0x55 时,从 FLASH 中读取 FPGA 配置文件;
- E. 将配置文件数据写入 CPLD 内 FPGA\_DATA 寄存器;
- F. 通过写 FPGA\_CCLK 寄存器生成写入数据时钟;
- G. 重复步骤 D~F 直到读 FPGA\_DONE 寄存器值为 0x55,配置 FPGA 完成。

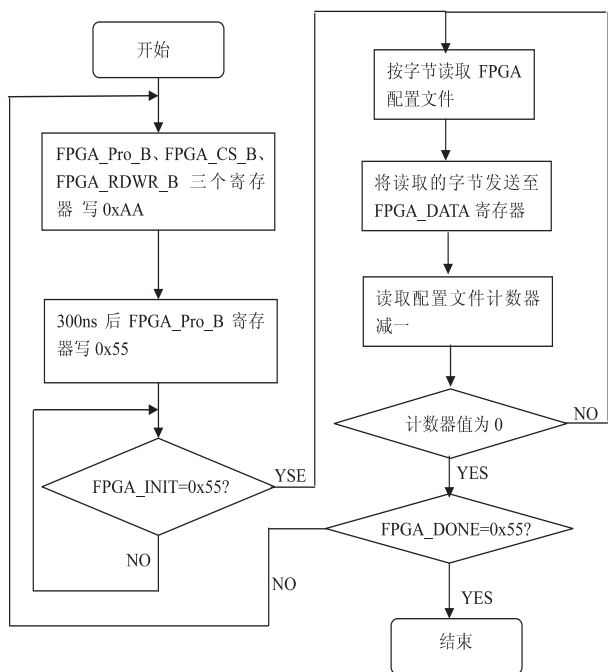


图4 DSP 配置 FPGA 软件流程图

### 3 结束语

文中描述了通过图像处理系统中 TMS320C6416T DSP、S29JL064H FLASH 和 XC95144XL CPLD 实现了对 Xilinx 公司 XC5VLX50 FPGA 的动态配置,文中所述方法除了可以利用现有资源实现 FPGA 上电配置,节省 FPGA 专用配置芯片,简化电路,另外可以实现 FPGA 动态配置,可以在 FLASH 内存存储几种 FPGA 配置文件,根据实际需求进行上电配置,还可以利用系统的

串口或网络接口,实现 FPGA 程序的动态更新,增加系统的灵活性和实用性。

### 参考文献:

- [1] Peattie M. Using a microprocessor to configure Xilinx FPGAs via slave serial or SelectMAP mode XAPP502 [R]. [s. l.]: [s. n.], 2009.
- [2] Xilinx. Virtex-5 FPGA configuration user guide [R]. [s. l.]: Xilinx, 2009.
- [3] Xilinx. Virtex-5 FPGA user guide [R]. [s. l.]: Xilinx, 2009.
- [4] Xilinx. Virtex-5 FPGA data sheet: DC and switching characteristics [R]. [s. l.]: Xilinx, 2009.
- [5] Xilinx. Xilinx in-system programming using an embedded microcontroller [R]. [s. l.]: Xilinx, 2009.
- [6] Xilinx. Virtex-4 FPGA configuration user guide [R]. [s. l.]: Xilinx, 2009.
- [7] 余佑军,王丹. TMS320C6416 EMIF 总线下双 FPGA 加载设计[J]. 单片机与嵌入式系统应用, 2007(7): 29-31.
- [8] 王雄,靳济方. 一种 FPGA 动态配置的实现方法[J]. 北京电子科技学院学报, 2007, 15(2): 46-48.
- [9] 贾鹏,李松. FPGA 的动态可重配置技术[J]. 军事通信技术, 2001, 22(2): 52-54.
- [10] 李晶,钟瑜,郑百衡. 基于 DSP 的 FPGA 动态配置技术[J]. 电讯技术, 2005, 45(1): 156-159.
- [11] 范斌,常青. 基于 DSP 的 FPGA 动态重构系统研究与设计[J]. 信息与电子工程, 2010, 8(2): 123-127.
- [12] 谷鑫,徐贵力,王友仁. FPGA 动态可重构理论及其研究进展[J]. 计算机测量与控制, 2007, 15(11): 1415-1418.

(上接第 41 页)

- Publishers, 1999: 331-361.
- [2] 刘清. Rough 集及 Rough 推理[M]. 北京: 科学出版社, 2001.
  - [3] 刘清,刘少辉,郑非. Rough 逻辑及其在数据约简中的应用[J]. 软件学报, 2001, 12(3): 415-419.
  - [4] 乐艳丽,鲁汉榕,高婷. 基于粗集理论的属性约简改进算法[J]. 计算机工程与设计, 2008, 29(13): 3432-3434.
  - [5] 苗夺谦,胡桂荣. 知识约简的一种启发式算法[J]. 计算机研究与发展, 1999, 36(6): 681-684.
  - [6] 王钰,王任,苗夺谦,等. 基于 RoughSet 理论的“数据浓缩”[J]. 计算机学报, 1998, 21(5): 393-400.
  - [7] 冯林,刘照鹏,黄志伟. 基于粗集理论的决策表知识获取方法研究[J]. 计算机工程与设计, 2006, 27(12): 2172-

2174.

- [8] 陈世联,罗秋瑾. 基于粗集和距离函数的决策树构造方法[J]. 计算机工程与设计, 2008, 29(12): 3191-3193.
- [9] 高学东,丁军. 基于简化差别矩阵的属性约简算法[J]. 系统工程理论与实践, 2006, 28(6): 101-107.
- [10] 朱万富. 基于粗集神经网络的故障诊断专家系统研究[D]. 北京: 中国石油大学, 2008.
- [11] 尹一麒,苗夺谦,李道国. 分体策略在差别矩阵优化中的应用[J]. 小型微型计算机系统, 2007, 28(2): 292-296.
- [12] 叶东毅,陈昭炯. 一个新的差别矩阵及其求核方法[J]. 电子学报, 2002, 30(7): 1086-1088.
- [13] Hu Xiaohua, Cercon N. Learning in relational data-base a rough set approach [J]. Computation intelligence, 1995(2): 323-337.

DSP+FPGA结构图像处理系统的FPGA动态配置

作者：[陈春宁, CHEN Chun-ning](#)

作者单位：[中国科学院 长春光学精密机械与物理研究所, 吉林 长春, 130033](#)

刊名：[计算机技术与发展](#)

英文刊名：

Computer Technology and Development

ISTIC

年, 卷(期):

2014(3)

本文链接: [http://d.wanfangdata.com.cn/Periodical\\_wjfz201403011.aspx](http://d.wanfangdata.com.cn/Periodical_wjfz201403011.aspx)