

# DPSK 数字调制系统的设计与实现

籍飞月, 郑羽

(天津工业大学 电子与信息工程学院, 天津 300389)

**摘要:** 由于数字通信在抗干扰性、保密性以及数字信号处理方面的优越性, 它的应用越来越广泛。数字调制技术作为这个领域中极为重要的一个方面, 也得到了迅速发展。目前, 在数字通信中, 人们广泛采用 DPSK 调制技术。为了增强 DPSK 调制系统的集成度, 采用 FPGA 开发平台来实现调制系统。将差分编码模块、余弦信号发生器和信号源接口集成在单片 FPGA 上, 再通过数模转换器将输出的数字信号转换为模拟信号发送出去。整个设计基于 Xilinx 公司的 ISE10.1 开发平台, 使用 Verilog 编程语言, 并在 Spartan-3E 实验板上验证成功。该设计提高了系统集成度。

**关键词:** FPGA; 数字调制; 差分相移键控

中图分类号: TN761.8

文献标识码: A

文章编号: 1673-629X(2013)09-0155-03

doi: 10.3969/j.issn.1673-629X.2013.09.039

## Design and Realization of DPSK Digital Modulation System

Ji Fei-yue, ZHENG Yu

(College of Electronic and Information Engineering, Tianjin Polytechnic University, Tianjin 300389, China)

**Abstract:** As a result of the advances in anti-interference, confidentiality and digital signal processing, the application of the digital communication is more and more widely. Digital modulation technology as a crucial part in this field, also has been rapid development. At present, DPSK modulation technique is used widely in the digital communication. In order to enhance the integration of the DPSK modulation system, based on FPGA development platform realize the system. The differential coding module, cosine signal generator and source interface are integrated in a single piece of FPGA, and then the output of the digital signal is converted into analog signal and sent out by DA converter. Based on the platform of ISE10.1, using Verilog language, the whole design is realized on the board of Sparten-3E, and it reduces the system cost, and improves the level of integration.

**Key words:** FPGA; digital modulation; DPSK

## 0 引言

虽然数字通信发展了短短二十几年的时间, 但由于它有较强的抗干扰性, 易于保密, 并且处理数字信号也很方便, 可以应用在光纤通信、卫星通信等新兴的通信系统中, 因此它的应用前景十分广阔。在数字通信系统中, 数字调制技术具有至关重要的作用。

经分析得出<sup>[1]</sup>, 在频带利用率方面, PSK 高于 FSK, 且在相同的信噪比条件下, PSK 的误码率低于 FSK。从可靠性和有效性来考虑, PSK 是最优越的调制方式。因而 PSK 在数字通信中得到了广泛应用。PSK 有 2 相 (BPSK), 4 相 (QPSK), 8 相 (8PSK) 等等。在相同条件下, 与两相调制技术相比, 多相 (相位多于 4) 调制技术的实现, 需要付出更高的功率代价, 所以, 2 相 PSK 调制技术在实际中使用最多。但是 PSK 信

号在解调时, 有相位模糊的现象出现, 一般采用相对相移键控 (DPSK) 来解决这一问题。因此文中以 DPSK 的调制方式作为信道信号的传输方式, 并基于 FPGA 去实现。

## 1 DPSK 的基本原理

DPSK 是利用前后相邻码元的相对载波相位变化去表示基带数字信息的一种方式。DPSK 信号的数学表达式<sup>[2-3]</sup>为:

$$Z(t) = D(t)A\cos\omega_c t, D(t) = \begin{cases} -1, & d_k = 0 \\ +1, & d_k = 1 \end{cases} \quad (1)$$

式(1)中,  $d_k$  为差分编码的结果。

注意 DPSK 波形的相位相同并不代表其对应的数

收稿日期: 2012-12-05

修回日期: 2013-03-07

网络出版时间: 2013-05-09

基金项目: 天津市自然科学基金项目 (08JCYBJC14700)

作者简介: 籍飞月 (1985-), 女, 硕士研究生, 研究方向为传感器技术; 郑羽, 副教授, 研究方向为微弱信号检测。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20130509.1059.040.html>

字信息相同,只有前一码元与后一码元的相位差才能唯一确定数字信息符号。由此可以看出,在对 DPSK 信号解调时,只要前一码元与后一码元的相对关系正确,则就能正确解调出数字信息。这也避免了 PSK 调制中出现的“倒  $\pi$ ”现象或“反相工作”现象。现在假设相位差用  $\varphi$  来表示,同时还假设  $\varphi = \pi$  表示二进制数字“1”, $\varphi = 0$  表示二进制数字“0”,则二进制数字信息与 DPSK 数字信号的关系举例可表示如下:

数字信息:111001001011

DPSK 信号相位: $\pi 0 \pi \pi \pi 0 0 0 \pi \pi$  (基准相位 0)

或者表示为: $0 \pi 0 0 0 \pi \pi \pi 0 0$  (基准相位  $\pi$ )

DPSK 必须要规定参考相位或基准相位。图 1 是 DPSK 调制原理框图。它由差分编码、乘法器和本地载波组成。其工作过程为:首先对数字基带信号进行差分编码,即由绝对码表示变为相对码(差分码)表示,然后再进行绝对调相。

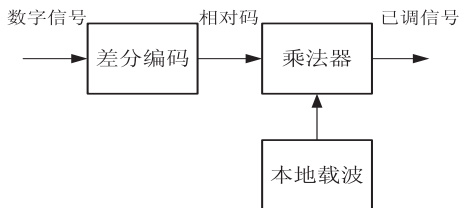


图 1 DPSK 调制原理框图

## 2 DPSK 调制系统设计

调制系统<sup>[4-6]</sup>的主要功能是对输入数据进行各种调制和频率变换,即在数字域内实现调制和混频。

图 2 为 2DPSK 调制系统框图。该系统由数字信号源模块、差分编码模块、余弦信号发生器组成,利用 FPGA 开发实现。FPGA 既是系统的数字处理核心,又是控制中心。系统的工作过程如下:数字信号从上位机通过串口送到 FPGA 内部,数字信号的 DPSK 调制在 FPGA 内部完成后输出给 DAC,DAC 将调制后的数字信号转换成模拟信号后发送出去。

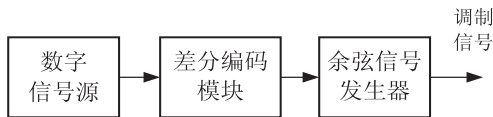


图 2 DPSK 调制系统框图

### 2.1 数字信号源

串口是非常通用的一种通信协议,大部分计算机都包含两个 RS232 的串口。串口协议可以用于接收采集设备获得的数据。因此文中以 PC 机上的串口调试助手软件为数字信号源,通过 RS232 与 FPGA 通信,传输数据,并在其上实现对数据的调制和频率变换,下面详细介绍 FPGA 与上位机的通信过程。

串行异步通信是指数据按帧一位一位顺序传送的

通信方式。异步通信在发送数据前必须要格式化,在其前后分别加“起始位”和“停止位”,用于判断一帧数据的开始和结束。一帧数据一般由四部分组成,包括起始位“0”,发送的数据(这里采用 8 位),然后是可选的检验位(这里没有选用校验),停止位“1”。若线路为空闲状态,则其保持为“1”。接收端不断检测线路状态,当其检测到线路由“1”变为“0”(至少保持 8 个内部时钟周期),则认为有发送数据需接收,接收器进入接收阶段。

FPGA 根据串口的通信时序编写串口的收发模块。文中设置的串口波特率为 1 200 b/s。图 3 为 FPGA 的串口模块时序图。

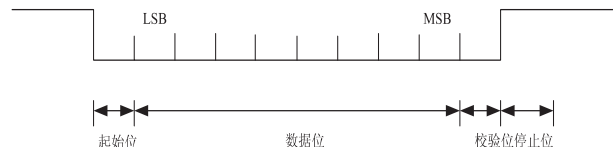


图 3 FPGA 的串口模块时序

### 2.2 差分编码模块

一般将 PSK 系统中的基带码称为绝对码,则差分码是反映绝对码前后相邻码元 1 和 0 相对变化的一种编码,也称为相对码。设传输的二进制码  $a_n$  为绝对码,其对应的差分码(相对码)为  $d_n$ ,则差分编码的表达式如公式(2)所示:

$$d_n = a_n \oplus d_{n-1} \quad (2)$$

由公式(2)可知,差分编码过程即为绝对码与相对码的异或运算,可满足 DPSK 信号被调载波相对相位变换的要求。

### 2.3 余弦信号发生器

文中的余弦信号发生器通过直接数字频率合成器(Direct Digital Synthesizer)来实现。直接数字频率合成器是从相位概念出发直接合成所需波形的一种频率合成技术。由于电子技术迅猛的发展,直接数字频率合成器也得到了快速的发展,它有着其他的频率合成方式不可比拟的优越性,在现代频率合成技术中占有重要地位。其优点体现在带宽较宽、频率的转换时间较短、频率的分辨率高、输出的相位连续、可产生正交信号和其他调制信号、可编程、全数字化、控制灵活方便,它还具有很好的性价比。

DDS 的主要思想是根据相位合成所需要的波形,其由相位累加器、波形存储器、D/A 转换器、低通滤波器以及参考时钟五部分组成,其基本原理框图如图 4 所示<sup>[7-9]</sup>。

设理想的正弦波信号  $S(t)$  可表示成

$$S(t) = A \cos(2\pi ft + \theta) \quad (3)$$

公式(3)说明只要  $S(t)$  的振幅  $A$  和初始相位  $\theta$  确定后,它的频谱就是一条关于  $f$  的谱线。为了简化分

析,可令  $A = 1, \theta = 0$ , 则式(3) 简化为:

$$S(t) = \cos(2\pi ft) \quad (4)$$

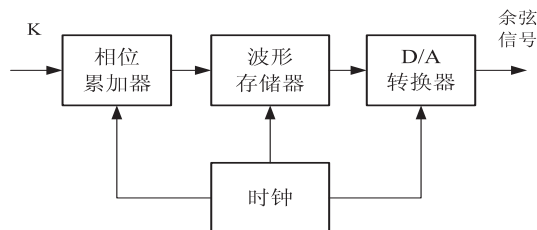


图4 DDS原理框图

对式(4)的信号进行采样,采样周期为  $T_c$  (即采样频率为  $f_c$ ), 则可得到离散的波形序列:

$$S(n) = \cos(2\pi f n T_c) \quad (n = 0, 1, 2, 3 \cdots) \quad (5)$$

相应的相位离散序列为:

$$\theta(n) = 2\pi f n T_c = \Delta\theta * n \quad (n = 0, 1, 2, 3 \cdots) \quad (6)$$

式(6)中,  $\Delta\theta = 2\pi f T_c = 2\pi \frac{f}{f_c}$  是相邻两次采样之

间的相位增量。由采样定理可知:  $f < \frac{1}{2}f_c$ , 则可以唯一地恢复出被采样的信号。由式(6)得:

$$f = \frac{\Delta\theta}{2\pi T_c} \quad (7)$$

由式(7)可知,输出频率由相位增量  $\Delta\theta$  决定,只要控制  $\Delta\theta$ , 就可控制信号频率。将一个周期相位  $2\pi$  分成  $M$  ( $M = 2^N$ ) 份,每一份为  $\delta = \frac{2\pi}{M}$ , 若每次相位增量为  $\delta$  的  $K$  倍,则得到的信号频率为:

$$f = \frac{K\delta}{2\pi T_c} = \frac{K}{M} f_c \quad (8)$$

相应的输出信号可表示为:

$$S(t) = \cos(2\pi \frac{K}{M} f_c t) \quad (9)$$

式(8)和(9)中  $K$  和  $M$  都是正整数,由采样定理可知,  $K$  的最大值要小于  $\frac{1}{2}M$ 。因此,通过改变频率控制字  $K$  就可以改变输出频率。

DDS的最小输出频率,即DDS的频率分辨率为:

$$f = \frac{1}{2^N} f_c \quad (10)$$

由上可知,若时钟频率一定,频率控制字是决定输出信号频率的关键,频率分辨力则由累加器位数  $N$  决定,ROM地址线宽度决定相位的分辨力,ROM的数据宽度和D/A转换器的位数决定了幅度的量化噪声。

### 3 DPSK的FPGA实现

#### 3.1 软件实现

FPGA 软件开发工具 ISE 主要功能有设计输入、综合、仿真、实现和下载,它涵盖了 FPGA 设计开发全过程,从功能上来说,它的工作流程不需要借助第三方的

EDA 软件<sup>[10]</sup>。该设计在 ISE10.1 开发平台中,使用 Verilog 设计各个小模块,然后根据 DPSK 的原理,将各个小模块和软件提供的相关模块连接起来,最终完成文中在 FPGA 中的设计。

#### 3.2 硬件实现

根据上述方案,在 FPGA Spartan-3E<sup>[11-12]</sup> 实验板上实现了 DPSK 的调制,验证了其正确性。

Spartan-3E 实验板的核心器件为 XILINX 公司的 Spartan<sup>TM</sup>-3E 器件 XC3S500E,逻辑容量为 50 万门。Spartan<sup>TM</sup>-3E 借助于低成本的 CPL,90nm 工艺,满足了对大批量、I/O 为核心的可编程逻辑解决方案的行业需求,是业界成本最低、性能最好的 FPGA 之一。

Spartan-3E 实验板在 FPGA 周围提供了丰富的资源,包括串口、VGA 接口、以太网接口、LED、LCD 液晶显示、拨码旋钮开关和按钮、EPROM、A/D、D/A 转换、电源、时钟等。Spartan-3E 实验板的用户可以在 PC 机上通过 USB JTAG 电缆对 FPGA 进行配置,也可以通过 SPI FLASH 和 NOR FLASH 来配置。

文中使用 FPGA 外加一片数模转换芯片 LTC2624-12,实现 DPSK 调制模块。FPGA 通过 SPI 与 DAC 的输出通道进行数据通信。SPI 总线是全双工、同步、定向通道——采用简单的 4 线接口。FPGA 作为主总线使用,驱动数据时钟信号(SPI\_SCK)和传送串行数据(SPI\_MOSI)给从数据线——DAC 数据线。与此同时,从数据线提供串行数据(SPI\_MISO)回传给主数据线。

通过实验证明,该系统能够正确进行 DPSK 调制。

### 4 结束语

文中设计用一片 FPGA 芯片实现了 DPSK 调制系统。由于 FPGA 的集成度很高,因此可以考虑将多种数字调制系统集成进去,这样既可提高 FPGA 内部结构的利用率,同时又可进一步降低实际系统的成本。

#### 参考文献:

- [1] 樊昌信. 通信原理教程[M]. 北京:电子工业出版社,2004.
- [2] 张辉,曹丽娜. 通信原理[M]. 北京:科学出版社,2007.
- [3] Kam P Y. Error Probability of 2DPSK with Phase Noise[J]. IEEE Transactions on Communications, 1994, 42(7): 2366-2369.
- [4] Dabeer O, Masry E. Convergence analysis of the constant modulus algorithm[J]. IEEE Transactions on Information Theory, 2003, 49(6): 1447-1464.
- [5] 赵叶星,韦志棉. 基于FPGA的DPSK调制解调器的全数字实现[J]. 无线电工程, 2007, 37(10): 21-22.
- [6] 昆仑,郭黎利. 全数字BPSK调制解调器[J]. 哈尔滨工程大学学报, 2000, 21(2): 60-63.

(下转第161页)

神经网络控制取得了满意的控制效果,控制量不仅迅速逼近控制目标,而且响应时间较短。

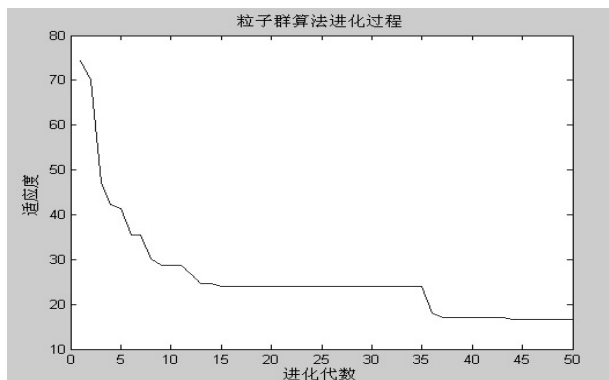


图4 粒子群算法进化过程

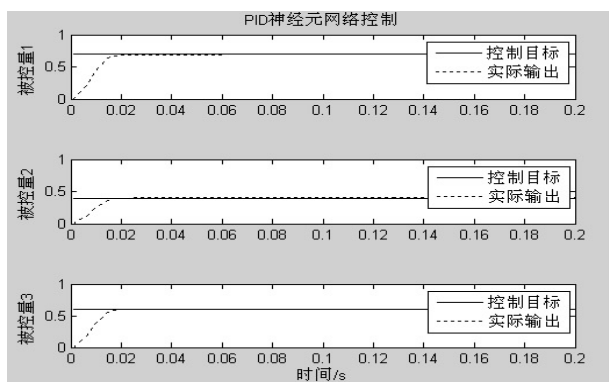


图5 控制器控制效果

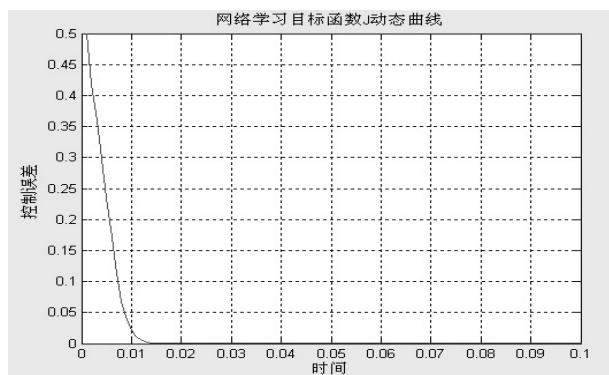


图6 控制误差曲线

### 3 结束语

文中针对工业生产过程中多输入多输出系统中存在的强耦合现象,提出了一种基于粒子群算法的PID神经网络解耦控制方案。该方案可以自动调整PID

控制器的各项参数,从而实现对系统的解耦控制。粒子群优化后的PID神经网络控制器克服了常规神经网络PID控制器中学习算法计算量大、跟踪时间慢、网络收敛精度低等缺点。仿真结果表明所采取控制策略具有较好的动态和稳态性能,较强鲁棒性、运行工况适应性和抗干扰能力达到了理想的控制效果,具有一定的研究价值。

### 参考文献:

- [1] Tao Wenhua, Yue Heng, Chai Tianyou. Modeling and control of coal-pulverizing systems with ball mill[J]. Control Engineering of China, 2003, 10(3): 245-248.
- [2] Li Zunji, Wang Lijun. Application of fuzzy control in ball mill process[J]. Journal of North China Electric Power University, 1997, 24(1): 1-5.
- [3] Yue Heng, Zhou Xiaojie, Wang Xin. A simulation system for intelligent decoupling control of coal-pulverizing systems with ball mill[J]. Journal of System Simulation, 2002, 14(10): 1340-1343.
- [4] Qu Zhao. Application of fuzzy controller with neural decoupling to control system of ball mills[J]. Engineering Journal of Wuhan University, 2004, 37(1): 125-127.
- [5] 舒怀林. PID神经网络对强解耦带延时多变量系统的解耦控制[J]. 控制理论与应用, 1998, 15(6): 920-924.
- [6] Fu Hailong, Li Meng. Variable-air-volume air-conditioning system based on PID-ANN decoupling control technology[J]. Journal of Southwest Jiaotong University, 2005, 40(1): 13-17.
- [7] 韩江洪, 李正荣, 魏振春. 一种自适应粒子群优化算法及其仿真研究[J]. 系统仿真学报, 2006, 18(10): 2969-2971.
- [8] 王 凌, 刘 波. 微粒群优化与调度算法[M]. 北京: 清华大学出版社, 2008: 1-5.
- [9] Stacey A, Jancic M, Grundy I. Particle swarm optimization with mutation[C]//Proceedings of IEEE Congress on Evolutionary Computation. Canberra, Australia, USA: IEEE Press, 2003: 1425-1430.
- [10] 高海兵, 高 亮, 周 驰, 等. 基于粒子群优化的神经网络训练算法研究[J]. 电子学报, 2004, 32(9): 1572-1574.
- [11] Reynolds C. Boids-Background and Update[EB/OL]. 2001. <http://www.red3d.com/cwr/boids/>.
- [12] Wilson E O. Socialbiology: the New Synthesis[M]. Cambridge: Belknap Press, 1975.

(上接第157页)

- [7] Uwe M B. Digital signal processing[M]. Berlin: Springer-Verlag, 2003.
- [8] 陈 诚, 秦立涛, 苏艳群, 等. 基于FPGA的DDS信号源设计与实现[J]. 电脑与信息技术, 2010, 18(2): 10-13.
- [9] 刘丽丽, 樊延虎, 高 瑛. DDS原理及基于FPGA的实现[J]. 电子技术, 2010(9): 43-44.

- [10] 田 耘, 徐文波, 胡 彬. Xilinx ISE Design Suite 10. x FPGA开发指南-逻辑设计篇[M]. 北京: 人民邮电出版社, 2008.
- [11] Hill R. Xilinx Spartan-3E降低单位逻辑单元成本[J]. 电子产品世界, 2005(04A): 112-112.
- [12] 张亚平, 贺占庄. 基于FPGA的VGA显示模块设计[J]. 计算机技术与发展, 2007, 17(6): 242-245.

作者: 籍飞月, 郑羽, [JI Fei-yue](#), [ZHENG Yu](#)  
作者单位: 天津工业大学 电子与信息工程学院, 天津, 300389  
刊名: [计算机技术与发展](#)

ISTIC

英文刊名: [Computer Technology and Development](#)

年, 卷(期): 2013(9)

参考文献(12条)

1. 樊昌信 [通信原理教程](#) 2004
2. 张辉. 曹丽娜 [通信原理](#) 2007
3. [Kam P Y](#) [Error Probability of 2DPSK with Phase Noise](#)[外文期刊] 1994(07)
4. [Dabeer O](#). [Masry E](#) [Convergence analysis of the constant mod-ulus algorithm](#)[外文期刊] 2003(06)
5. 赵叶星. 韦志棉 [基于FPGA的DPSK调制解调器的全数字实现](#)[期刊论文]-[无线电工程](#) 2007(10)
6. 昆仑. 郭黎利 [全数字BPSK调制解调器](#)[期刊论文]-[哈尔滨工程大学学报](#) 2000(02)
7. [Uwe M B](#) [Digital signal processing](#) 2003
8. 陈诚. 秦立涛. 苏艳群 [基于FPGA的DDS信号源设计与实现](#)[期刊论文]-[电脑与信息技术](#) 2010(02)
9. 刘丽丽. 樊延虎. 高璞 [DDS原理及基于 FPGA的实现](#) 2010(09)
10. 田耘. 徐文波. 胡彬 [Xilinx ISE Design Suite 10. x FPGA开发指南-逻辑设计篇](#) 2008
11. [Hill R](#) [Xilinx Spartan-3E降低单位逻辑单元成本](#) 2005(04A)
12. 张亚平. 贺占庄 [基于FPGA 的VGA 显示模块设计](#) 2007(06)

本文链接: [http://d.wanfangdata.com.cn/Periodical\\_wjz201309039.aspx](http://d.wanfangdata.com.cn/Periodical_wjz201309039.aspx)