

AFDX 交换芯片虚拟验证关键技术研究

吴晓成,田 泽,郭 蒙,张荣华

(中国航空计算技术研究所,陕西 西安 710119)

摘要:AFDX(Avionics Full Duplex Switched Ethernet,航空全双工交换式以太网)网络为航电系统提供了一种确定、冗余的数据交换服务,其基础和核心是交换芯片。在 AFDX 网络交换芯片整个研制过程中能否对其进行充分验证,是直接影响其投产成功的关键因素之一。文中结合 AFDX 网络交换芯片的设计过程,系统分析 AFDX 网络交换机及芯片的特点,制定出相应的验证策略,最后采用 SystemVerilog 验证语言,并基于 OVM(Open Verification Method)概念构建了 AFDX 交换芯片的虚拟验证环境,缩短了验证平台的开发时间,极大提高了验证效率。

关键词:航空全双工交换式以太网;虚链路;过滤;警管;SystemVerilog

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2013)08-0177-04

doi:10.3969/j.issn.1673-629X.2013.08.045

Research on Key Technology of AFDX Switch Chip Virtual Verification

WU Xiao-cheng, TIAN Ze, GUO Meng, ZHANG Rong-hua

(Aeronautical Computing Technique Research Institute, Xi'an 710119, China)

Abstract:AFDX(Avionics Full Duplex Switched Ethernet) network provides an established, redundant data exchange service for the avionics system. Switch chip is the key component of AFDX network. In the whole development process of AFDX network switch chip, the ability to fully verify is direct impact on the final tape-out. Combined the design process of AFDX network switch chip, analyze the characteristics of the AFDX network switch and chip, develop corresponding verification strategy. At last, based on OVM, using the SystemVerilog build the virtual verification environment for AFDX, shorten the development time of the verification platform, improving the verification efficiency extremely.

Key words:AFDX; virtual link; filter; police; SystemVerilog

0 引言

ARINC-664^[1]定义了商用航空电子系统的通信标准。AFDX(航空全双工交换式以太网)规范^[2]为不同设备供应商基于这个商业标准实现 AFDX 网络产品提供了所必须遵循的标准,即定义了航空电子系统之间进行数据交换所必须遵循的电气要求和协议规范。由于航空电子系统之间的互联总线是基于任务的,要求具有严格的实时性、确定性和冗余性。因此用于航空领域的 AFDX 网络借用了异步传输模式(ATM)的概念,在 IEEE Std802.3(以太网)的基础上做了修改。

AFDX 在物理层上采用一种星型拓扑、全双工的 100Mbps 交换式以太网拓扑结构。这种拓扑消除了半

双工以太网的冲突问题和集线器连接时总线的竞争问题。为了保证带宽和数据确定性,AFDX 在协议层面上创建了虚链路(Virtual Link)的概念,VL 是网络中无方向性的点对点连接或多播连接。为了保证数据的冗余和提高网络传输的容错能力,AFDX 在传统交换网络的基础上增加了物理冗余通路,如图 1 所示。在 AFDX 网络中,每一个数据包被同时发送至两个并行的冗余网络,端系统的冗余管理机制确保对于同一个包在冗余网络中的两个拷贝,只能有一个被接收。

1 之前工作与问题提出

文献[3,4]对 AFDX 网络在不同层次上进行了建模,尤其文献[4]对 AFDX 网络的两个基本元素(终端

收稿日期:2012-11-10

修回日期:2013-02-20

网络出版时间:2013-04-22

基金项目:“十二五”微电子预研(51308010601);总装预研基金(9140A08010712HK6101);中国航空工业集团公司创新基金(2010BD63111)

作者简介:吴晓成(1978-),男,硕士,工程师,主要从事 SoC 设计和验证工作;田 泽,博士,研究员,研究方向为 SoC 设计方法学。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20130422.1721.014.html>

系统,交换机)进行了行为建模,并采用基于队列的数据结构建立了各自的仿真模型,最后对建立的模型进行了分析以证明其有效性。文献[5]中论述了终端系统的验证阶段、验证系统的组成部分、需要验证的内容以及需要注入的错误类型,以及使用已有的商用测试设备对 AFDX 交换芯片进行测试,只适用于 FPGA 原型验证阶段和芯片流片后的测试阶段。文献[6]集中论述了 AFDX 网络交换机芯片关键性能的验证。

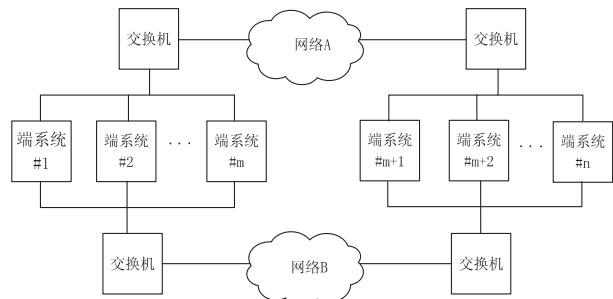


图 1 AFDX 网络

对于文中所提到的 AFDX 网络处理器芯片的前端设计阶段,主要通过两种方式进行验证;第一种是在工作站上使用各种验证语言(verilog, SystemVerilog, systemC)搭建虚拟验证平台进行验证;第二种是通过 FPGA 进行原型验证;这两种验证手段各有优缺点,互为补充。文中所做的工作就是:采用 SystemVerilog 语言分层次搭建 AFDX 网络芯片的验证环境,以减少验证人员的工作量,提高验证效率、缩短验证时间。

2 AFDX 交换芯片虚拟验证策划

2.1 AFDX 交换芯片功能分析

如图 2 所示,AFDX 网络交换芯片采用了存储转发的结构,集成有 24 个交换端口和 2 个捕获端口,其中每个交换端口都可被指定为 ES 端口。

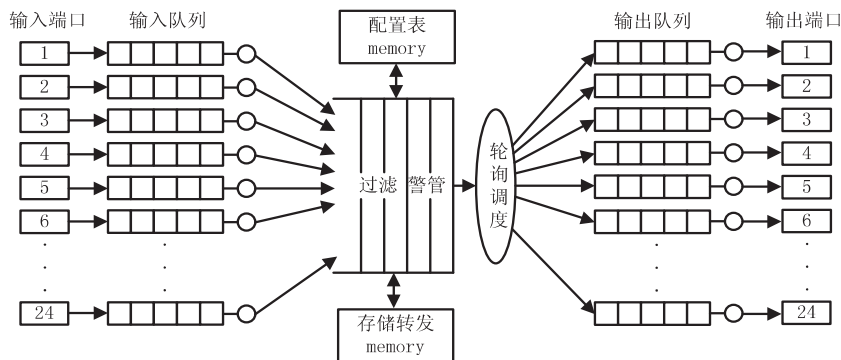


图 2 AFDX 交换芯片原理图

当任意一个交换端口接收到一帧数据时,会根据其 VLID 并按照内容寻址的方式来查询交换配置表存储器。如果通过过滤和警管检查,这帧数据会被缓冲至存储转发存储器中,等待调度电路将其转发至相应端口的输出缓冲队列中;如果没有通过相应检查,这帧

数据会被丢弃掉。无论这帧是否被过滤还是被交换至其他端口,相应的交换统计信息寄存器都会被更新。

AFDX 交换机的过滤分为:CRC 错误过滤、非字节对齐过滤、常数域错误过滤、小于 64 字节长度过滤、大于 1518 字节长度过滤、小于 L_{\min} 长度过滤、大于 L_{\max} 长度过滤、VLID 不匹配过滤。只有前三种过滤情况不需要对配置表存储器进行检索,其他的过滤都需要配置表存储器内的相关信息。

对于交换机的流量警管,文献[2]对第 i 条 VLID 帧序列中第 n 帧达到后剩余的警管账户余量 $FAC_i(n)$ 进行了定义。其中 $FAC_i(0)$ 是第 i 条 VLID 帧序列警管账户的初始值(即上限值),其值为 $S_i^{\max}(1 + J_{i,switch} \times \frac{1}{BAG_i})$ 。基于帧的警管算法,在第 n 帧到达前,当前该 VLID 账户值是以一定斜率进行线性增长的,当账户值达到其初始值时就不再增加。第 n 帧到达后警管账户减去 S_i^{\max} 。如余额大于等于 0,即这帧通过警管检查。

预先规定 $\Delta t(m, n)$ 表示相同 VLID 的第 m 帧和第 n 帧帧头到达时间的间隔。经过以下推导:

$$FAC_i(1) = FAC_i(0) + S_i^{\max} \times \frac{1}{BAG_i} \Delta t(0, 1) - S_i^{\max} = S_i^{\max}$$

$$FAC_i(2) = FAC_i(1) + S_i^{\max} \times \frac{1}{BAG_i} \Delta t(1, 2) - S_i^{\max}$$

.....

$$FAC_i(n) = FAC_i(n-1) + S_i^{\max} \times \frac{1}{BAG_i} \Delta t(n-1,$$

$$n) - S_i^{\max} = S_i^{\max} \times \frac{1}{BAG_i} (J_{i,switch} + \Delta t(1, n) - (n-1) \times BAG_i)$$

可以得出结论:如果 $(J_{i,switch} + \Delta t(1, n) - (n-1) \times BAG_i) \geq 0$,则第 n 帧通过警管检查。即对于验证激励中某个 VLID 给定的 S_i^{\max} 和 BAG_i ,可以通过控制帧之间的间隔时间来准确地控制某一帧是否会被警管掉。

2.2 AFDX 交换芯片验证策略与方法

根据 AFDX 交换芯片的设计需求,通过分析其功能行为,首先制定了 AFDX 交换芯片的虚拟验证目标:整个 AFDX 交换芯片的虚拟验证分为基本资源、功能验证和 ARINC664 协议符合性验证。由于 ARINC664 协议包括软件和硬件两部分,而该交换芯片内部没有集成嵌入式处理器,所以 AFDX 交换芯片虚拟验证只能验证协议符合性的硬件部分。验证内容

验证目标:整个 AFDX 交换芯片的虚拟验证分为基本资源、功能验证和 ARINC664 协议符合性验证。由于 ARINC664 协议包括软件和硬件两部分,而该交换芯片内部没有集成嵌入式处理器,所以 AFDX 交换芯片虚拟验证只能验证协议符合性的硬件部分。验证内容

详见表 1。

表 1 AFDX 交换芯片虚拟验证内容

基本资源验证	各种寄存器、存储器的读写验证
基本功能验证	主机通信功能验证、网络捕获功能验证、时间同步功能验证、其他功能验证
协议符合性验证 (硬件部分)	过滤功能验证、警管功能验证、交换功能验证、端系统功能验证、网络监视功能验证

基本资源验证是通过主机端口模型来模拟主机软件行为,以达到对交换芯片内部软件可访问资源进行验证的目的。而对于基本功能和协议符合性的验证,可以通过主机端口模型、交换端口模型和捕获端口模型产生各类型的数据包,然后把这些数据激励施加在 DUT(Design Under Test)的端口上,以达到对交换芯片内部基本功能逻辑的验证。对于验证过滤功能的激励,是对已产生数据包注入格式内容错误来实现的。根据之前对警管功能的分析,可以通过调整某个 VLID 帧序列上各帧的长度和相邻帧之间的时间间隔,来实现对警管功能的验证。

对于激励的产生,遵循以下原则:每个端口激励的产生相互独立,错误注入相互独立,每个端口上接收激励帧的时间相互独立。

下面举例说明如何生成一条用于验证警管功能的激励序列。图 3 描述的是注入到某个交换端口同一 VLID 的帧激励序列。其中所有奇数帧相互间隔 128ms,通过调整偶数帧与奇数帧的时间间隔,可以产生一条奇数帧通过、而偶数帧都被警管掉的激励序列。

3 AFDX 交换芯片虚拟验证平台

3.1 验证平台结构

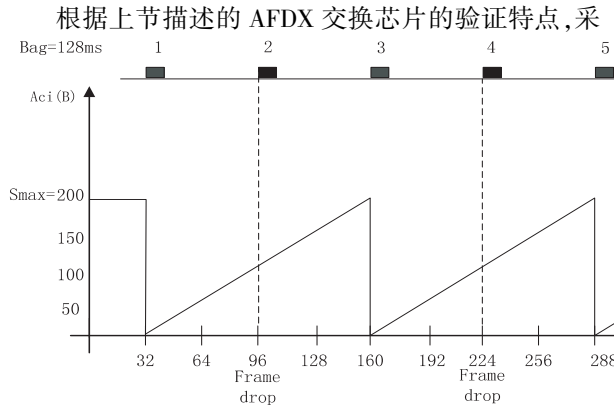


图 3 相同 VLID 偶数帧被警管示意图

用 SystemVerilog 验证语言和高级验证方法学的一些概念搭建了其虚拟验证平台,如图 4 所示。

这个平台与以往采用 verilog 语言搭建的验证平台的不同在于:新平台采用了面向对象的技术,通过类的继承和多态性定义验证组件和激励数据,在 testcase 对象的创建过程中实例化不同的验证环境配置类,从而搭建不同的验证环境,即实现了不同的 testcase 需要不同的验证场景的要求;新平台的激励是在仿真运行期间动态产生,数据生命周期结束后自动释放内存空间。搭建验证平台需要的所有 SystemVerilog 语法可以在文献[7]中找到。

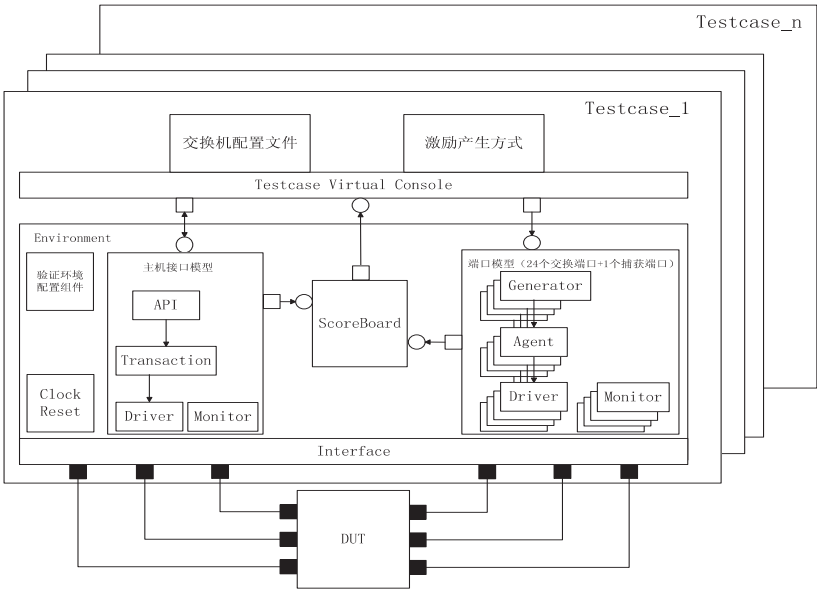


图 4 虚拟验证平台架构

每一个 testcase 都由接口、验证环境、交换机配置文件等几部分组成,验证环境与被测设备是通过 interface 相连接的。验证环境类中的各个组件是通过 TLM 接口相连接。文献[8]中有关于 TLM 接口的具体实现。文献[9]详细描述了 interface 的应用及搭建层次化的验证平台。文献[10~13]中有关于使用 sysverilog 搭建验证平台的描述。

3.2 验证组件

整个验证环境是由各种验证组件构成,这些验证组件都是通过类来实现的。主要包括验证环境配置组件,TLM 接口,主机接口模型和端口模型。其中端口模型又分为交换端口模型和捕获端口模型。

主机接口模型和端口模型具有事物层和驱动层功能。驱动层类负责把事物层传递过来的数据转化为硬件接口上的信号时序驱动,同时把硬件接口上数据状态反

馈给事物层。事物层类负责产生激励并将其传递给驱动层和记分板,同时把驱动层监控到的数据(交换机的转发帧、主机接口中断等信息)传递给记分板。

记分板接收到事物层产生的激励后,将其输入给一个 AFDX 网络交换芯片模型。交换机模型会根据每个 testcase 的交换机配置文件信息来决定这帧数据是否被过滤、警管和如何转发,并将预测结果和数据保存下来。当记分板接收到来自驱动层的反馈数据(如交换机转发帧)时,会与预计的数据进行比较,比较完成后只保留结果,数据空间会被释放。

3.3 验证平台工作原理

当仿真开始时,每个 testcase 按照以下步骤执行: gen_cfg()—build()—reset_dut()—cft_dut()—start()—wait_for_end()—stop()—cleanup()。在执行 gen_cfg() 函数时,会产生 DUT 的配置信息、激励方式信息和验证环境配置信息;build() 函数会根据验证环境配置信息实例化各个验证组件并自动进行连接;reset_dut() 任务会给 DUT 一个复位动作;cfg_dut() 任务将之前产生的 DUT 配置信息写入到 DUT 的内部寄存器或存储器中;start() 函数会启动验证组件,执行激励产生和监控动作。当验证平台的激励注入完毕之后,会启动 wait_for_end() 任务来等待 DUT 的行为结束。在这期间,记分板会自动比较各种数据并在线打印各种信息。当确认 DUT 功能执行完毕之后,还需要对 DUT 的内部状态信息进行收集、比较、统计和分析,最后打印测试报告。

4 验证总结

在 AFDX 网络交换芯片架构设计阶段,就开始了虚拟验证平台的架构,并独立与 RTL 设计人员开发了 AFDX 网络交换芯片模型。在 RTL 验证阶段的初期,没有按照验证规范开发各种验证项,而是随机产生了一些验证项。通过这些随机验证项,可以不断地调整验证环境并对 RTL 设计进行 debug。在整个验证环境趋于稳定之后,才开始投入人力按照验证规范的定义,编写各个 testcase 中所需的交换机配置文件和激励产生方式。验证报告中的各种出错点分析信息都是由验证平台自动产生的,测试人员只需通过打印信息就可对错误进行迅速定位。

整个验证平台的开发采用了分层的概念,平台开发人员和 testcase 编写人员相互独立,这样做的好处是测试人员可以不用了解验证环境,就可以写出各种 testcase,节省了人力和时间。

5 结束语

文中通过对 AFDX 网络交换芯片的功能分析,制

定了相应的验证策略。同时采用了基于 SystemVerilog 验证语言的高级验证方法学,对其虚拟验证平台进行搭建,搭建的验证平台具有易维护、可重用、高效率、灵活等特点。使用这种方法搭建验证平台,可以极大地缩短验证时间和提高验证效率。本方法不足的地方就是没有利用现有的验证类库(如 VMM, OVM, UVM),这也为下一步的工作指明了方向。

参考文献:

- [1] ARINC. Specification 664: Aircraft data network, part 7—deterministic networks[S]. 2003.
- [2] ARINC. Arinc project paper 664: Aircraft data network, part 7—avionics full duplex switched Ethernet (afdx) network[S]. 2005.
- [3] Anand M. Formal Modeling and Analysis of the AFDX Frame Management Design[C]//Proceedings of the Ninth IEEE International Symposium on Object and Component—Oriented Real—Time Distributed Computing. [s. l.]: IEEE Computer Society, 2006.
- [4] Charara H. Modelling and Simulation of an Avionics Full Duplex Switched Ethernet[C]//Proceedings of the Advanced Industrial Conference on Telecommunications/Service Assurance with Partial and Intermittent Resources Conference/ELearning on Telecommunications Workshop. [s. l.]: [s. n.], 2005.
- [5] Bisson K, Troshynski T. Switched Ethernet Testing for Avionics Applications[J]. IEEE A&E System Magazine, 2004(5): 31–35.
- [6] 李 哲, 田 泽, 张荣华. AFDX 网络交换芯片关键性能验证方法研究[C]//第十六届计算机工程与工艺年会暨第二届微处理器技术论坛论文集. 出版地不详; 出版者不详, 2012: 483–486.
- [7] Standard for SystemVerilog—Unified Hardware Design, Specification, and Verification Language[S]. IEEE Std 1800TM—2005, 2005.
- [8] Glasser M. Open Verification Methodology Cookbook[M]. [s. l.]: Springer, 2009.
- [9] Spear C. System Verilog for Verification – A Guide to Learning the Testbench Language Features[M]. 2nd ed. [s. l.]: Springer, 2008.
- [10] Cohen B, Venkataramanan S, Kumari A. VMMing a SystemVerilog Testbench by Example[C]//SUNG San Jose 2006. [s. l.]: [s. n.], 2006.
- [11] Mohtashemi M, Mofidian A. Verification Intellectual Property (IP) Modeling Architecture[M]. [s. l.]: Verification Technology Group, Synopsys, Inc., 2002.
- [12] Yu Bo. 一个成功的百万门级芯片验证平台[J]. 中国集成电路, 2005(6): 36–39.
- [13] 吴英攀, 于立新, 薛 可, 等. 基于层次化验证平台的存储器控制器功能验证[J]. 微电子学与计算机, 2009, 26(2): 25–28.

AFDX交换芯片虚拟验证关键技术研究

作者：

[吴晓成](#)，[田泽](#)，[郭蒙](#)，[张荣华](#)，[WU Xiao-cheng](#)，[TIAN Ze](#)，[GUO Meng](#)，[ZHANG Rong-hua](#)

作者单位：

[中国航空计算技术研究所, 陕西 西安, 710119](#)

刊名：

[计算机技术与发展](#)

ISTIC

英文刊名：

[Computer Technology and Development](#)

年，卷(期)：

2013(8)

本文链接：http://d.g.wanfangdata.com.cn/Periodical_wjtz201308045.aspx