

高增益轨对轨运算放大器的设计实现

刘敏侠,田 泽,邵 刚

(中国航空计算技术研究所,陕西 西安 710119)

摘 要:为提高运放性能和增大输入输出信号动态范围,往往采用轨对轨输入输出结构的运放。介绍了一款基于 0.35 μ m CMOS 工艺设计的恒定跨导轨对轨输入/输出运算放大器,不同于传统的输入结构,该电路采用了一种改进的输入结构和 CLASS AB 输出结构,两级的折叠共源共栅运放,其输入和输出均能工作在轨对轨的范围内。仿真结果表明该电路在整个共模电平范围内直流增益大于 90dB,输出摆幅可达到 100mV ~ v_{dd}-100mV,功耗仅为 300 μ W。电路结构简单紧凑,实现了在整个共模电平范围内的高增益,可广泛应用于精密放大领域。

关键词:轨对轨;增益;共源共栅;运算放大器

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2013)08-0152-05

doi:10.3969/j.issn.1673-629X.2013.08.039

Design and Implementation of High Gain Rail-to-rail Operational Amplifier

LIU Min-xia, TIAN Ze, SHAO Gang

(Aeronautical Computing Technique Research Institute, Xi'an 710119, China)

Abstract: In order to improve the performance of the operational amplifier and augment the dynamic range of input and output signal, rail-to-rail input and output structure is used commonly. The operational amplifier with constant transconductance, rail-to-rail input and output was designed based on 0.35 μ m CMOS process. The amplifier is different from traditional input structure, it takes an improved input and CLASS AB output structure, and the two stage folded cascade structure is also considered. The input and output of amplifier can be worked in the range of rail-to-rail station. The simulation results demonstrate DC gain is larger than 90dB in the range of the whole common mode, and its slew rate can be reach to 100mV ~ v_{dd}-100mV, but the power is only 300 μ W. For its simple and compact structure, this op-amp can reach to high gain in the range of whole common mode and it is suitable for precision amplify field.

Key words: rail-to-rail; gain; cascode; operational amplifier

0 引 言

随着 SoC 技术的迅速发展和广泛应用,使用深亚微米标准 CMOS 工艺的模拟集成电路设计,已经成为当前芯片设计的一种主流趋势。而 CMOS 运算放大器是模拟电路设计中最重要基本单元之一,广泛应用于如数/模、模/数转换器、滤波器和开关电容等模拟电路中。随着电源电压不断降低,输出电压动态范围也不断减小,严重影响运放的工作性能,甚至不能正常工作。提高动态范围,低压 rail-to-rail 运算放大器的设计变得十分重要^[1,2]。

为提高低压运放性能和增大输入输出信号动态范

围,能达到整个电源电压范围,需对运放差分输入级和输出级进行改进设计^[3]。文中通过一种改进的输入结构设计一个两级折叠共源共栅运算放大器电路,在整个共模电平范围内直流增益均大于 90dB,输出摆幅可达到 100mV ~ v_{dd}-100mV,功耗仅为 300 μ W。

1 电路结构

文中设计的运算放大器为两级运放结构,第一级为 PMOS 差分对和 NMOS 差分对结合的折叠式共源共栅结构实现跨导恒定的输入级,第二级为 classAB 输出级提高输出的摆幅^[4,5]。电路结构如图 1 所示。

收稿日期:2012-11-15

修回日期:2013-02-23

网络出版时间:2013-04-22

基金项目:“十二五”微电子预研(51308010601);某国防预研基金(9140A08010712HK6101);中国航空工业集团公司创新基金(2010BD63111)

作者简介:刘敏侠(1982-),女,陕西杨凌人,硕士,研究方向为大规模数模混合信号集成电路的设计、SoC 设计;田 泽,博士,研究员,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20130422.1721.013.html>

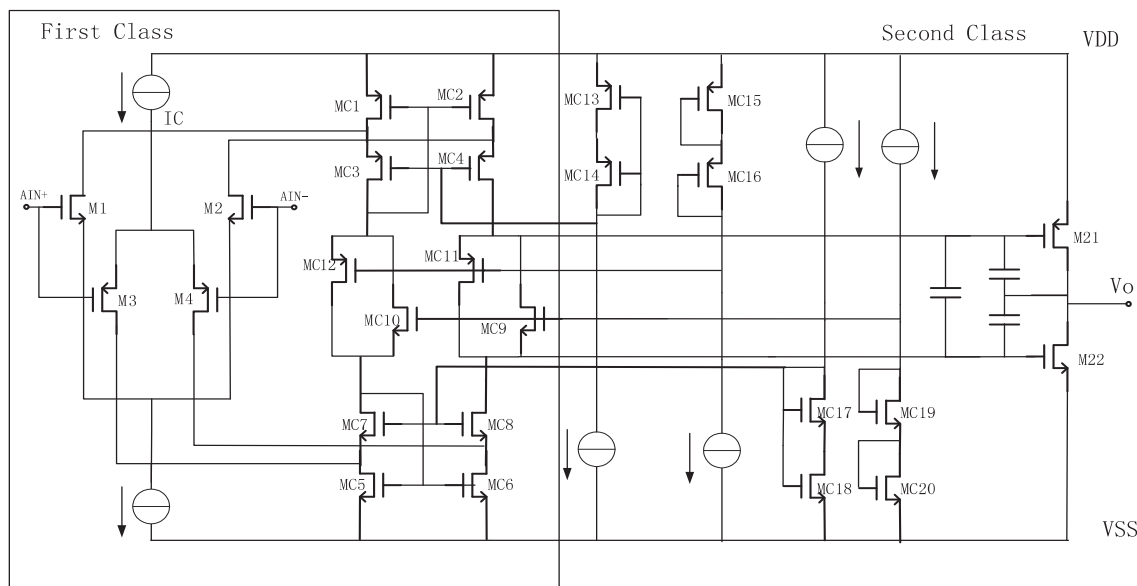


图1 电路拓扑结构图

电路要求最小有 90dB 的增益,要保证每个 corner 下都有如此高的直流增益,设计的时候典型增益值初步设定为 110dB,第一级分配为 70dB,第二级分配为 40dB。

为了得到最大的输出摆幅,电路也必须要全差分工作。根据放大器的应用场合,并不是所有的放大器都要求输入摆幅为轨对轨,只有缓冲器(buffer)需要轨对轨输入,这是由于轨对轨的输出要求输入也是轨对轨^[6]。

2 电路设计分析

2.1 输入级

输入级是运放的重要组成部分,其主要作用是放大输入的差分信号,同时有效抑制共模信号。输入级一般都采用匹配性能好,失调和温漂都比较小的差分电路。

运算放大器的共模输入范围是运放输入级的一个重要参数。当在输入共模电压范围内时,即使输入很小的差分信号,输入级都能正常工作。因此,在设计运放输入级时,应使共模输入电压保持在共模输入范围内。此外,运放的其他重要性能参数如输入相关噪声、失调和共模抑制比等也都是由输入级决定的^[7]。

恒定跨导的输入级一般选择两种结构实现^[8],一种利用电流补偿实现跨导恒定,这种方法的缺点是过分依赖于理想的平方律模型,当 MOS 管工作在强反型层和弱反型层时不能通用。另一方法是最大/最小电流选择法,这种方法是在输入共模电压范围内只取跨导最大的差分对,其缺点是电路设计相对复杂,并且电路工作时跨导较小的差分对也在工作,只是没有将其变化的信号电流输出去,因此浪费了一部分能量。

选用 NMOS 与 PMOS 相结合的差分输入对,有两个原因。首先,第一级放大电路的跨导为 NMOS 与 PMOS 跨导之和, g_m 值相当于增加了一倍,相对于同样增益的单类型 MOS 差分输入对来讲,降低了流过差分对的直流电流,降低了系统的功耗。其次,选用 NMOS 与 PMOS 相结合的差分输入对可以扩大共模输入的范围,因为单独的 NMOS 或者单独的 PMOS 导通范围是有限的^[9,10]。

第一级的要求有 70dB 的增益,则要求 $20\text{dB} * \log(g_m * R_{out}) = 70\text{dB}$ 。首先电路要建立正确的静态工作点:

$$V_{in} < V_{supply} - (V_{GSP} - V_{DSSAT})。$$

PMOS 上端电流源的电流为 10uA,根据镜像关系已经可以确定该管子的尺寸大小,由

$$I_{DS} = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2$$

可以推出:

$$V_{GS} - V_{th} = \sqrt{\frac{2I_{DS}}{\mu_p C_{ox} \frac{W}{L}}} = \sqrt{\frac{10e-6}{0.01247 * 3.319 * 10e-6 * \frac{W}{L}}}$$

而 $V_{DS} > V_{GS} - V_{th}$,此时得到 V_{DS} 的最小值,即可计算出 V_{in} 的最大值。过驱动电压,电流现都已经确定。

$$g_{mp} = \frac{2I_{DS}}{V_{GS} - V_{th}}$$

即得到输入差分对的宽长比(工艺中 MOSFET 的主要参数为: $V_{THN} = 0.790\text{V}$, $V_{THP} = -0.758\text{V}$, $T_{OX} = 1.$

$$1e-8, C_{ox} = \frac{3.9 * 8.854 * 10^{-14}}{1.1 * 10^{-8}} = 3.139 * 10^{-6}, \mu_p =$$

0.01247, $u_n = 0.03928$)。

2.2 Class AB 输出级

A 类输出级其峰值电流摆幅不超过直流偏置电流,因此,其平均电流就是直流电流,功耗较大。B 类输出级的偏置电流为零,连接 B 类放大产生的正摆幅到另一个放大器产生的负摆幅时,会导致波形的不连续,称之为交越失真。而 AB 类输出级能在电流消耗和失真之间达到最好的折衷,详见图 2^[11]。

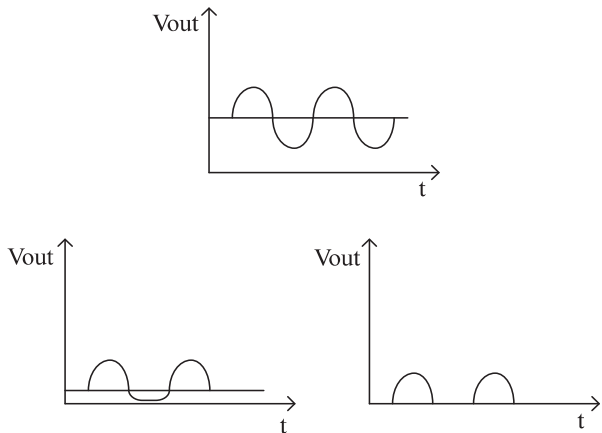


图 2 classA、classAB、classB

为了有效利用电源电压和电源电流,该运放采用一个共源级结构的 classAB 输出,更为突出的另外一个优点是, classAB 的版图比较紧凑,有利于节约芯片面积。

假设,同相小信号电流 I_{in1}, I_{in2} 流入到 classAB 输出级, PMOS 管的电流将会增加,而 NMOS 管将会减小。结果就是两个输出晶体管的栅极电压都升高,输出级就从输出节点抽取电流。

2.3 Folded cascode 结构的恒定有源负载

电路的输出详细电路见图 3,其中 M1 和 M2 为输

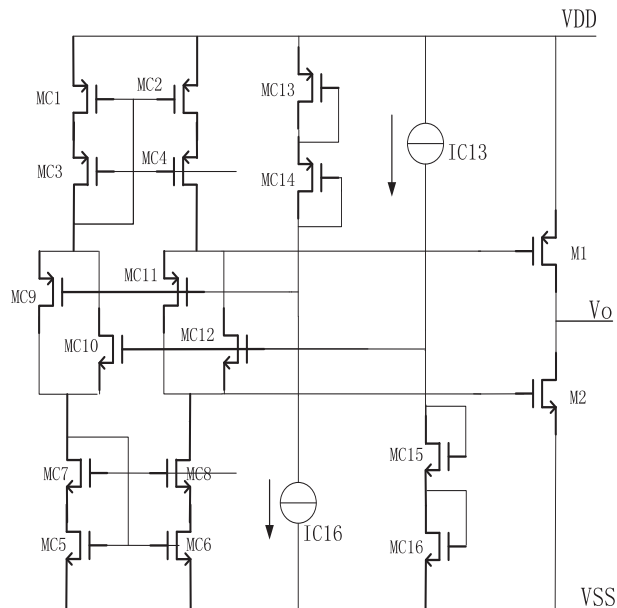


图 3 classAB 输出级的结构

为出管, MC11 和 MC12 为浮动电压源, MC9 和 MC10 浮动电流源, MC1 和 MC2, MC5 和 MC6 分别为输入 NMOS 管对和 PMOS 管对的有源负载。 MC3 和 MC4, MC7 和 MC8 分别为单管 cascode 放大器。

图中的 AB 类控制电路中包括两条回路^[12], 一条为 M1, MC11, MC14 和 MC13, 另一条为 M2, MC12, MC15 和 MC16, 它们控制着输出管的静态电流 I_q 。这些管子的栅源电压分别满足:

$$|V_{GSC13}| + |V_{GSC14}| = |V_{GSC11}| + |V_{GS1}|$$

$$V_{GSC15} + V_{GSC16} = V_{GSC12} + V_{GS2}$$

为补偿 MOS 管的衬偏效应, 调节 MC11 和 MC14, MC12 和 MC15, 使它们偏置于同样的栅源电压下, 则有 $|V_{GSC13}| = |V_{GSC1}|$, $|V_{GSC16}| = |V_{GS2}|$ 。所以 M1, M2 管的直流偏置电流分别为:

$$I_{q1} = \frac{\left(\frac{W}{L}\right)_{C13}}{\left(\frac{W}{L}\right)_{C13}} I_{C13}$$

$$I_{q2} = \frac{\left(\frac{W}{L}\right)_{C16}}{\left(\frac{W}{L}\right)_{C16}} I_{C16}$$

$$\text{若使电流源 } I_{C13} = I_{C16}, \frac{\left(\frac{W}{L}\right)_{C13}}{\left(\frac{W}{L}\right)_{C13}} = \frac{\left(\frac{W}{L}\right)_{C16}}{\left(\frac{W}{L}\right)_{C16}}, \text{ 就有:}$$

$$I_q = \frac{\left(\frac{W}{L}\right)_{C13}}{\left(\frac{W}{L}\right)_{C13}} I_{C13} = \frac{\left(\frac{W}{L}\right)_{C16}}{\left(\frac{W}{L}\right)_{C16}} I_{C16}$$

这就使得输出级的静态工作点得以稳定, 不会受共模输入电压变化的影响。同时注意到有 $|V_{GSC1}| = |V_{GS1}|$, $V_{GSC5} = V_{GS2}$, 即 PMOS 管 M1 和 MC1, NMOS 管

$$\text{M2 和 MC5 的稳定电压相等, 有 } I_{C1} = \frac{\left(\frac{W}{L}\right)_{C1}}{\left(\frac{W}{L}\right)_{C1}} I_q, I_{C5} =$$

$$\frac{\left(\frac{W}{L}\right)_{C5}}{\left(\frac{W}{L}\right)_{C5}} I_q. \text{ 如果取 } \frac{\left(\frac{W}{L}\right)_{C1}}{\left(\frac{W}{L}\right)_{C1}} = \frac{\left(\frac{W}{L}\right)_{C5}}{\left(\frac{W}{L}\right)_{C5}}, \text{ 那么 MC1 和 MC5}$$

上流过的电流相等。考虑到电流镜的作用就是 MC1, MC2, MC5, MC6 上流过的电流全相等。设其为 I_{C1} 。并忽略沟道长度调制系数 λ 随其漏源电压变化的影响 (一般情况下, 选取最小沟道长度的 2~3 倍, 在此电路中就可以忽略这一效应); 则输入级有源负载的小信号等效电阻值在整个输入共模偏置电压范围内都是固定值且相等, 即:

$$r_{onC1} = r_{onC2} = r_{onC5} = r_{onC6} = \frac{1}{\lambda I_{C1}}$$

同时,如果 I_{C1} 远大于输入对的工作电流 I_p 和 I_n ,那么 cascode 放大器的工作电流也是基本稳定的,可以认为 cascode 管 MC3,MC4 和 MC8,MC7 的跨导和一个常数。从下面的分析可以看到,本 rail-to-rail 运算放大器输出级的输入是电流信号,故上述电路保证了:到输出级前为止,总的跨导增益在整个共模输入偏置电压范围内是恒定的,如下式:

$$G_T = g_{mT} * (r_{onC1} * r_{onC5}) * g_{mcascode}$$

3 验证结果

本设计采用 0.35um 2P3M CMOS 工艺实现,在 5V 的电源电压下,在 Cadence 环境下,使用 spectre 电路仿真软件对其进行 AC gain&phase 分析,瞬态 TRAN 仿真分析,Monte Carlo 失调分析,DC 扫描、slew rate 曲线仿真,其中典型 CORNER 下 AC 仿真曲线结果见图 4,共模电平从 0 ~ 5V 变化时,直流增益在典型 CORNER 下

的仿真曲线见图 5。

从图中的仿真验证结果可得出电路在典型的 PVT 条件下,开环增益在 90dB 以上,输入共模范围可达到 $V_{SS} \sim V_{DD}$ 。详细的运放仿真参数见表 1。

表 1 运算放大器仿真结果

参数	条件	min	typ	max
开环增益	负载电阻 $R_L=100k\Omega$		90	dB
共模输入范围		V_{SS}		V_{DD} V
输出电压摆幅	无负载,全温度范围内	$V_{SS} + 0.02$		$V_{DD} - 0.02$ V
最高输出电压	驱动 1mA 的电流源	4.85	4.90	V
最低输出电压	驱动 1mA 的电流漏		0.05	0.15 V
失调	单位增益缓冲,2.5V	-10		+10 mV
单位增益带宽			2	MHz
相位裕度	电容负载 60pF/40pF		60	Deg
PSRR	开环	70dB		
CMRR	开环	70dB		
压摆率	40pF		1	V/ μ S

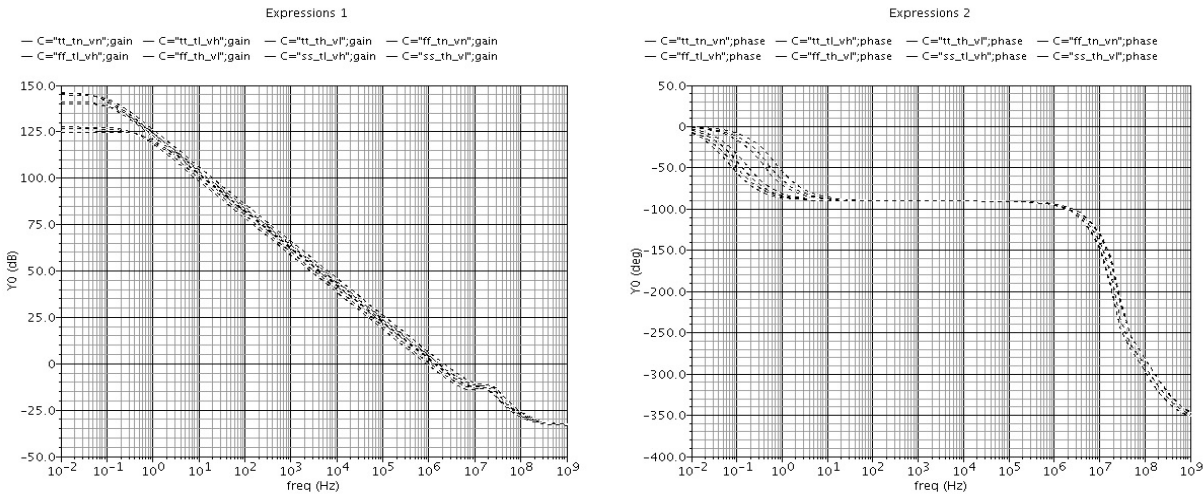


图 4 AC gain 和 phase 仿真曲线

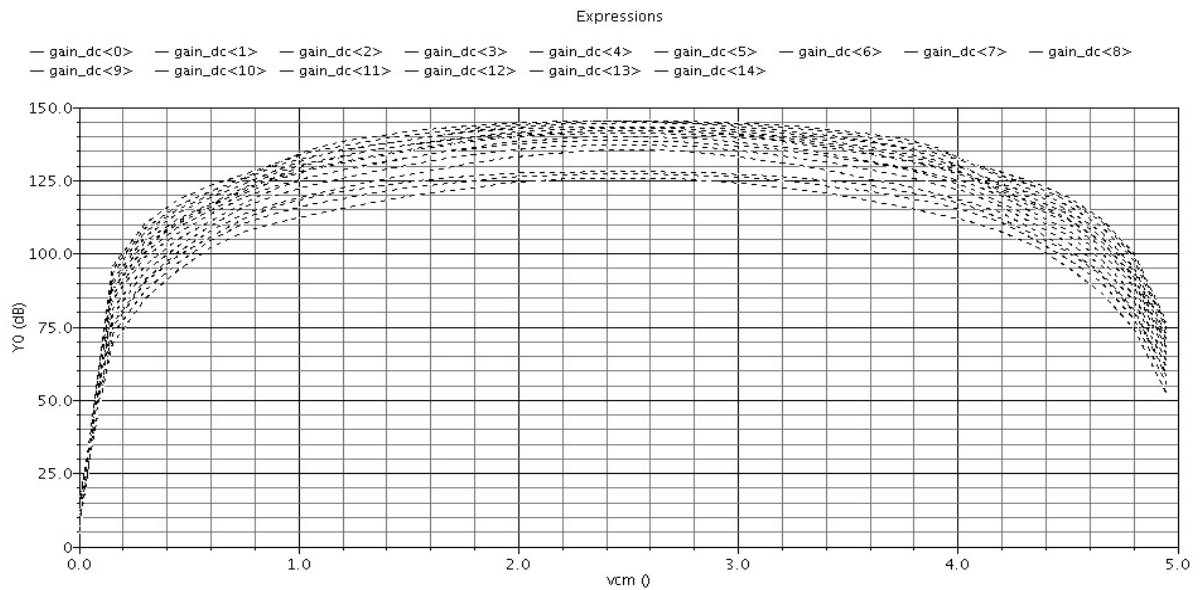


图 5 共模电平下直流增益仿真曲线

4 设计实现

整个电路基于标准 CMOS 0.35 μm 数模混合工艺设计与实现,用 Cadence 的 virturso 绘制完成版图。版图设计关键点在于差分输入级的匹配性和对称性,其结构好坏直接影响运算放大器的各项参数指标,设计完成的运放版图面积为 0.2mm \times 0.4mm。

5 结束语

为使运算放大器在整个共模电压变化范围内都能稳定,且增大信号的输入输出动态范围,需要保证运放的输入跨导不随共模电压的变化而变化,相比传统的轨对轨运算放大器,文中提出了一种结构简单、具有高增益的恒定跨导轨对轨运算放大器,该设计简化了电路结构,对称性好,版图面积小,整个电路结构简单紧凑,易于实现,在工艺上也没有特殊要求。仿真结果表明低功耗 rail-to-rail CMOS 运算放大器具有高开环增益、高电源抑制和良好的稳定性,可广泛应用于高增益要求的精密放大领域。

参考文献:

- [1] 王永顺,王好德,史琳. 低压 Rail-to-Rail CMOS 运算放大器的设计[J]. 集成电路设计与开发,2010(8):827-830.
- [2] 毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 陈贵灿,程军,张瑞智,等译. 西安:西安交通大学出版社,2003.
- [3] 王松林,陈雷,叶强,等. 高转换速率恒定跨导轨对轨

运算放大器的设计[J]. 华中科技大学学报(自然科学版),2010(3):80-83.

- [4] Gerfers F, Hack C, Ortmanns M, et al. A 1.2V 200 μW Rail-to-Rail Op-Amp with THD 90 dB using Replica Gain Enhancement[C]//Proc. of ESSCIRC. [s.l.]:[s.n.],2002.
- [5] Yeh Chuen-Chi, Wang Jiahui, Tsai Chien-Hung. A Compact Low-Offset Voltage and Low Power Rail-to-Rail Output Buffer for TFT-LCD Panel[C]//Proc. of ISIC. [s.l.]:[s.n.],2009.
- [6] 潘学文,周继承,郑旭强. 一种基于电平位移电路的低电压全摆幅 CMOS 运放[J]. 中南大学学报(自然科学版),2010,41(4):1473-1477.
- [7] Hogervorst R, Tero J P, Eschauzier R G H, et al. A Compact Power-efficient 3V CMOS Rail to Rail Input/Output Operational Amplifier for VLSI Cell Libraries[J]. IEEE Journal of Solid-State Circuit,1994,29(12):1505-1513.
- [8] 王春锴,木霄易,邵丙铎. 一种电流跟踪补偿的输入输出全摆幅运算放大器[J]. 微电子学与计算机,2007,24(5):120-122.
- [9] 邢利东,蔡敏. 一个低噪声轨到轨输入输出范围的运算放大器[J]. 半导体技术,2006,31(11):859-861.
- [10] 程春来,柴常春,唐重林. 一种低压低功耗 CMOS 折叠-共源共栅运算放大器的设计[J]. 现代电子技术,2007,30(24):191-193.
- [11] Sansen W M C. 模拟集成电路设计精粹[M]. 陈莹梅,译. 北京:清华大学出版社,2008.
- [12] 刘学. 一种恒跨导轨对轨输入/输出 CMOS 运算放大器[J]. 现代电子技术,2007,30(12):41-44.

(上接第 151 页)

设计进行了深入的研究,并在此基础上,设计完成了以 Altera 公司的 Cyclone III 系列中的 EP3C16 FPGA 为核心芯片的 SOPC 开发平台。另外文中在此平台之上,移植了嵌入式操作系统,并在此环境下实现了 SD 卡的接口设计,因此包括了整个的硬件和软件设计。在系统设计的过程中,分析了 Nios II 的 Avalon 总线的系统架构、SD 卡的通信协议。此设计实例具有一定的实用价值和参考价值。

参考文献:

- [1] Altera Corporation. Creating Multiprocessor Nios II Systems Tutorial[M]. [s.l.]:Altera Com.,2007.
- [2] Altera Corporation. Application Note 370:Using the Serial Flash Loader With the Quartus II Software[M]. [s.l.]:Altera Com.,2004:215-218.
- [3] Ni F L, Jin M H, Xie Z W, et al. A Highly Integrated Joint Servo System Based on FPGA with Nios II Processor[C]//

Proceedings of the 2006 IEEE International Conference on Mechatronics and Automation. [s.l.]:[s.n.],2006:973-978.

- [4] SD Group. SD Memory Card Specifications-Physical Layer Specification[S]. [s.l.]:SD Group,2001.
- [5] Wang Rui, Yang Shiyuan. The design of a rapid prototype platform for ARM based embedded system[J]. IEEE Transactions on Consumer Electronics,2004,50(2):746-751.
- [6] 任爱锋,初秀琴,常存. 基于 FGPA 的嵌入式系统设计[M]. 西安:西安电子科技大学出版社,2004.
- [7] 徐宁仪,周祖成. Avalon 总线与 SOPC 系统架构实例[J]. 半导体技术,2003,28(2):17-20.
- [8] 周立功. SOPC 嵌入式系统实验教程[M]. 北京:北京航空航天大学出版社,2006.
- [9] 李秀娟,刘宪伟,赵建平,等. 基于 Nios II 的 SOPC 系统开发与应用[J]. 电子技术,2007,11(3):57-59.
- [10] 孙科学,张瑛,刘艳,等. 基于 Nios II 的音频信号分析仪设计[J]. 计算机技术与发展,2012,22(8):196-199.

高增益轨对轨运算放大器的设计实现

作者：[刘敏侠](#)，[田泽](#)，[邵刚](#)，[LIU Min-xia](#)，[TIAN Ze](#)，[SHAO Gang](#)

作者单位：[中国航空计算技术研究所, 陕西 西安, 710119](#)

刊名：[计算机技术与发展](#)

ISTIC

英文刊名：[Computer Technology and Development](#)

年，卷(期)：2013(8)

本文链接：http://d.wanfangdata.com.cn/Periodical_wjfz201308039.aspx