

# 基于 Nios II 软核处理器的 SD 卡接口设计

杜 鹏

(南京邮电大学 自动化学院,江苏 南京 210046)

**摘 要:**随着 FPGA 的低成本化和整合资源的不断增强,FPGA 在整个嵌入式市场中的份额在不断增加。基于 FPGA 的 Nios II 软核以其高度的设计灵活性和完全可定制性在现今电子产品设计及工业控制中扮演着重要的角色。此外,以 SD 卡为代表的大容量存储卡成为消费电子类产品最重要的存储媒体。基于 Nios II 软核处理器来读写 SD 卡的接口设计在诸多电子系统中的使用也愈来愈多。文中给出了基于 Nios II 软核处理器的 SD 卡接口设计方案,并介绍了 Nios II 的驱动架构,给出 SD 存储卡在 Nios II 软核上的驱动程序设计。

**关键词:**Nios II;可编程片上系统;SD 存储卡

中图分类号:TP368.1

文献标识码:A

文章编号:1673-629X(2013)08-0149-03

doi:10.3969/j.issn.1673-629X.2013.08.038

## Design of SD Memory Card Interface Based on Nios II Softcore

DU Peng

(College of Automation,Nanjing University of Posts and Telecommunications,Nanjing 210046,China)

**Abstract:**With low-cost FPGA and its growing integration of resources,the share of FPGA in the entire embedded market continues to increase. FPGA-based Nios II soft core for its high degree of design flexibility and full customizability plays an important role in today's electronic products and industrial control design. In addition,the SD mass storage card becomes the most important media in consumer electronics products. SD card reader interface design based on the Nios II soft core processor is more and more used in many electronic systems. In this paper,proposed the Nios II soft core processor based SD card interface design and Nios II driver architecture. In addition,presented the design of the SD memory card driver based on Nios II soft core.

**Key words:**Nios II;System on a Programmable Chip(SOPC);SD card

## 0 引 言

Altera 公司开发的 Nios II 是基于可编程片上系统 SOPC(System on a Programmable Chip)技术的 32 位嵌入式处理器软核。Altera 公司开发的 Nios II 软核,可以直接放在 FPGA 中,它体现了把实现产品的全部单元电路集成到一个芯片之内的片上系统 SOPC 的思想<sup>[1,2]</sup>。作为一种具有竞争力的技术,在国外已经有大量的产品使用了这种技术<sup>[3~5]</sup>,在国内使用 Nios II 处理器进行嵌入式系统设计的开发者也越来越多,但是离大规模应用还有距离,应该得到更加广泛的关注。文中在实际的项目中需要使用 Nios II 来开发存储系统,对于利用 Nios II 来进行嵌入式系统开发,还有许多工作需要去深入研究<sup>[3]</sup>。

文中在进行存储系统项目开发的过程中,完成了基于 FPGA 的系统硬件和软件设计。为了达到系统的

设计目标,就需要对 Nios II 的 SOPC 技术进行深入的研究。还需要进行 uClinux 操作系统的移植,基于操作系统的 SD 卡数据读写,必然就要涉及到怎样编写驱动程序。文中先简单介绍操作 SD 卡的基本的硬件电路,接着给出了 SD 卡读写操作和驱动程序设计的基本过程。最后给出了全文的结论,文中给出的方法具有一定的普遍性和实用性<sup>[6]</sup>。

## 1 系统硬件结构设计

### 1.1 SD 卡

SD 卡(Secure Digital Memory Card)即“安全数码存储卡”是由日本松下公司、东芝公司、美国 SANDISK 等公司在 MMC 卡的基础上共同开发研究而推出的,是一种容量大、高性能、安全性好、访问接口简单的存储卡,得到了广泛的使用。使用的范围包括:MP3、数

收稿日期:2012-10-22

修回日期:2013-01-23

网络出版时间:2013-04-08

基金项目:南京邮电大学科研项目(NY208049)

作者简介:杜 鹏(1971-),男,博士,讲师,研究方向为嵌入式系统设计与电力系统及其自动化。

网络出版地址:<http://www.cnki.net/kcms/detail/61.1450.TP.20130408.1559.011.html>

码摄像机和照相机产品、智能手机等消费类电子设备。当前很多微处理器在内部都集成了与 SD 卡通信的接口电路<sup>[4,7]</sup>。

1.2 SD 卡的特征

SD 卡的外形和接口触点如图 1 所示。外形尺寸分为两种,分别为:24 mm \* 32 mm \* 2.1 mm 或 24 mm \* 32mm \* 1.4mm。

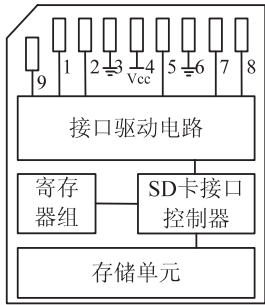


图 1 SD 卡的形状和接口

微处理器和 SD 卡之间的接口电路,要符合一定的约定,这个在 SD 卡的读写操作中,被称为通信协议。为了适应不同的通信协议,可以设置 SD 卡使其工作在不同的通信模式之下。SD 卡的通信模式分为两种,一种是所谓的 SD 模式,另一种是 SPI 模式。现在 SPI 通信模式得到越来越多的使用。在处理器和 SD 卡的通信过程中,和 SD 卡通信的处理器(称为主机),选择一种通信方式,但在通信的整个过程中不能改变通信模式。SD 卡分析复位命令,以确定下面的通信采用什么模式,在接下来的时间内,通信双方要使用相同的通信模式<sup>[8,9]</sup>。

当工作在 SD 模式下时,主机使用 SD 总线访问 SD 卡,使用多点总线拓扑结构。这种结构包括一个主机和多个从机(这里是指 SD 卡)。所有的 SD 卡共用一个时钟信号 CLK、电源和地,命令线和数据线则是属于每一 SD 卡所专用的。

前面说到现在的微处理器都集成有硬件 SPI 接口,用于板内的芯片之间的操作非常方便。当设定工作在 SPI 模式下时,主机使用自身所带的 SPI 总线来访问 SD 卡。微处理器在第一个发给 SD 卡的复位命令中配置通信模式为 SPI 方式,当然在操作 SD 卡的通信期间,通信模式是不能更改为 SD 模式的。

1.3 SD 卡内部构造

图 2 是 SD 卡的内部结构图,主机通过 SD 卡的接口控制器来控制 SD 内部的存储单元中的数据。这样设计的目的一方面是把 SD 卡内部的存储器和外部的操作隔离开来,有利于保护内部的数据。另一方面也有利于内部存储器采用更新的工艺,而不影响外部的访问接口。

在使用微处理器来读写 SD 卡内的数据时,要严

格遵循通信协议。首先 SD 卡的数据传输的基本单位是字节。但是在 SD 卡的内部是以块为单位来组织数据的。对 SD 卡的数据读取操作本质上是以块为单位的。一个块的长度一般是 2 的幂,比如 256 字节或者 512 字节。在具体的一次数据传输中块的长度(以字节为单位)可以在传输数据之前的命令控制字中设置。至于 SD 卡所允许的块的最大长度可以读取 SD 卡的寄存器 CSD 来确定。在 SD 卡内部有控制寄存器和状态寄存器,其中的 4 个寄存器中存放着配置信息,比如 RCA 寄存器中存放本次通信过程中由主机分配的地址<sup>[10]</sup>。

1.4 访问 SD 卡的硬件电路

SD 卡采用 SPI 总线方式与处理器连接,其电路原理如图 2 所示。

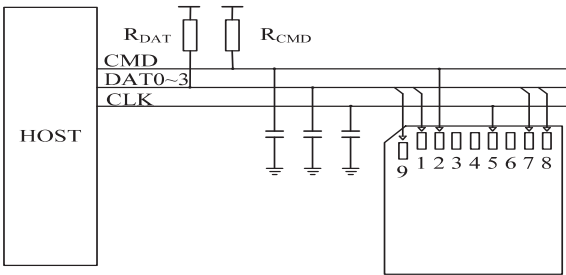


图 2 SD 卡接口电路图

1.5 Nios II 的构建过程

首先要考虑到的是使用什么样的 Nios II, Nios II 分为几个等级,有标准内核和高速内核。由于本系统对速度的要求并不高,设计时采用了标准的 Nios II 内核。在速度和所占用的资源方面具有比较好的折中。采用 Altera 公司的 SOPC Builder 工具来进行构建,生成一个 Nios II 的标准内核。

接着要对选中的 Nios 标准内核进行配置,这里要考虑的问题是如何分配片内存储器器和片外存储器器的使用。片内存储器器的资源是很宝贵的,所以要先确定系统运行所需要的片内 ROM 或 RAM,在满足性能的条件下,尽可能使用较少的片内存储器。

对于一个实际的系统,光有片内存储器一般是不够的,尤其是考虑到要进行嵌入式操作系统的移植,所以还要增加片外存储器。Nios II 通过 Avalon 总线和片外存储器以及外部设备连接。外部存储器件的类型包括 SRAM、SDRAM、DDR2、Flash 等,外部设备包括 UART 串行口等。本设计采用 SDRAM。

接着是添加 PIO 端口,定义输入输出端口,主要的目的是用于 Nios II 读取数字量。Nios II 所采用的时钟和 FPGA 的时钟密切相关,一般是通过锁相环 PLL 把外部输入的时钟进行倍频之后再送给 Nios II 来作为主频使用,同时外部设备也使用时钟信号。外部时钟信号为 25MHz,而经过倍频后为 50MHz。

至此,主要的配置过程就结束了。但是还是需要配置如下部分:

- (1)分配存储器 and 外部设备的基地址和中断请求优先级。
- (2)设定 Nios II 处理器的启动地址,本设计把片内存储器设定为 Nios II 的启动地址。
- (3)在生成 Nios II 系统时,可以选择生成 Verilog 语言还是 VHDL 语言,本设计采用 VHDL 语言进行设计。
- (4)最后生成的 qsf 文件,相当于整个工程的文件,但是关于配置管脚使用的部分,需要用户去生成。生成的方法可以在图形界面下配置,也可以通过写 tcl 文件的方法。写 tcl 文件的方法一般来讲,对于大型工程,还是比较方便的。
- (5)编译整个 Nios II 系统,在 Altera 提供的开发环境 Quartus II 中进行编译。顶层设计文件可以是 VHDL 也可以是原理图的形式。
- (6)采用 JATG 口进行下载,把生成的 SOF 文件下载到 FPGA 里。

## 2 系统软件设计

Altera 公司为了用户方便使用 Nios II 来快速研制产品,提供了功能强大、易于使用的 Nios II 集成开发环境,与一般的嵌入式系统开发设计比较类似。在生成 Nios II 的过程中已经自动生成了需要使用的头文件(一般是 C 语言的头文件),同时一般外围设备的驱动程序也可以生成。对于嵌入式操作系统,可以使用用户自己裁剪的 ucLinux 内核,也可以使用 Altera 提供的操作系统内核<sup>[13]</sup>。本设计使用 Altera 公司提供的 Nios II 9.0 版本的开发环境。

### 2.1 SD 卡初始化

在对 SD 卡进行读/写之前,必须知道卡的类型、卡的容量、卡的大小等信息。具体来说,初始化函数主要完成以下工作:

- (1)微处理器(这里指 Nios II)复位 SD 卡,激活 SD 卡内部控制电路进行初始化处理,使 SD 卡进入 SPI 模式;
- (2)发送命令查询 SD 卡是否支持 3.3V 供电;
- (3)调整 SPI 时钟频率;
- (4)根据编译选项使能或者禁止通信过程中的 CRC 校验;
- (5)设置用于读/写操作的块数据长度;
- (6)最后是初始化全局变量 sds。

SD 卡初始化函数 INTSU\_SD\_Initialize(viod)就是用于完成以上任务的,它读取 SD 卡内部 CSD 寄存器,然后对全局变量 sds 进行赋值。

### 2.2 SD 卡读写操作

对 SD 卡的读写操作需要知道 SD 卡的一些基本的属性:插入卡座中 SD 卡的型号;SD 卡中全部块的数量;SD 卡的最大数据块的长度;一次可擦除的块数量;卡的读取、写入、擦除操作的超时时间。

SD 卡读/写软件包中定义了一个全局变量 sds,软件包的很多地方使用了这个全局变量。SD 卡的写操作包括写单块和写多块两种方式。SD 卡的初始化函数 SD\_Initialixe()已经调用 SD\_SetBlockLen()函数设定了读/写数据的长度为 SD\_BLOCKSIZE 字节,所以卡初始化以后,读写都必须以块为单位。

## 3 SD 卡驱动设计

Nios II 软件架构是建立在 HAL(Hardware Abstraction Layer)基础之上的。HAL 为 Nios II 的软件开发者提供了操作底层硬件的编程接口。设备驱动程序的编制一般要使用 HAL 提供的 API 函数以及 C 标准库等<sup>[7]</sup>。HAL 提供的功能以及它与底层设备驱动程序之间的关系如图 3 所示,这种模块化的设计架构可以加速应用程序的开发。使用这种分层的体系架构,HAL 层把应用程序和底层硬件驱动程序隔离开来,使得应用程序的开发不依赖于底层 HAL 和硬件的变化,增加了应用程序的可移植性<sup>[11,12]</sup>。设计驱动程序最重要的是理解具体 SD 卡的读写操作的过程,之后是如何和嵌入式操作系统连接起来。在编制好 SD 卡的驱动程序后,在应用程序中操作 SD 卡就简单了。所以编制 SD 卡的驱动在本设计中是重要的一部分。

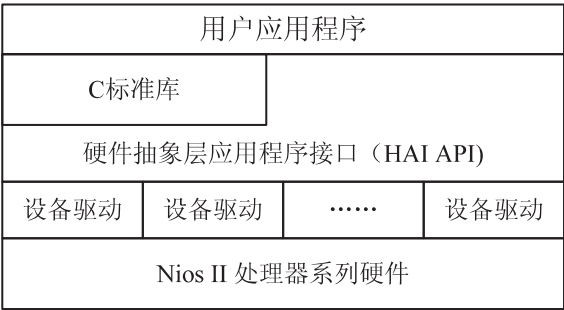


图 3 基于 HAL 的系统层次结构图

## 4 结束语

文中基于 Nios II 实现了对于 SD 卡的控制,不仅包括硬件设计还包括系统软件设计。传统的系统设计是基于硬核处理器的架构,系统的硬件设计受到了限制。SOPC 的设计思想使得片上系统的设计更加灵活,硬件设计的限制因素基本不存在了。在一个 FPGA 的芯片上几乎可以实现整个系统,对于系统的小型化的作用是显著的。文中对基于 Nios II 的嵌入式系统的

(下转第 156 页)

## 4 设计实现

整个电路基于标准 CMOS 0.35 $\mu\text{m}$  数模混合工艺设计与实现,用 Cadence 的 virturso 绘制完成版图。版图设计关键点在于差分输入级的匹配性和对称性,其结构好坏直接影响运算放大器的各项参数指标,设计完成的运放版图面积为 0.2mm $\times$ 0.4mm。

## 5 结束语

为使运算放大器在整个共模电压变化范围内都能稳定,且增大信号的输入输出动态范围,需要保证运放的输入跨导不随共模电压的变化而变化,相比传统的轨对轨运算放大器,文中提出了一种结构简单、具有高增益的恒定跨导轨对轨运算放大器,该设计简化了电路结构,对称性好,版图面积小,整个电路结构简单紧凑,易于实现,在工艺上也没有特殊要求。仿真结果表明低功耗 rail-to-rail CMOS 运算放大器具有高开环增益、高电源抑制和良好的稳定性,可广泛应用于高增益要求的精密放大领域。

### 参考文献:

- [1] 王永顺,王好德,史琳. 低压 Rail-to-Rail CMOS 运算放大器的设计[J]. 集成电路设计与开发,2010(8):827-830.
- [2] 毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 陈贵灿,程军,张瑞智,等译. 西安:西安交通大学出版社,2003.
- [3] 王松林,陈雷,叶强,等. 高转换速率恒定跨导轨对轨

运算放大器的设计[J]. 华中科技大学学报(自然科学版),2010(3):80-83.

- [4] Gerfers F, Hack C, Ortmanns M, et al. A 1.2V 200 $\mu\text{W}$  Rail-to-Rail Op-Amp with THD 90 dB using Replica Gain Enhancement[C]//Proc. of ESSCIRC. [s.l.]:[s.n.],2002.
- [5] Yeh Chuen-Chi, Wang Jiahui, Tsai Chien-Hung. A Compact Low-Offset Voltage and Low Power Rail-to-Rail Output Buffer for TFT-LCD Panel[C]//Proc. of ISIC. [s.l.]:[s.n.],2009.
- [6] 潘学文,周继承,郑旭强. 一种基于电平位移电路的低电压全摆幅 CMOS 运放[J]. 中南大学学报(自然科学版),2010,41(4):1473-1477.
- [7] Hogervorst R, Tero J P, Eschauzier R G H, et al. A Compact Power-efficient 3V CMOS Rail to Rail Input/Output Operational Amplifier for VLSI Cell Libraries[J]. IEEE Journal of Solid-State Circuit,1994,29(12):1505-1513.
- [8] 王春锴,木霄易,邵丙铎. 一种电流跟踪补偿的输入输出全摆幅运算放大器[J]. 微电子学与计算机,2007,24(5):120-122.
- [9] 邢利东,蔡敏. 一个低噪声轨到轨输入输出范围的运算放大器[J]. 半导体技术,2006,31(11):859-861.
- [10] 程春来,柴常春,唐重林. 一种低压低功耗 CMOS 折叠-共源共栅运算放大器的设计[J]. 现代电子技术,2007,30(24):191-193.
- [11] Sansen W M C. 模拟集成电路设计精粹[M]. 陈莹梅,译. 北京:清华大学出版社,2008.
- [12] 刘学. 一种恒跨导轨对轨输入/输出 CMOS 运算放大器[J]. 现代电子技术,2007,30(12):41-44.

(上接第 151 页)

设计进行了深入的研究,并在此基础上,设计完成了以 Altera 公司的 Cyclone III 系列中的 EP3C16 FPGA 为核心芯片的 SOPC 开发平台。另外文中在此平台之上,移植了嵌入式操作系统,并在此环境下实现了 SD 卡的接口设计,因此包括了整个的硬件和软件设计。在系统设计的过程中,分析了 Nios II 的 Avalon 总线的系统架构、SD 卡的通信协议。此设计实例具有一定的实用价值和参考价值。

### 参考文献:

- [1] Altera Corporation. Creating Multiprocessor Nios II Systems Tutorial[M]. [s.l.]:Altera Com.,2007.
- [2] Altera Corporation. Application Note 370:Using the Serial Flash Loader With the Quartus II Software[M]. [s.l.]:Altera Com.,2004:215-218.
- [3] Ni F L, Jin M H, Xie Z W, et al. A Highly Integrated Joint Servo System Based on FPGA with Nios II Processor[C]//

Proceedings of the 2006 IEEE International Conference on Mechatronics and Automation. [s.l.]:[s.n.],2006:973-978.

- [4] SD Group. SD Memory Card Specifications-Physical Layer Specification[S]. [s.l.]:SD Group,2001.
- [5] Wang Rui, Yang Shiyuan. The design of a rapid prototype platform for ARM based embedded system[J]. IEEE Transactions on Consumer Electronics,2004,50(2):746-751.
- [6] 任爱锋,初秀琴,常存. 基于 FGPA 的嵌入式系统设计[M]. 西安:西安电子科技大学出版社,2004.
- [7] 徐宁仪,周祖成. Avalon 总线与 SOPC 系统架构实例[J]. 半导体技术,2003,28(2):17-20.
- [8] 周立功. SOPC 嵌入式系统实验教程[M]. 北京:北京航空航天大学出版社,2006.
- [9] 李秀娟,刘宪伟,赵建平,等. 基于 Nios II 的 SOPC 系统开发与应用[J]. 电子技术,2007,11(3):57-59.
- [10] 孙科学,张瑛,刘艳,等. 基于 Nios II 的音频信号分析仪设计[J]. 计算机技术与发展,2012,22(8):196-199.

基于Nios II软核处理器的SD卡接口设计

作者：[杜鹏, DU Peng](#)

作者单位：[南京邮电大学 自动化学院, 江苏 南京, 210046](#)

刊名：[计算机技术与发展](#)

ISTIC

英文刊名：[Computer Technology and Development](#)

年, 卷(期): 2013(8)

本文链接：[http://d.g.wanfangdata.com.cn/Periodical\\_wjfz201308038.aspx](http://d.g.wanfangdata.com.cn/Periodical_wjfz201308038.aspx)