

# 1394 与 RS422 总线桥的设计与实现

郑 斐,田 泽,马 宁,李 哲

(中国航空计算技术研究所,陕西 西安 710119)

**摘 要:**1394 总线具有高速、灵活和可扩展性等特点,已经有越来越多的设备开始使用这种总线,而 RS422 总线是一种相对成熟并且应用较多的总线,其特点灵活、方便、可靠。因此根据在研项目,为了实现新老总线之间正常、稳定的通讯,基于 FPGA 技术设计并实现了 1394 总线与 RS422 总线桥。经过实践论证,在一定条件下,1394 总线与 RS422 总线可以进行正常、稳定的通讯。文中着重介绍了 1394 总线与 RS422 总线桥的设计方法,着重通过 1394 总线与 RS422 总线桥的逻辑架构和总线桥的数据流两个方面介绍了 1394 总线与 RS422 总线桥的设计思路。

**关键词:**1394 总线;RS422 总线;总线桥

**中图分类号:**TP31

**文献标识码:**A

**文章编号:**1673-629X(2013)07-0253-04

**doi:**10.3969/j.issn.1673-629X.2013.07.065

## Design and Implementation of 1394 and RS422 Bus

ZHENG Fei, TIAN Ze, MA Ning, LI Zhe

(China Aeronautical Computing Technique Research Institute, Xi'an 710119, China)

**Abstract:**The more and more devices begin to use 1394 Bus because of its characters of high speed, flexibility and expansibility. RS422 has been considered as a kind of flexible, convenient and reliable bus, also has been used in serial fields as RS422 Bus is one of more mature and widely used bus. That's why the bus bridge between 1394 Bus and RS422 Bus is needed in order to achieve the communication between 1394 Bus and RS422 Bus. Designed and implemented the 1394 Bus and RS422 Bus bridge based on FPGA technology. Through the practice of argumentation, under certain conditions, the 1394 Bus and RS422 Bus can be a normal, stable communication. Mainly introduce the designing of bus bridge between 1394 Bus and RS422 Bus in logic structure and data flow.

**Key words:**1394 Bus; RS422 Bus; bus bridge

## 0 引 言

1394 总线作为一种高速的串行总线,现在被应用在信息家电、pc 体系的连接、工业测控、机载航空等领域中。

RS422 总线作为一种成熟、方便的串行总线,广泛应用于调制解调器 Modem、手持工业设备、条形码阅读器、测试设备、消费产品与计算机 PC、微处理器以及小型通信网络之间的通信等。

为了使两台分别具有 1394 总线与 RS422 总线的设备之间进行安全、稳定的数据信息共享,故以 FPGA 为基础设计了 1394 总线与 RS422 总线专用桥接电路,来实现 1394 总线与 RS422 总线的信息交互。

## 1 总线桥相关技术概述

### 1.1 IEEE1394 总线技术

IEEE1394 总线是由美国苹果公司率先提出的一种高品质、高传输速率的串行技术,又名 FireWire 或 i-Link,其目的是为了解决对速度要求很高的宽带设备的传输问题。1995 年 12 月被 IEEE 标准委员会批准,被称为 IEEE1394<sup>[1]</sup>。后来又在其基础上增加了 1394a 和 1394b 的附加规范<sup>[2]</sup>。

### 1.2 RS422 总线技术

RS422 标准是为了改善 RS232 标准的电气特性,又考虑与 RS232 兼容而定制的标准,其全称是“平衡电压数字接口电路的电气特性”。RS422 接口电路由发送器、平衡连接电缆、电缆终端负载、接收器组成。

收稿日期:2012-10-18

修回日期:2013-01-25

网络出版时间:2013-04-18

基金项目:“十二五”微电子预研(51308010601);总装预研基金(9140A08010712HK6101);中国航空工业集团公司创新基金(2010BD63111)

作者简介:郑 斐(1986-),男,陕西西安人,硕士,助理工程师,从事数字集成电路设计和验证等方面的研究;田 泽,博士,研究员,研究方向为 SoC 设计方法学等。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20130418.1701.001.html>

规定电路中只能有一个发送器,可以有多个接收器,即一个主设备,其余为从设备,从设备之间不能通信,所以 RS422 支持点对多的双向通信。RS422 的最大传输速率为 10Mb/s,在此速率下,电缆的允许长度约为 120 米;若采用较低的传输速率,如 90000b/s,则最大传输距离为 4000 英尺(约 1219 米)。

## 2 总线桥设计与实现

1394 总线的最小传输速率是 100Mb/s<sup>[3]</sup>,而 RS422 总线的最大传输速率为 10Mb/s,乍看之下两条总线是不能够通信的,但在该设计中使用了 1394 总线协议中的 AS5643 协议,在 AS5643 协议中若只使用其 1/10 的带宽来与 RS422 总线进行通信,则可以实现 1394 总线与 RS422 总线的数据交换。文中从逻辑架构和数据流两方面来详细阐述 1394 总线与 RS422 总线桥的设计与实现。

### 2.1 总线桥基本架构

1394 总线与 RS422 总线桥采用 Xilinx 公司的 FPGA 硬件来实现,从逻辑功能上分为五个模块,PCI 从接口及后端逻辑模块、调度逻辑模块、AS5643 协议处理模块、16 路 UART 模块和 DPRAM 存储器模块,具体 FPGA 逻辑框架如图 1 所示。

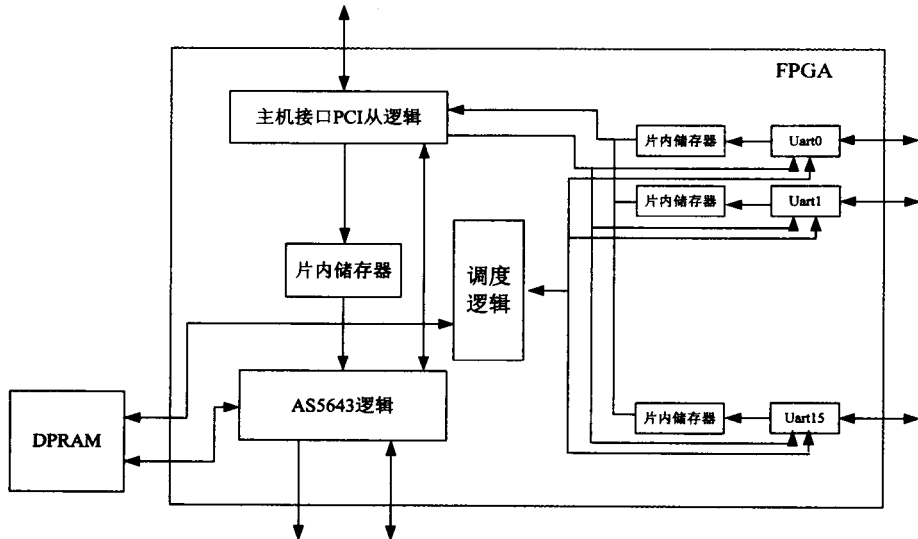


图 1 FPGA 逻辑功能框图

#### 2.1.1 PCI 从接口及后端逻辑模块

PCI 总线接口逻辑主要完成总线桥 FPGA 逻辑与 PCI 总线的连接。该部分逻辑主要完成 PCI 总线从接口的功能(不作 PCI 主设备),完成内部 FPGA 逻辑与主机系统的数据交换和初始化配置的功能。其特点及要求主要有:

- a. 完全支持 PCIv2.2 协议;
- b. 32 位数据/地址总线;
- c. 总线频率支持 33MHz;
- d. 拥有 PCI 标准内部配置空间,用户可以根据需

要进行定制。

#### 2.1.2 调度逻辑模块

调度逻辑模块主要实现了 AS5643 协议与 UART 协议的相互转换以及数据传输过程中的调度。在 RS422 数据传输过程中,定义了包头与包尾,当 RS422 向 1394 发送数据时,该模块负责解析包头包尾;当 1394 向 RS422 发送数据时,该模块负责添加包头包尾。RS422 总线和 1394 总线的交互都通过片外 DPRAM 来实现,调度逻辑功能框图如图 2 所示。

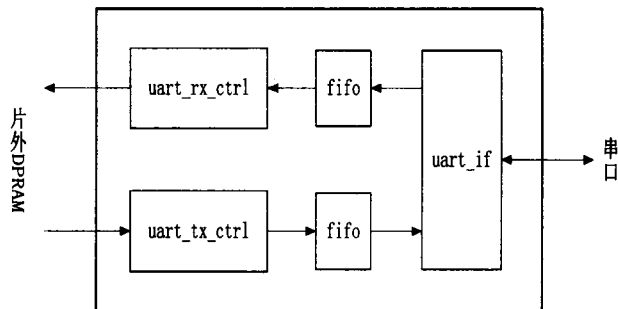


图 2 调度逻辑模块功能框图

#### 2.1.3 AS5643 协议处理模块

该模块主要实现 AS5643 中远程节点的协议处理功能,主要功能模块包括:寄存器控制模块、链路层 DM 接口模块、链路层处理器接口模块。

AS5643 协议处理模块实现了主机和链路层接口设备之间的通信,满足基于 IEEE-1394b 的用法和需求建立的军用航空领域网络传输数据总线标准 SAE AS5643。其主要的功能包括:

- a. 支持通信速率为 S100B(传输速率 100Mbps)的传输速率模式<sup>[4]</sup>;
- b. 支持 AS5643 协议定义的 STOF 包和异步流包传输;
- c. 数据使用 DPRAM 实现和主机的交互,双口访问为双缓冲机制;
- d. 消息 Payload 长度可配置,S100B 模式下最大 512B;
- e. 提供片内调度 DPRAM 存储配置表信息,最大支持 8 条消息发送与 8 条消息接收调度;
- f. 支持 STOF 包、自标识包、异步流数据泵消息的接收<sup>[5]</sup>;
- g. 支持数据带宽预分配功能;
- h. 支持基于消息长度、VPC 和 CRC 的消息完整性

检查。

2.1.4 16 路 UART 模块

16 路 UART 模块实现 422 总线收发控制,控制逻辑完成 16 路 422 总线数据的路由及内部路由。

2.1.5 DPRAM 存储器

分别用于 3 个数据源的数据缓冲,及数据描述块功能,描述块采用独立的两对,收发双方都采用查询方式实现数据的搬运。

2.2 总线桥数据流

整个 FPGA 逻辑方案中的数据流如图 3 所示。

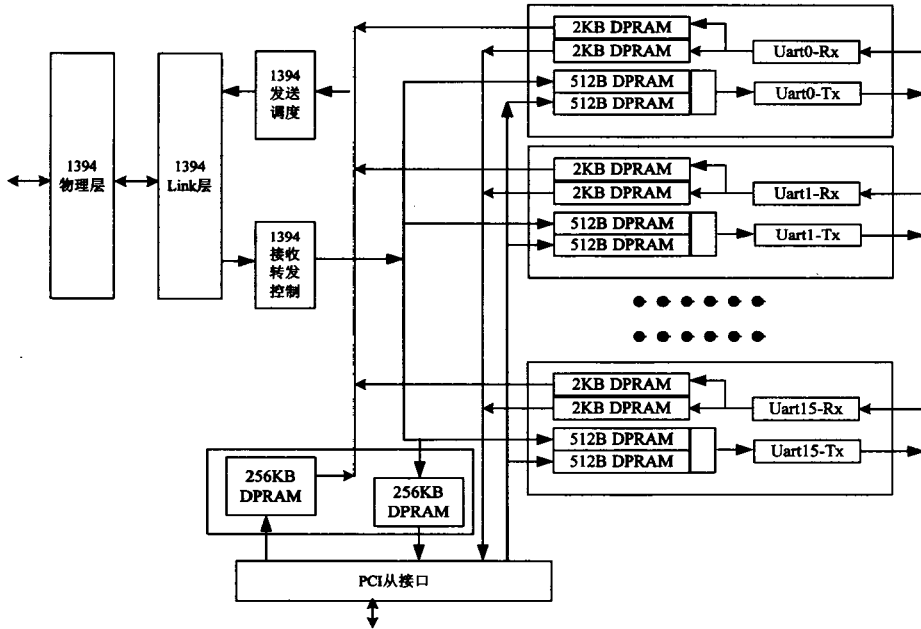


图 3 数据流示意图

2.2.1 1394 总线数据流

在该 1394 总线节点中,按照 AS5643 协议的要求,不使用等时资源管理器和周期开始包,发送接收都采用异步流包的形式实现。1394 总线数据以 50ms 为周期<sup>[6]</sup>。

其中,在 1394 总线上,只有一个节点作为 CC 节点来发送 STOF 包,在此 STOF 包只做同步使用,每个节点都有一个计数器,计数范围为 0 到 50ms,单位为 1us,采用 STOF 包和循环计数两种清理方式<sup>[7]</sup>。每个节点按照 STOF 时间偏移来进行 S100 速度下的收发消息,每个异步流包的最大包长为 512byte。

数据接收:

1394 总线在接收到异步流消息时会上报至 FPGA (该功能 1394 链路层芯片来实现),FPGA 从链路层芯片中获得 1394 总线接收到的数据<sup>[8]</sup>,然后存储至两个独立的缓冲区中,一个供 PCI 读取,另一个通过调度逻辑模块转发至 RS422 总线。

数据发送:

1394 总线在发送异步流消息时相对简单,当到达 STOF 发送偏移的时候,逻辑会顺序调度两个独立的需

要发送消息的缓冲区,从缓冲区中读取需要发送的消息数据,然后发送至 1394 链路层芯片,由 1394 链路层芯片来完成异步流消息的发送<sup>[9]</sup>。

2.2.2 422 总线数据流

数据接收:

16 路 422 总线数据周期为 50ms,数据包大小最大为 512 字节,而且 16 路数据基本同时到达,在数据包接收到时,接收控制逻辑去掉头尾同时把数据 PayLoad 存放到两个独立的缓冲区分别供 1394 和 PCI 读取,并分别维护两个接收队列(队列最大缓冲 4 个数据包),

16 路 422 数据采用同样的优先级,如图 4 所示。

数据发送:

422 总线发送数据采用两个独立缓冲区来发送来自 1394 总线和 PCI 总线的数据,缓冲区大小都为一个最大包长 512 字节,分别设置一组状态控制字用于信息交互。首先当 1394 总线有数据要发送给 422 总线时,逻辑要查询相应的有效位是否为 0,当为 0 时表示缓冲区为空,那么逻辑就将数据从 0 地址开始存放,完成之后填写有效标志和长度

;PCI 总线的数据采用同样的方式存放数据。

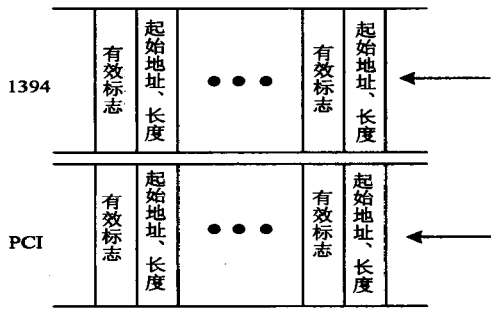


图 4 数据接收示意图

串口发送调度逻辑采用轮询的方式查询两组标志寄存器,当读到某个标志有效时则根据数据包的长度从 0 地址开始把数据发送出去,如图 5 所示。

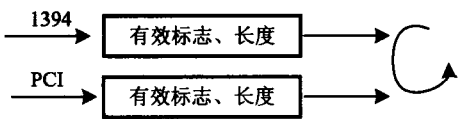


图 5 数据发送示意图

2.2.3 PCI 总线数据流

PCI 主机在接收数据时主要根据优先级配置采用

查询方式分别读取 1394 和 422 的数据状态信息来确定读取顺序,发送同样要维护几个数据信息状态,发送和接收过程如 1394 和 422 所描述。

3 总线桥的验证

3.1 测试平台介绍

待测设计是利用 FPGA 实现了 1394 总线与 RS422 总线桥功能,故本次仿真测试基于 1394 总线与 RS422 总线桥基本通讯的要求,通过设计 FPGA 不同接口的行为级功能模型,然后将这些功能模型和 FPGA 搭建起来,组成一个完整的测试平台,从而实现对 1394 总线与 RS422 总线桥的 FPGA 逻辑的仿真测试工作。仿真测试平台示意图如图 6 所示。

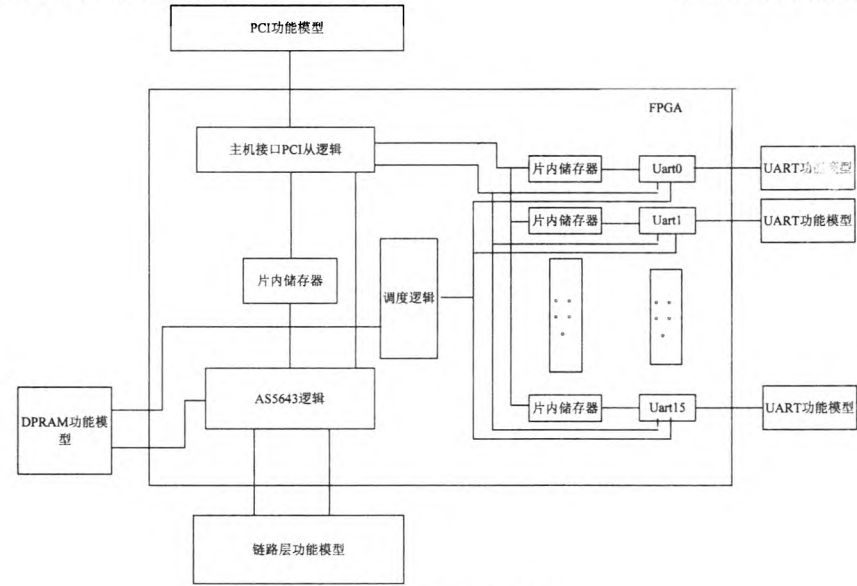


图 6 仿真测试平台

仿真测试平台共分为如下五部分：  
PCI 功能模型：模拟了 PCI 主机接口模块的功能，实现了 PCI 主机对数据 DPRAM、配置 DPRAM、AS5643 寄存器、LLC 寄存器的 32 位读写访问。例如在实现 RN 发送消息功能上，PCI 功能模型在 PCI 主机从接口模块的协同下，完成对发送存储区、发送配置表以及相应寄存器的填写，实现 RN 的发送操作。  
链路层功能模型：模拟了与 RN 相互通信的其他节点功能，主要包括链路层 DM 接口功能模块和链路层主机接口功能模块。其中链路层 DM 接口功能模块模拟了 DM 接口的时序信号，并对接收到的消息进行 VPC 校验。链路层主机接口功能模块模拟了主机接口的时序信号，负责将配置的消息存入 GRF 中，供 FPGA 读取<sup>[10]</sup>。  
UART 功能模型：模拟了 RS422 总线通讯行为的相关时序，模拟了 RS422 总线应有的寄存器，使模型能够模拟 RS422 总线上的接收和发送消息。  
DPRAM 功能模型：模拟了双口存储器的功能，负

责存储 FPGA 发送和接收的消息，为子系统主机和 1394 节点之间提供了数据交换的渠道。

FPGA 逻辑：FPGA 逻辑为本次测试的测试对象。

3.2 测试环境及相关工具

仿真平台的测试环境为：Windows XP，Bash，Makefile；

仿真测试工具为：QuestaSim 6.3d；

RTL 代码为：Verilog HDL；

测试代码为：Verilog HDL。

4 结束语

1394 总线与 RS422 总线桥的设计使得两条总线能够进行信息的交互，但是由于 1394 总线是一条高速的串行总线，最低的速率达到了 100Mb/s，最高速率达到 3.2Gb/s<sup>[11]</sup>，而 RS422 总线最高的速率只能达到 10Mb/s，所以两条总线在满负载的情况下通讯并不能达到期望的效果，暂时也没有找到更好的办法。但是在 S100 的情况下若只占有 1394 总线 1/10 的带宽，两条总线通讯是没有问题的。

参考文献：

[1] IEEE Std 1394-1995. IEEE Standard for a High Performance Serial Bus[S]. 1995.  
[2] IEEE Std1394a. IEEE standard for a high performance serial bus - amendment[S]. 2000.  
[3] 张大朴,王 晓,张大为,等. IEEE1394 协议及接口设计[M]. 西安:西安电子科技大学出版社,2004.  
[4] 李肇庆,朱险峰. IEEE1394 接口技术[M]. 北京:国防工业出版社,2004.  
[5] 胡 云. 对 IEEE1394 总线技术的研究[J]. 科学技术与工程,2007,7(3):299-302.  
[6] 龚东磊,胡继波. IEEE1394 高速串行总线及其应用[J]. 计算机工程,2002,28(11):237-239.  
[7] 海 盗. 划时代的 IEEE-1394[J]. 电脑,1997(9):14-15.  
[8] Anderson D. FireWire System Architecture[M]. 2nd ed. [s. l.]:Addison Wesley Longman Inc., 1999.  
[9] Bartholdy F. Performance Analysis of an IEEE 1394 Network[R]. [s. l.]:[s. n.], 2001.  
[10] 李世平,戴 凡,汪旭东. IEEE1394 系统原理与应用技术[M]. 西安:西安电子科技大学出版社,2004.  
[11] 国家标准. 信息技术高性能串行总线[S]. 北京:中国标准出版社,2003.

# 1394与RS422总线桥的设计与实现

作者: 郑斐, 田泽, 马宁, 李哲, ZHENG Fei, TIAN Ze, MA Ning, LI Zhe  
作者单位: 中国航空计算技术研究所, 陕西西安, 710119  
刊名: 计算机技术与发展   
英文刊名: Computer Technology and Development  
年, 卷(期): 2013, 23(7)

本文链接: [http://d.wanfangdata.com.cn/Periodical\\_wjfz201307065.aspx](http://d.wanfangdata.com.cn/Periodical_wjfz201307065.aspx)