

基于 STM32 与 FPGA 的导波激励源设计

靳小强,王建斌,李建增,敬人可

(军械工程学院 电气工程系,河北 石家庄 050003)

摘 要:基于 STM32 和 FPGA 设计了一种专门用来进行超声导波管道无损检测的信号发生器。该激励源由 STM32、FPGA、D/A 转换电路以及低通滤波电路组成。基于 DDS 基本原理,阐述了超声导波专用 DDS 模块设计方法,并给出了 STM32 与 FPGA 的接口电路、D/A 转换电路及滤波电路的设计方法。其中 STM32 为整个系统控制核心,主要负责送频率控制字,FP-GA 主要为了产生 DDS 波形。FPGA 输出的数字信号经 D/A 转换及低通滤波后即可得所需激励信号。实验结果表明输出的信号噪声小、精度较高、频率可调,能方便地用于管道超声导波检测。

关键词:STM32;FPGA;DDS;超声导波;激励信号

中图分类号:TP274

文献标识码:A

文章编号:1673-629X(2013)07-0211-04

doi:10.3969/j.issn.1673-629X.2013.07.054

Design of Excitation Source Circuit for Guided Waves Based on STM32 and FPGA

JIN Xiao-qiang, WANG Jian-bin, LI Jian-zeng, JING Ren-ke

(Department of Electrical Engineering, Ordnance Engineering College, Shijiazhuang 050003, China)

Abstract: A signal generator, used for exciting ultrasonic guided waves in pipeline is designed based on STM32 and FPGA. The excitation source consists of STM32, FPGA, D/A conversion circuit and a low pass filter circuit. Based on DDS, the design method of DDS module is elaborated. STM32 and FPGA interface circuit, D/A conversion circuit and the filter circuit are designed. STM32 is the central processor and primarily responsible for transmitting frequency control word. FPGA is mainly used to generate DDS waveform. The output data of FPGA are converted by a D/A, then go through low-pass filter, to get the needed signal. The experiment results show that the output signal is low noise, high precision and the frequency can be set as required. It can be conveniently used to ultrasonic guided wave detection in pipeline.

Key words: STM32; FPGA; DDS; ultrasonic guided waves; exciting signal

0 引言

超声导波检测技术是近年来新兴的无损检测技术,与常规的无损检测技术相比,具有检测速度快、距离长、成本低、效率高等优点,并且能对管道进行非接触式检测,是管道探伤的一个重要发展方向,其在工程上的应用日益受到广泛的关注^[1,2]。导波在传播过程当中存在着频散和多模态特性^[3-6],如果激励源选择不合适,会导致导波发生严重频散,这样就使回波信号变得十分复杂,给缺陷识别造成不良影响。

目前,导波激励源主要有下面几种实现方法。一种是利用多功能函数发生器,如 HP33120A,不过由于

HP33120A 存储长度有限,并且脉冲之间间隔短,进行长距离检测时脉冲之间将出现干扰,另外最高调制频率不高^[7]。二是利用高速单片机来控制 DA 芯片直接输出,简单方便,但精度较低,频率受限。另外就是用单片机控制 DDS 芯片实现,精度比较高,但通常只能产生某种特性波形,并且一般要两片以上的 DDS 芯片,价格比较贵。

本设计借鉴 DDS(Direct Digital Synthesizer)直接数字频率合成技术,基于 STM32+FPGA 设计出用于激励管道超声导波的激励信号源。实验表明,该激励源精度高,频率可调,使用方便。

收稿日期:2012-09-28

修回日期:2012-12-30

网络出版时间:2013-04-08

基金项目:军内科研项目(装司[2010]530号)

作者简介:靳小强(1987-),男,硕士研究生,主要研究方向为嵌入式系统与应用、超声检测;王建斌,副教授,主要研究方向为智能信息处理、无损检测。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20130408.1715.059.html>

1 DDS 基本原理

DDS 最早由美国学者 J. Tierney, C. M. Rader 和 B. Gold 于 1971 年提出,是一种由相位概念出发直接合成所需波形的全数字频率合成技术^[8,9]。其传统的频率合成技术相比,具有极高的频率分辨率、极快的变频速度,并且变频相位连续、相位噪声低,容易实现对输出信号的多种调制,功能扩展容易和全数字化便于集成,满足了现代电子系统的许多要求,因此发展十分迅速。DDS 技术是建立在采样定理基础上的,先对要产生的波形采样,并将采样值存入存储器作为查找表,而后经过查表方法读出数据,最后经过 D/A 转换器将数字量转换成模拟量,将存入数据重新合成出来。DDS 主要包括相位累加器、波形存储器、D/A 转换器及低通滤波器。在每一个时钟周期内, N bit 相位累加器累加一次,每次累加的量由频率控制字 K 决定,并同时时 2^N 取模运算,得到相位值对波形存储器进行寻址,从而输出与相位值相应的数字化波形幅值,再由 DAC 进行数模转换并通过低通滤波器进行滤波处理,即可实现量化幅值到平滑信号的转变。相位累加值大于 2^N 时将产生一次溢出,溢出频率即是 DDS 的输出频率。输出频率 f_{out} 可表示为:

$$f_{out} = (f_{clk}/2^N) \times K \quad (1)$$

当 K 为 1 时,DDS 有最小频率输出,DDS 最小频率分辨率为:

$$\Delta f = f_{clk}/2^N \quad (2)$$

DDS 的最大输出频率遵循奈奎斯特采样定理,其最大输出频率为时钟频率的一半,即 $f_{out} = f_{clk}/2$ 。不过实际中,DDS 的输出频率会受到杂散水平的制约,通常取值为: $f_{out} = 40\% f_{clk}$ 。要改变 DDS 的输出频率,只需改变频率控制字 K 。本设计中频率控制字取为 8 位。

2 系统总体设计

整个系统由 ST 公司的 32 位微处理器 STM32、Xilinx 公司 Spartan 3E 系列 FPGA、高速 DAC 及低通滤波器组成。本设计借鉴 DDS 技术,充分结合了 STM32 的优良控制特点及 FPGA 的高速、可编程等的优点。总体框图如图 1 所示。STM32 控制处理按键输入,由 LCD 进行显示,并将频率控制字传输给 FPGA, FPGA 产生的数字信号经 D/A 转换器转换为模拟信号,再通过低通滤波器后得到所需输出波形。

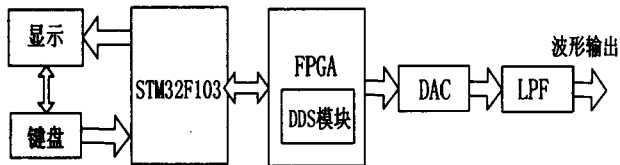


图 1 总体设计框图

3 DDS 模块的 Verilog HDL 设计

选择合适的导波模态,用窄带脉冲激励信号进行激发,可以有效抑制导波在传播过程中发生的频散现象,便于回波信号的分析与处理。在实际管道检测中,针对不同的管道,常常需要改变超声导波激励频率,以实现检测效果最佳化,一般将中心频率选在 60kHz ~ 360kHz 之间。管道超声导波检测用的激励信号源一般选用 10 个周期经汉宁窗调制的正弦波信号。汉宁窗函数 $w(n)$ 表达式如下:

$$w(n) = \begin{cases} \frac{1}{T}(\frac{1}{2} + \frac{1}{2} \cos \frac{\pi n}{T}) & |n| \leq T \\ 0 & |n| > T \end{cases} \quad (3)$$

若调制后信号为 $y(t)$, 正弦波信号为 $x(t)$, 则有:

$$y(t) = w(n) * x(t) \quad (4)$$

从 DDS 原理可以看出,DDS 精度由相位累加器位数 N 决定。 N 越大,DDS 频率分辨率越好,不过随 N 值增大,ROM 容量也会大幅增加。实际中,D/A 转换器位数 n 是确定的,一般使累加器位数 $N = n + 2$ 就可满足需要。本设计中 D/A 转换器为 12 位,累加器取为 14 位。本设计在借鉴 DDS 技术基础上,用 Verilog HDL 语言设计出了用于产生超声导波激励信号的 DDS 模块^[10,11]。

设单音频信号频率为 f_0 , DDS 输出频率为 f_{out} , 则 $T_{out} = 10 T_0, f_{out} = f_0/10$ 。本系统根据管道导波检测特点,将导波激励频率选在 60kHz ~ 360kHz 之间,则 f_{out} 应为 6kHz ~ 36kHz。为了达到 0.3kHz (单音频 3kHz) 分辨率并且减小失真,取样点数不该小于 120 点,而时钟频率需要大于 4.4MHz。把系统主时钟 50MHz 进行 10 分频,就得到了 5MHz 的 DDS 频率。

累加器模块对频率控制字进行累加,并把结果的低 14 位送给下一级寄存器。Accu 最高位 $sum[14]$ 是判断位,当其为 1 时,累加器将清零,实现一次脉冲发射。而后由一个计数器进行延时,使得每间隔 1ms 激励脉冲发射一次。采用 ROM IP 核定制生成 ROM 模块。若系统内添加多个不同周期的调制脉冲 ROM,就可实现激励源周期可调。

4 电路设计与实现

4.1 接口电路

STM32 与 FPGA 通过 FSMC 并行总线方式进行连接通讯,STM32 将 FPGA 当成外设进行读写操作,如图 2 所示。将 FPGA 挂在 FSMC 存储块 1 的第 4 个区域,因此基地址为 0x6c000000,使用了 16 根地址线和 16 根数据线,FPGA 数据线直接与 FSMC 数据总线低 16 位 FSMC_D0 ~ FSMC_D15 相连;同时将片选信号线 CS

连接至存储块 1 区域 4 的片选信号 FSMC_NE4;FPGA 读、写信号线则应分别与 FSMC 读控制信号线 FSMC_NOE 和写控制信号线 FSMC_NWE 相连;由于 STM32 微控制器的 I/O 端口除了用于通用的输入、输出外,还可以复用于外部中断功能,因此可将 FPGA 的中断信号线 INT 连接至 STM32F103ZET6 的 I/O 口,只需在程序中激活 I/O 口的复用功能即可。STM32 以中断方式处理按键输入,并将求得的频率控制字通过接口电路传输给 FPGA,FPGA 主要负责产生 DDS 波形数据,并将数据送 12 位高速 D/A 转换器(DAC902)转换成模拟量,最后经滤波处理得到输出波形。

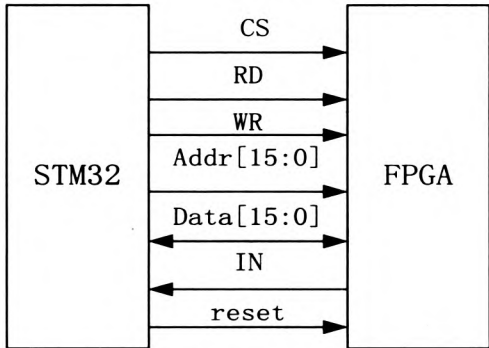


图 2 STM32 与 FPGA 连接图

4.2 DAC 与 LPF 设计

DAC 选用 TI 公司的 DAC902 高速芯片,12 位分辨率,165MSPS,为了达到±1V 最高幅值输出,将 DAC902 两个输出端 IOUT 和 IOUT接到差分放大电路(由 OPA680 构成)输入端。DAC 电路连接图如图 3 所示。

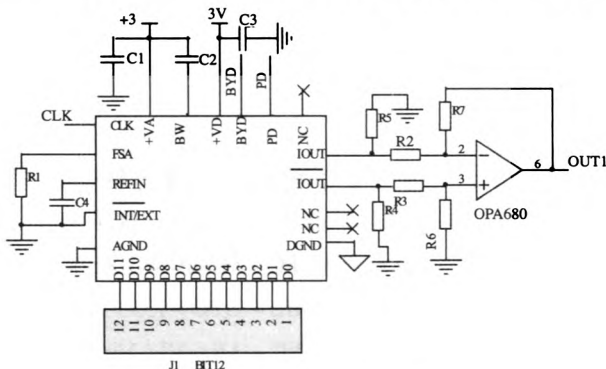


图 3 DAC 电路连接图

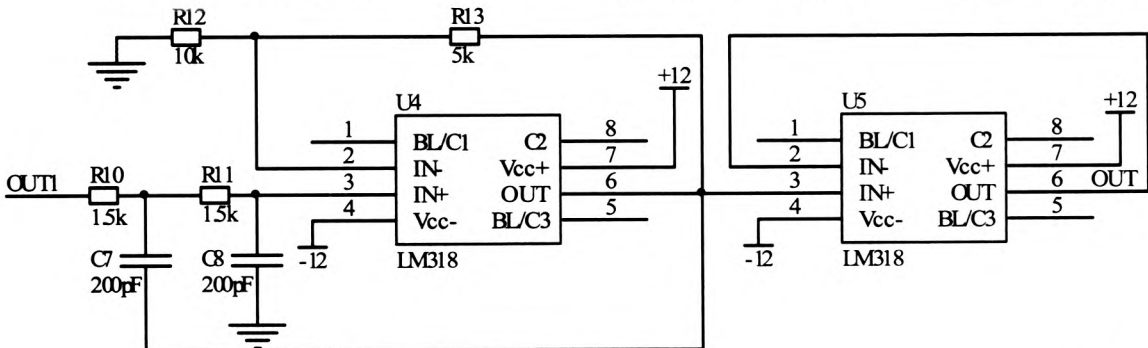


图 4 二阶压控电压源滤波电路

为了得到比较理想的激励信号,需要对输出信号进行滤波处理。滤波器由运算放大器 LM318 加必要元器件构成,如图 4 所示,其中,截止频率 $f_n = \frac{1}{2\pi RC} = 530\text{kHz}$,放大倍数 1.5 倍,电路最后增加了一级电压跟随器,以提高其带负载能力。

5 信号测试与分析

完成激励源设计后,要进行实验来测试其性能。系统加电后,使用按键在液晶屏上选择频率输入控件,并调节激励频率到 70kHz。使用示波器来采集与分析输出信号,得到的激励波形如图 5 所示。从图中可以看出,输出波形最高幅值可达 1.4V,窄带脉冲宽度约为 0.1ms。改变频率输入值,并对输出波形进行频谱分析,结果见表 1。以上数据表明,该激励源精度较高,频率可调,性能良好,满足了设计要求。

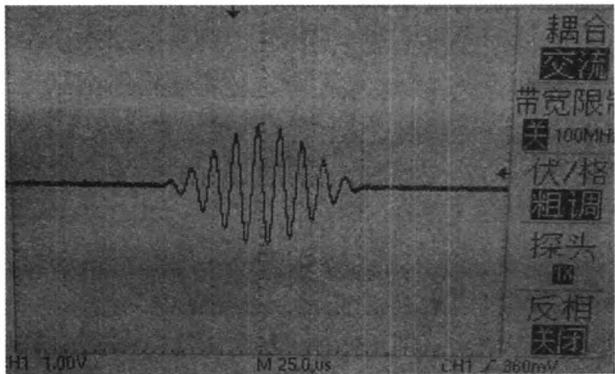


图 5 信号测试波形

表 1 输入值与测试值对比

输入值(kHz)	70	120	170	173	320
实测值(kHz)	69.78	120.44	170.79	172.40	320.91
误差(%)	0.31	0.37	0.46	0.35	0.28

6 结束语

基于 STM32 与 FPGA 设计出用于管道超声导波检测用的激励信号源,并进行了测试。其中 STM32 为整个系统控制核心,主要负责送频率控制字,FPGA 主要为了产生 DDS 波形。FPGA 输出的数字信号经 D/A

(下转第 217 页)

数据和状态,测试和分析 FC 网络。图 4 给出了多功能 FC 协议分析仪的软件结构,其具体设计另文描述,不作文中重点。

表 1 数据采集仿真模块寄存器说明

寄存器分组	内容
设备控制寄存器	包括软复位寄存器、设备状态寄存器、命令寄存器、中断控制寄存器、信号量寄存器、链路状态寄存器、端口锁定寄存器、显示刷新定时器、LED 控制寄存器等
捕获/触发控制寄存器	包括捕获定时器、帧/原语捕获使能寄存器、过滤使能寄存器、错误数据强制捕获寄存器、错误标示寄存器、缓冲区配置寄存器、停止捕获寄存器等
模板设置寄存器	FC 帧捕获/过滤条件模板设置寄存器 0~12(分别对应 SOF、FC-Header0、FC-Header1、FC-Header2、FC-Header3、FC-Header4、FC-Header5、FC-ASM_Header0、FC-ASM_Header1、FC-ASM_Header2、FC-ASM_Header3、payload 以及 EOF 字段)、FC 帧捕获过滤条件模板掩码寄存器等
注入控制寄存器	发送通道控制寄存器、注入次数寄存器、错误注入使能寄存器、帧内容模板寄存器等

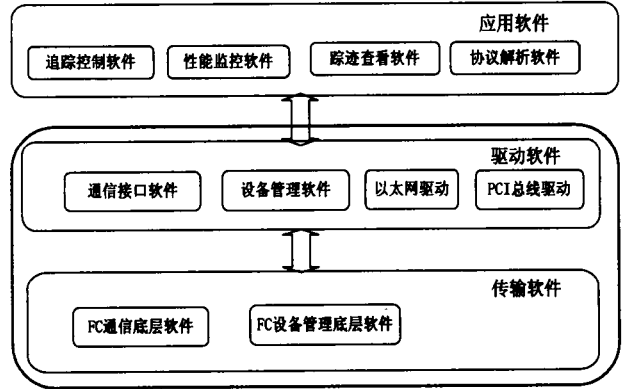


图 4 多功能 FC 协议分析仪软件架构

6 结束语

针对机载 FC 设备的研制对配套仿真测试及调试分析等配套设备的迫切需求,以及 FC 协议分析、仿真设备发展的滞后现状,提出了一种多功能 FC 分析仪的设计方案,以其核心部件——数据采集仿真处理模块为重点,详述了分析仪的系统架构以及硬、软件的实现。该分析仪具有便携、功能丰富、使用简便直观的特点,借助其强大的仿真、测试及协议分析功能,能够帮助系统工程师在较短的时间内研制、应用高质量的 FC 协议芯片或整机产品到航电网络,占据市场先机。

参考文献:

[1] ANSI. Fiber Channel Framing and Signaling-2 (FC-FS-2), Rev0.01[S]. USA:ANSI,2003.

[2] ANSI. Fiber Channel Physical and Signaling Interface (FC-PH),X3[S]. USA:ANSI,1994.

[3] ANSI. Fiber Channel Avionics Environment-Anonymous Subscriber Messaging (FC-AE-ASM),Rev1.2[S]. USA:ANSI,2006.

[4] 田泽,韩炜,蔡叶芳,等.基于 FC 接口的 SoC 软硬件协同设计验证平台构建与实现[C]//第十三届计算机工程与工艺会议论文集.西安:西北工业大学出版社,2009.

[5] Xilinx. LogiCORE™ Fiber Channel v2.1[M]. [s.l.]:Xilinx,2006.

[6] 田泽,侯锐.基于 FC 接口智能电源管理模块的设计[J].电脑知识与技术,2010,6(10):2449-2450.

[7] 黎小玉,田泽,王泉,等.基于 SoC_FC 芯片的电源管理系统设计与实现[J].计算机技术与发展,2010,20(8):247-249.

[8] 廖寅龙,田泽.FC 网络通信中 PCIe 的接口的设计与实现[J].航空计算技术,2010,40(4):127-130.

(上接第 213 页)

转换及低通滤波后即可得所需激励信号。实验结果表明,该信号发生器稳定可靠、精度较高。完善系统功能,实现周期数、幅值及信号宽度等参数均可调将是下一步工作重点。

参考文献:

[1] 周正干,冯海伟.超声导波检测技术的研究进展[J].无损检测,2006,28(2):57-63.

[2] 董为荣,帅建.管道超声导波检测技术[J].管道技术与设备,2006(6):21-23.

[3] 何存富,李隆涛,吴斌.超声导波在管道中传播的数值模拟[J].北京工业大学学报,2004,30(2):129-133.

[4] Rose J L,Zhao Xiaoliang. Flexural mode tuning for pipe elbow testing[J]. Material Evaluation,2001,59(5):621-624.

[5] Aristegui C,Lowe M J S,Cawley P. Guided waves in fluid-

filled pipes surrounded by different fluids[J]. Ultrasonics,2001,39(5):367-375.

[6] Lowe M J S,Alleyne D N,Cawley P. Defect detection in pipes using guided waves[J]. Ultrasonics,1998,36(2):147-154.

[7] 金传喜,武新军,夏志敏,等.导波检测用激励源的设计与应用[J].制造业自动化,2006,28(10):79-81.

[8] 蒋献丰,钱卫飞.基于单片机与 FPGA 的波形发生器[J].中国测试技术,2008,34(3):77-80.

[9] 曹郑蛟,滕召胜,李华忠,等.基于 FPGA 的 DDS 信号发生器设计[J].计算机测量与控制,2011,19(12):3175-3177.

[10] 王金明.数字系统设计与 Verilog HDL[M].第 3 版.北京:电子工业出版社,2009:285-286.

[11] 张轩硕,王建斌,王军阵,等.基于 SoPC 的超声导波激励信号发生器设计[J].电子技术应用,2011,37(7):82-85.

基于STM32与FPGA的导波激励源设计

作者：

靳小强，[王建斌](#)，[李建增](#)，[敬人可](#)，[JIN Xiao-qiang](#)，[WANG Jian-bin](#)，[LI Jian-zeng](#)，[JING Ren-ke](#)

作者单位：

[军械工程学院电气工程系, 河北石家庄, 050003](#)

刊名：

[计算机技术与发展](#) 

英文刊名：

[Computer Technology and Development](#)

年，卷(期)：

2013, 23(7)

本文链接：http://d.wanfangdata.com.cn/Periodical_wjfz201307054.aspx