

基于 UVM 实现时间同步电路的功能验证

王世中,田 泽,吴晓成,张荣华,王 治,王纯委

(中国航空计算技术研究所,陕西 西安 710068)

摘 要:时间同步电路模块是某款在研网络通信 SoC 芯片的核心 IP 之一,为通信网络子系统之间提供精准的时间同步功能,因此对其功能正确的验证具有重要意义。如果采用传统的定向测试方法对其验证将很难遍历到所有情况,而采用受约束的随机测试、基于覆盖率驱动的 UVM 验证方法学,能大量减小验证激励的开发项,有效穷举要验证的功能点。文中介绍了基于 UVM 验证方法学验证平台设计实现的过程,经过仿真验证和覆盖率的统计分析,证明采用该方法能高效地检查出设计的缺陷,减少了验证花费的时间。

关键词:UVM;覆盖率;寄存器模型

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2013)07-0183-04

doi:10.3969/j.issn.1673-629X.2013.07.047

Function Verification of Time Synchronization Circuit Based on UVM

WANG Shi-zhong, TIAN Ze, WU Xiao-cheng, ZHANG Rong-hua, WANG Zhi, WANG Chun-wei

(China Aeronautics Computing Technique Research Institute, Xi'an 710068, China)

Abstract:Time synchronization circuit module that is one important IP core of a developing network communication SoC chip provides precise time synchronization between the communication network subsystems, and therefore their correct functional verification has great significance. Using the traditional directional test method on its validation will be difficult to traverse all cases, and constrained random test, based-coverage driven UVM method, can reduce the test stimulus development, effective exhaustion to verify the function point. Introduce the verification platform process of design and implementation based on UVM verification methodology, through simulation and the coverage rate of the statistical analysis, prove that the method can effectively check the design defects, reduces verification time.

Key words:UVM; coverage rate; register model

0 引言

最近几年,随着超大规模集成电路制造工艺技术向 65nm、45nm、28nm、20nm 的进步,多核 SoC (MP-SoC) 出现,专用集成芯片设计发展到更高的一个阶段,设计复杂度的提高迫切需要在功能验证方面有新的技术和方法学^[1]。UVM 是继承 OVM,同时吸取其他如 VMM、ERM 等验证方法优点发展而来的新一代验证方法学,能满足大型复杂 SoC 设计的验证需求。目前该行业标准由 Accellera 组织负责维护和支持,许多 EDA 厂商如 Synopsys, Cadence, Mentor Graphics 均支持该方法学,并纷纷建立一套标准验证 IP 库 (VIP),以减少用户开发复杂 SoC 的验证精力和时间。

文中时间同步电路是在研某款通信网络 SoC 芯片中的重要组成部分,提供了整个网络通信系统之间

精准的时间同步功能,对其充分验证具有重要意义。如果采用传统的基于定向测试办法对该电路验证很难穷举到所有情况,如多源同步帧所有接口激励情况的模拟、寄存器接口跨时钟域处理存在时钟相位偏差造成获取的计时值难以实时反映时间同步电路计时情况,而采用受控随机激励,覆盖率驱动的 UVM 验证技术,能很好地解决这些困难。基于这个原因,该电路功能验证采用 UVM 验证方法学搭建验证平台,经过覆盖率统计和回归迭代,快速达到验证收敛要求,同时也证明了该电路功能的正确性。

1 概述

时间同步电路模块负责对接收到的多源时间同步帧进行解析,并更新自身时钟值,并为与其交互的其他

收稿日期:2012-12-29

修回日期:2013-03-31

网络出版时间:2013-04-18

基金项目:“十二五”微电子预研(51308010601);国防预研基金(9140A08010712HK6101);中国航空工业集团公司创新基金(2010BD63111)

作者简介:王世中(1983-),男,甘肃靖远人,助理工程师,研究方向为集成电路设计与验证;田 泽,博士,研究员,中航工业集团首席技术专家,研究方向为 SoC 设计方法学等。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20130418.1701.005.html>

模块提供当前时钟计时值。采样多源接口的输入时间同步帧数据,经过过滤优先算法处理,更新网络当前的时间同步计数值,同时也可以利用自身时间计时值同步整个通信网络系统时钟,其功能框图如图 1 所示。

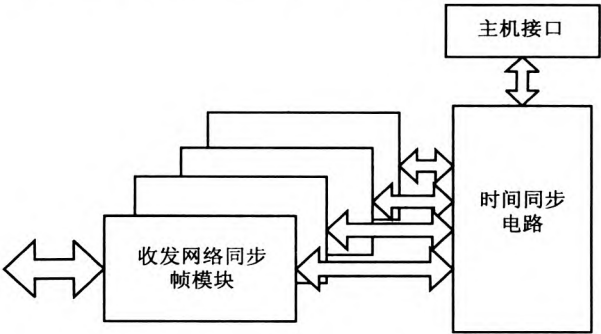


图 1 时间同步电路功能框图

2 UVM 验证平台的搭建

2.1 概述

本模块的验证是 RTL 级的功能验证,主要目的是确保时间同步电路设计与功能规范定义功能吻合^[2]。在时间同步电路外围搭建 UVM 验证平台,采用受约束的随机测试方法(CRT)将一个或者多个激励施加到时间同步电路的输入,最后通过输出进行自动比较,看结果是否正确,同时也要查看覆盖率是否达到了目标要求,如果没有达到,应该开发新的有效验证场景,通过迭代完成验证收敛^[3]。为了测量覆盖率,应首先进行验证策划。

2.2 验证策划

进行验证策划目的是提高时间同步电路验证的效率,验证策划内容包括制定仿真可执行的验证计划文件(vplan)、验证功能点和验证环境构建办法。验证计划文件源于时间同步电路功能规范,其包括代码覆盖率、要验证功能点的覆盖率和可执行的覆盖率模型定义,覆盖率目标要求均为 100%。通过追踪验证计划文件,有助于监控已经覆盖到的功能。将验证计划文件定义的多种覆盖率目标描述与仿真运行完后的覆盖率数据特性对比,找出覆盖上的盲区,然后修改现有激励或者创建新验证激励填补这些盲区,这样在更短的时间里验证尽可能多的情景,通过不断迭代整个过程,达到覆盖率要求,直接改善验证的完备性和效率^[4]。本模块验证功能点包括寄存器复位和读写、计时精度、模式、使能、微调等功能。平台采用 UVM 技术实现,使用的 UVM 库版本为 1.1c。

2.3 基于 UVM 的验证平台设计与实现

UVM 是基于 SystemVerilog 开发的一套开源类库,在继承了 OVM、VMM、ERM 等多种验证方法学优点基础之上发展而来的新一代验证方法学,UVM 库包括了

一系列的标准类,如 uvm_sequence、uvm_driver、uvm_sequencer、uvm_agent、uvm_env 等,通过对这些基本类进行继承与重载,结合 TLM 标准接口和 PHASING 机制,可构造出抽象的多层次验证平台。文中搭建的验证平台正是基于这些 UVM 类的继承而实现,其架构如图 2 所示。主要包括寄存器接口模型、同步收发帧模型、验证激励库。寄存器接口模型采用 UVM 寄存器模型机制实现,是本平台开发的最主要模型,此外激励和平台结构分离、验证组件间采用 TLM 标准接口,使整个平台具有灵活配置、可重用、可扩展升级等优点^[5]。

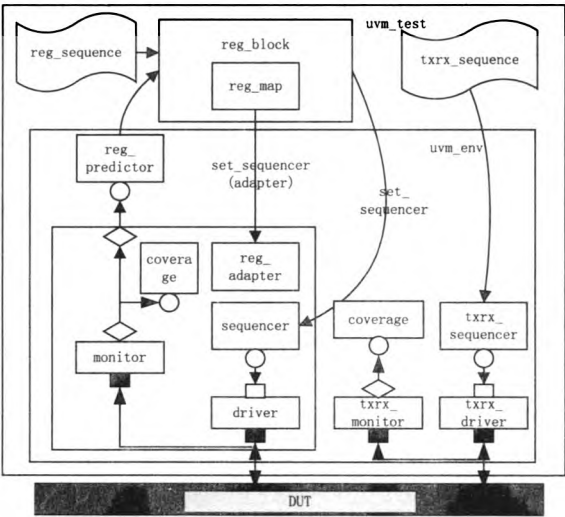


图 2 验证平台设计架构

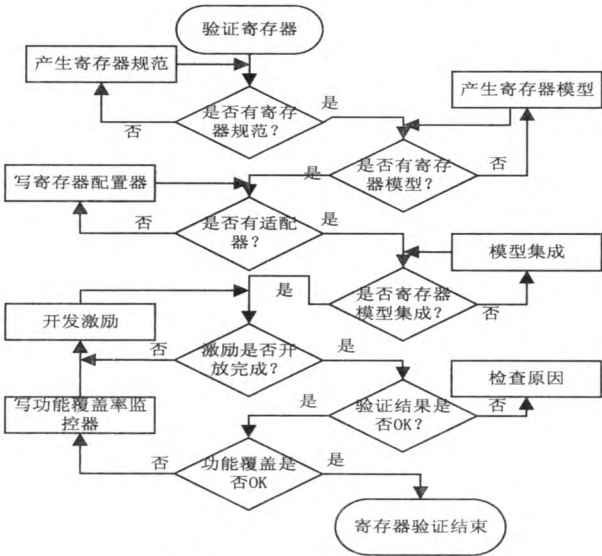


图 3 寄存器接口模型开发流程

a) 同步帧收发帧模型。

当发送时间同步帧时,同步帧收发功能模型模拟多种时钟源构造时间同步帧格式,将帧发送到网络时间同步电路模块;接收时钟同步帧时,同步帧收发功能模型解析时间值,检查时间同步值是否被更新或微调完成。

b) 寄存器接口模型与激励开发。

文中时间同步电路功能的实现基本依赖于寄存器来实现,因此重点要开发寄存器接口模型,其模拟主机接口完成时间同步电路的配置和查询功能,可以方便高效地产生验证激励,抽象地反应软硬件寄存器结构,提高激励的抽象层次。寄存器接口模型开发流程如图3所示^[6],首先根据时间同步电路功能规范产生寄存器模型,其次产生事务级与总线级相互转换的适配器,将寄存器模型和适配器集成到寄存器接口环境中,然后开发激励,判断验证结果是否正确,判断覆盖率是否达到要求。

时间同步电路计时模式寄存器模型其部分 IP-XACT 文件代码如下所示。其中,寄存器模型名字为 sytc,版本 1.0,描述的其中一个同步模式寄存器名为 sytc_mode,偏移地址为 0x0,位段大小 1'b0,访问方式可读写,复位值为 1。此代码文件将与其他文件最终可以转化为 UVM 寄存器模型集成到系统环境中^[7]。

```
...
<spirit:library> sytc </spirit:library>
<spirit:name>sytc_regmap</spirit:name>
<spirit:version>1.0</spirit:version>
<spirit:registerMap>
<spirit:name>sytc_mode</spirit:name>
<spirit:addressOffset>0x0</spirit:addressOffset>
<spirit:size>1</spirit:size>
<spirit:access>read-write</spirit:access>
<spirit:reset>
<spirit:value>0x1</spirit:value>
<spirit:mask>0x1</spirit:mask>
</spirit:reset>
...
```

为了支持寄存器模型,需要开发

主机接口总线寄存器适配器,执行 UVM 寄存器数据和主机接口总线协议的转换,包括了寄存器到接口总线的转换和接口总线到寄存器的转换。寄存器与接口总线的转换关键代码如下所述所示,接口总线与寄存器的转换刚好相反。

```
virtual function uvm_sequence_item reg2bus( const ref uvm_reg
_bus_op rw );
    sytc_seq_item bus = sytc_seq_item::type_id::create( "
bus" );
    bus.we = ( rw.kind == UVM_WRITE ) ? 0 : 1;
    bus.addr = rw.addr;
    bus.data = rw.data;
    return bus;
endfunction
```

协议主机接口模型开发较为简单,按时序要求实现 driver,按传输的事务实现 sequencer 组件,之后将其与寄存器模型、适配器、同步帧收发功能模型集成到整

个验证平台,进行验证激励的开发。在 UVM 中激励通过扩展 uvm_sequence 实现,且与平台分离,在 testcase 中启动相应的 sequence 就完成特定激励施加到 DUT 上的过程。

开发寄存器接口模型的优点之一是便于高效的开发激励,UVM 寄存器库提供了许多读写 API 方法,如 read/write、peek/poke、get/set、randomize、mirror 等,可以方便地利用这些高层次方法读写寄存器或存储器资源,将期望的寄存器配置施加到时间同步电路模块中。寄存器模型提供两种访问寄存器或存储器资源的方式,一种为前门(frontdoor)访问方式;另一种为后门访问方式^[5],其类似探针可以在仿真运行期间实时反映寄存器位段逻辑的情况。如图4所示采用前后门相结合的方式访问时间同步电路模块时间微调寄存器。第一次基于前门的写访问,接着在 68ns 处进行后门读访问;第二次同样为前门的寄存器写,在 100ns 时,后门读该寄存器值;第三次在 100ns 时后门写和读操作,图中箭头向下表示后面的数据 0000_ffff 并不是硬件逻辑的真实值,仿真的打印信息分别如下:

```
UVM_INFO @ 68000: reporter@ @ t_seq [ ] SyncR_offset_reg
value is = deadbeaf
UVM_INFO @ 100000: reporter@ @ t_seq [ ] SyncR_offset_
reg value is = aaaa
UVM_INFO @ 100000: reporter@ @ t_seq [ ] SyncR_offset_
reg value is = ffff
```

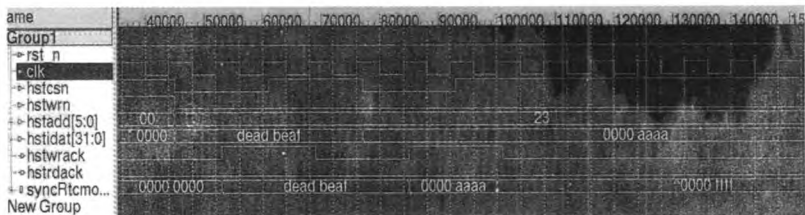


图4 前后门混合方式的寄存器访问

结合仿真波形图和打印信息,可以看到 UVM 寄存器前门访问需要消耗时钟周期数,后门访问方式不消耗时钟周期数,减小了仿真时间,这可以方便地用来验证时钟精度,方便的在覆盖率的监控器中使用来判断设计的状态,控制平台的执行。

UVM 寄存器模型内嵌了寄存器和存储器资源的访问 sequence 机制,如寄存器复位、寄存器和存储器读写等,并且自动判定结果,而无需编写大量的寄存器测试激励。对于复杂设计具有成千上万的寄存器,这种访问方式能大大减小工作量。该寄存器模型接口时序发生变化时也不需要更改高层次验证组件,能继续使用。

3 覆盖率统计与分析

在仿真验证用例运行完成后,进行回归测试并对

覆盖率进行统计,分析统计的覆盖率信息能度量所有的验证情景是否已经覆盖到,通过不断的开发激励运行仿真,直到验证计划文件中定义的功能点均得到 100% 覆盖,功能覆盖率和代码覆盖率达到目标覆盖率要求,这种方法也称为基于覆盖率驱动验证方法学^[8]。

功能覆盖率用来度量时间同步电路模块验证功能点的覆盖情况,也用于基于 DO-254 的需求矩阵追踪,本验证模块功能覆盖率均达到目标要求,满足验证收敛的条件,部分功能覆盖率建模及结果见表 1。

表 1 部分功能覆盖率建模及结果

功能覆盖率建模属性	采样时刻或事件	结 果
寄存器访问空间覆盖情况	寄存器模型发生读或写时采样	100% (8 个 groups, 3 个 cross coverpoint)
同步电路计时模式	寄存器模型发生读或写时采样	100% (1 个 group)
同步电路计时精度	模型采样值形成等差数列差值为 1 (单位) 时采样	100% (1 个 group)
同步电路时间更新	寄存器模型发生读的时候采样	100% (1 个 group)
多源同步优先算法	发送模型采样到时间更新时采样	100% (2 个 group)
同步电路计时器溢出情况	在接收模型接收到输出同步帧计时值为 0 的时候采样	100% (1 个 group)

回归测试后代码覆盖率的统计结果为,DUT 的总覆盖率为 98.84%,行覆盖率为 98.77%,条件覆盖率为 99.67%,翻转覆盖率为 99.08%,分支覆盖率为 97.83%。剩余未覆盖到的情况如 default 语句很难覆盖到,此外多个计数器高位翻转覆盖率较低,假如 1us 时间内接收一个同步帧,那么 32 位接收帧计数器位段 0 到 1 的完全翻转需要近 50 天(2^{32} us)的仿真时间,专门做这样的验证项以提高覆盖率是没有意义的,一般能计算 1000 个帧的情况就足以表明计数功能的正确性^[9,10],因此达到上述代码覆盖率百分比的情况可以认为满足了目标覆盖率要求。

4 结束语

文中采用基于覆盖率驱动的 UVM 验证方法学验证网络时间同步电路的功能,很容易地找出了设计的错误,并且覆盖率快速达到验证计划的要求,文中构建的平台结构对其他具有类似协议接口验证环境的开发很容易移植,同时也对其他复杂验证的开发环境具有借鉴意义。这些验证技术的运用显著提高了验证的效率,将在复杂 SoC 验证领域应用的越来越广泛。

参考文献:

[1] 赵 乾,俞慧月,史佳欢,等.一种 IP 核 AMBA 总线兼容性验证的通用方法研究[J].中国集成电路,2010(1):59-62.

[2] 克里斯·斯皮尔. Systemverilog 验证[M]. 张 春,麦宋平,译.北京:科学出版社,2009:2-3.

[3] 钟文枫. SystemVerilog 与功能验证[M]. 北京:机械工业出版社,2010:5-7.

[4] Spear C, Tumbush G. SystemVerilog for Verification[M]. 3rd ed. [s. l.]:[s. n.],2012:12-13.

[5] 钟文枫. OVM 实现了可重用的验证平台[J]. 电子工程专辑,2009(3):71-73.

[6] Allan G, Baird M, Edelman R. Mentor Graphics UVM/OVM Documentation Verification Methodology Online Cookbook [CP/OL]. 2012. <https://verificationacademy.com/cookbook/uvn>.

[7] Bergeron J, Cerny E, Hunter A, et al. Verification Methodology Manual for SystemVerilog[M]. [s. l.]:Springer,2006:351-352.

[8] Allan G, Chidolue G, Ellis T. Mentor Graphics UVM/OVM Documentation Verification Methodology Online Cookbook [CP/OL]. 2013. <https://verificationacademy.com/cookbook/Coverage>.

[9] Piziali A. Functional Verification Coverage Measurement and Analysis[M]. [s. l.]:Verisity Design, Inc.,2004:2-3.

[10] Bergeron J. Writing Testbenches Using SystemVerilog[M]. NY:Spinger,2006:10-11.

(上接第 182 页)

[3] Fiber Channel Avionics Environment - Anonymous Subscriber Messaging (FC-AE-ASM) [S]. American: American National Standards Institute,2006.

[4] 王红春. 基于 FC 的航电数字视频传输技术研究[J]. 计算机技术与发展,2010,20(5):250-252.

[5] 张 志,翟正军,李 想. 航空电子光纤通道协议分析与接口卡设计[J]. 测控技术,2010,29(2):99-101.

[6] 林 强,熊华钢,张其善. 光纤通道综述[J]. 计算机应用研究,2006(2):9-13.

[7] 刘 鑫,陆文娟. 光纤通道在航空电子环境的应用及关键技术研究[J]. 光通信技术,2006(6):55-58.

[8] 余胜生,赵玉峰,周敬利. Fiber Channel 主机适配器的研究与设计[J]. 小型微型计算机系统,2002,23(6):663-666.

[9] Xilinx. LogiCORE™ Fiber Channel v2.1[M]. [s. l.]:Xilinx,2006.

[10] 田 泽,韩 炜,蔡叶芳,等. 基于 FC 接口的 SoC 软硬件协同设计验证平台构建与实现[C]//第十三届计算机工程与工艺会议论文集. 西安:西北工业大学出版社,2009.

基于UVM实现时间同步电路的功能验证

作者：[王世中](#)，[田泽](#)，[吴晓成](#)，[张荣华](#)，[王治](#)，[王纯委](#)，[WANG Shi-zhong](#)，[TIAN Ze](#)，[WU Xiao-cheng](#)，[ZHANG Rong-hua](#)，[WANG Zhi](#)，[WANG Chun-wei](#)

作者单位：[中国航空计算技术研究所, 陕西西安, 710068](#)

刊名：[计算机技术与发展](#) 

英文刊名：[Computer Technology and Development](#)

年，卷(期)：2013, 23(7)

本文链接：http://d.wanfangdata.com.cn/Periodical_wjfz201307047.aspx