

# 电能计量芯片 Sigma-Delta ADC 降采样滤波器设计

秦 龙<sup>1</sup>, 陈光化<sup>1</sup>, 刘晶晶<sup>1</sup>, 曾为民<sup>2</sup>

(1. 上海大学 微电子研究与开发中心, 上海 200072;

2. 华润上华科技有限公司, 江苏 无锡 214028)

**摘 要:** Sigma-Delta ADC 精度高, 是电能计量芯片的首选 ADC。文中设计了一个应用于电能计量芯片中  $\Sigma-\Delta$  ADC 的数字抽取滤波器, 将  $\Sigma-\Delta$  调制器输出的串行比特流信号转换成多位并行输出。该抽取滤波器采样多级抽取结构, 由级联积分梳状滤波器 (Cascaded Integrator Comb, CIC), 半带滤波器 (Half Band Filter, HBF) 以及 FIR 补偿滤波器组成。对各级滤波器的阶数、系数进行优秀设计, 实现 128 倍的抽取。对 HBF 采用有符号正则数编码节 (CSD) 编码, 经优化设计后, 在 CSMC 0.18 $\mu\text{m}$  工艺下综合, 与传统方法相比, 面积减少 8%, 功耗降低 15%。实验结果表明: 该方法使抽取滤波器在面积和功耗上都有所改善, 且性能完全符合电能计量芯片设计要求。

**关键词:** Sigma-Delta ADC; 降采样滤波器; 级联积分梳状滤波器; 半带滤波器; 补偿滤波器

中图分类号: TP39

文献标识码: A

文章编号: 1673-629X(2013)01-0181-04

doi: 10.3969/j.issn.1673-629X.2013.01.045

## Decimation Filter Design of Electrical Energy Measurement IC Sigma-Delta ADC

QIN Long<sup>1</sup>, CHEN Guang-hua<sup>1</sup>, LIU Jing-jing<sup>1</sup>, ZENG Wei-min<sup>2</sup>

(1. Micro-electronics R & D Center, Shanghai University, Shanghai 200072, China;

2. Central Semiconductor Manufacturing Corporation, Wuxi 214028, China)

**Abstract:** Electrical energy measurement requires high accuracy, Sigma-Delta ADC meets it. It presents a decimator filter that can be used in electrical energy measurement IC for  $\Sigma-\Delta$  ADC, using this decimation will converted the Sigma-Delta modulator signal of the serial bit stream into a number of parallel. The filter consists of a CIC filter, a HBF and a FIR compensation filter. Optimize the order and coefficient to realize decimation ratio of 128. In implementation of HBF with CSD code, use CSMC 0.18 $\mu\text{m}$  process to synthesis and then found the area is less than 8%, and power dissipation is less than 15%, compared with convention method after optimization. Experimental results show the decimation filter has improved in the area and power, and performance in full compliance with the requirements of the energy metering chip.

**Key words:** Sigma-Delta ADC; decimation filter; cascaded integrator comb filter; half band filter; compensation filter

## 0 引言

智能电表 (smart meter) 作为智能电网的终端计量仪器, 不仅需要能够精确计量用户的用电信息, 而且还需各种通信功能, 如 RS485、红外、电力线载波等, 以实现自动化远程管理。因此, 智能电表在整个智能电网的建设中起着关键性作用。而对于智能电表的核

心——电能计量专用芯片 (Electrical Measurement Unit, EMU) 也提出了更高的要求。目前计量芯片的模数转换电路基本上都采用 Sigma-Delta 型, 而降采样滤波器是 Sigma-Delta ADC 的核心组成部分, 因此, 对降采样滤波器的研究具有十分重要的意义。

在 Sigma-Delta ADC 中, 功耗主要集中在降采样滤波器<sup>[1~4]</sup>。而滤波器的功耗主要由乘法器决定, 因此如何减少滤波器中乘法器的个数成为降采样设计的研究重点。文献[5]中 HOGENAUE 提出了级联积分梳状滤波器 (Cascaded Integrator Com, CIC), 由于 CIC 滤波器无须乘法运算, 因此与传统通过 FIR 滤波器直接降采样相比, 极大地降低了面积与功耗。然而当降

收稿日期: 2012-05-13; 修回日期: 2012-08-20

基金项目: 2011 年国家科技重大专项 (2011ZX02507)

作者简介: 秦 龙 (1986-), 男, 湖南双峰人, 硕士研究生, 主要研究方向为数字信号处理、数字通信; 陈光化, 副研究员, 主要研究方向为检测技术与信息处理、模式识别与智能系统。

采样率较大时,单级 CIC 滤波器却无法满足要求,且功耗也相对较大。文献[6]中提出了多级采样交换理论及多相原理从而降低乘法运算次数,该方法的难点在于多相因子的不确定性,且不同的多相因子得到的滤波器结构不一样,功耗也不一样。文献[7]中提出了串行算法实现 CIC 从而降低功耗,但串行方法不适合计量芯片中并行的数据处理。文中提出了一种级联抽取的方法,不仅结构简单,也易于实现,完全满足电能计量的需求。前级为 CIC 滤波器,后级为 HBF 滤波器,实现 128 倍的抽取。由于 HBF 只适用于 2 倍抽取,因此前级 CIC 降采样率为 64 倍。对 HBF 的非零系数采用有符号 CSD 编码,进一步减少了电路功耗。

## 1 CIC 滤波器原理及设计

CIC 滤波器的基本结构如图 1 所示,由积分级和梳状级级联组成。

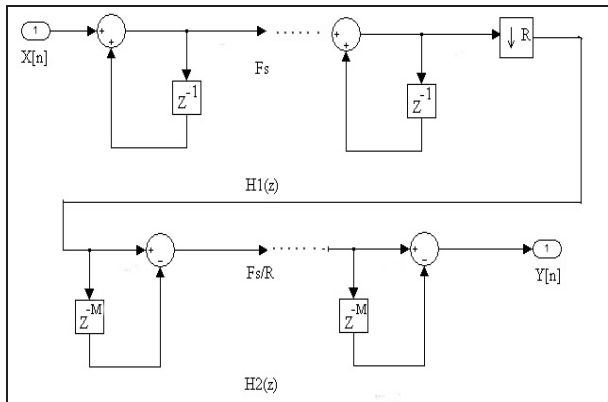


图 1 CIC 滤波器的基本结构

积分级采样频率为  $F_s$ , 它的传递函数:

$$H_1(Z) = \frac{1}{1 - z^{-1}} \quad (1)$$

降采样的倍数为  $R$ , 相对于积分级, 梳状级的采样频率为  $F_s/R$ , 它的传递函数:

$$H_2(Z) = 1 - z^{-MR} \quad (2)$$

其中  $M$  为延迟因子, 控制梳状级的频率响应, 在设计中,  $M$  的取值一般为 1 或 2。

假设 CIC 滤波器有  $N$  阶, 那么总的传递函数为<sup>[8~11]</sup>:

$$H(z) = H_1(z)^N \cdot H_2(z)^N = \left( \frac{1 - z^{-MR}}{1 - z^{-1}} \right)^N \quad (3)$$

幅值响应为:

$$|H(f)| = \left[ \frac{\sin \pi M f}{\sin(\pi f/R)} \right]^N \quad (4)$$

CIC 滤波器的优点是结构非常有规律, 由若干级积分级与梳状级级联组成, 且内部无须乘法运算, 因此, 在变速率系统中得到了广泛的应用。但随着降采样率的增加, 内部寄存器的宽度以及功耗将会成倍的

增加。电能计量芯片 Sigma-Delta 的采样频率为 1792kHz, 后续数字信号处理的频率为 14kHz, 因此, 在本设计中, 为了实现 128 倍的降采样, 采用了分级抽取的方法。降采样滤波器的总体框架如图 2 所示<sup>[12,13]</sup>。

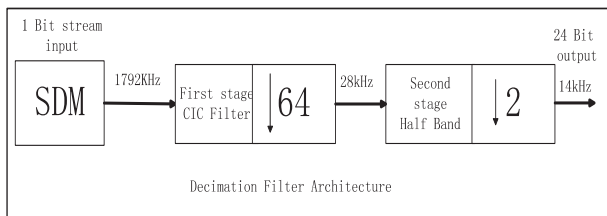


图 2 降采样滤波器总体框架图

由于  $\Sigma-\Delta$  为二阶调制器, 因此, 三阶 CIC 滤波器即可达得很好的抽取效果。假定延迟因子为 1, 则内部寄存器的长度  $L = (N * (\log_2 R) + 1)$  为 19bit。采样定点算法, 内部寄存器量化为 Sfix34. En15, 输出为 Sfix24. En23。由 CIC 滤波器的结构以及幅值响应公式可知, 当  $R$  足够大时, 信号通过 CIC 滤波器时, 幅值将会被放大  $[RM]^N$  倍, 此设计中为  $64^3$ , 因此, 需将 CIC 输出右移 18 位, 消除增益对信号的影响。图 3 为通过 MATLAB 仿真得到  $F_s = 1792\text{kHz}$ ,  $R = 64$ ,  $N = 3$  的归一化 ( $0 - 0.1$ ) 幅频特性曲线。

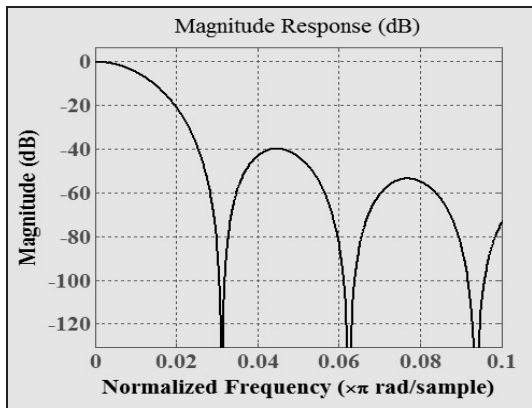


图 3  $CIC F_s = 1792\text{kHz}$ ,  $R = 64$ ,  $N = 3$  频率特性曲线 (归一化)

## 2 半带滤波器的设计

第二级的抽取滤波器用于衰减经过第一级梳状滤波器后混叠在基带内的信号分量和量化噪声分量。由于电能计量对信号有严格的线性相位要求, 所以必须采用 FIR 型滤波器。半带滤波器是一种特殊的线性相位滤波器, 它的偶数系数都为零 (中间位系数为 0.5), 因此其实现滤波的运算量与同样长度的其它线性相位滤波器相比减少一半, 这将进一步减小芯片面积、降低电路的功耗。

综合考虑芯片面积以及系统的频率响应, HBF 设定为 6 阶。考虑到正弦信号的高次谐波以及 CIC 补偿滤波器的通带频率, HBF 的通带频率设定为 2.5kHz。

由于 HBF 的系数值很少,量化精度不够将影响系统的传输特性,仿真到的系数采用 Sfix48. En47 Bit,内部乘法器采用 Sfix56. En55 Bit 可满足系统要求,而考虑到补码定点数加法有可能产生溢出,所以加法器量化为 Sfix56. En54 Bit。图 4 为通过 MATLAB 仿真得到的 HBF 幅频特性曲线。

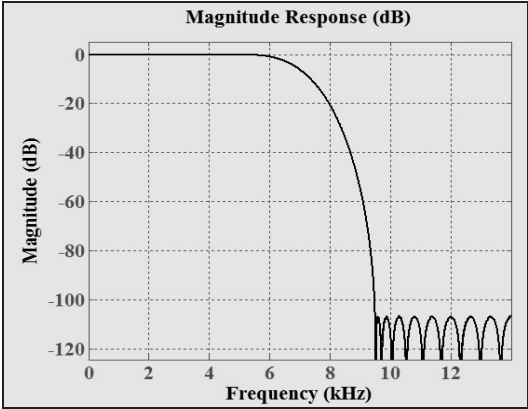


图 4  $F_s=28\text{kHz}$ ,  $P_s=2.5\text{kHz}$ , 6 阶半带滤波器幅频特性曲线

HBF 的运算包括乘法以及加法,而乘法运算的功耗最大。传统的乘法运算采用移位相加的原理,相加次数等于乘数中 1 的个数,因此减少乘数中 1 的个数即可降低乘法电路的功耗。CSD 编码正好满足这一要求,经过 CSD 编码后,将乘法系数中 1 的个数降到最低,从而减少加法(或减法)的次数。CSD 编码含三重值  $\{1,0,-1\}$ ,编码原则是从最低有效位开始,用  $100\dots 0(-1)$  来取代所有大于 2 的 1 序列。例如上述 HBF 中乘法系数  $b(3)=0.28847028573567002$ ,量化后  $b(3)=48'h24EC98258D1E$ (Sfix48\_En47),则对应的 CSD 编码  $b(3)=0+00+0+000-0-00+0+0-0000+0+0-0-00+0-0+00+000-0$ (“+”表示 1,“-”表示负 1)。 $x(n)*b(3)=-\left(x(n)<<1\right)+x(n)<<5+x(n)<<8-\left(x(n)<<10\right)+x(n)<<12+\dots+x(n)<<40+x(n)<<44$ ,因此,经 CSD 编码后,  $b(3)$  的乘法运算变成只有 10 次加法和 7 次减法运算,与传统的移位相加相比,减少了运算的次数,从而降低了 HBF 的功耗。

3 补偿滤波器的设计

从图 3 可以看出,CIC 滤波器幅频特性曲线在通带内并不平坦,在通带内信号被衰减。为了克服这一缺点,可加入补偿滤波器,它的幅频特性正好与 CIC 滤波器相反,完成对频率响应的补偿,从而扩展了系统的频率特性。

补偿的基本原理是使通带内信号的衰减为零。补偿滤波器的幅值响应与(4)式相反

$$|G(f)|=\left[MR\frac{\sin(\pi f/R)}{\sin\pi Mf}\right]^N\approx\left[\frac{M\pi f}{\sin(M\pi f)}\right]^N=|\sin^{-1}(M\pi f)|^N$$

(5)

当  $R$  足够大时,补偿滤波器的响应接近反 SINC 函数,因此补偿滤波器也称之为反 SINC 滤波器。

补偿滤波器一般可借助 MATLAB 仿真,再与 CIC 滤波器级联观察补偿后总的频率响应是否满足系统要求,从而得出补偿滤波器的参数。图 5 为图 3 中 CIC 滤波器加入补偿后的幅频特性曲线图。

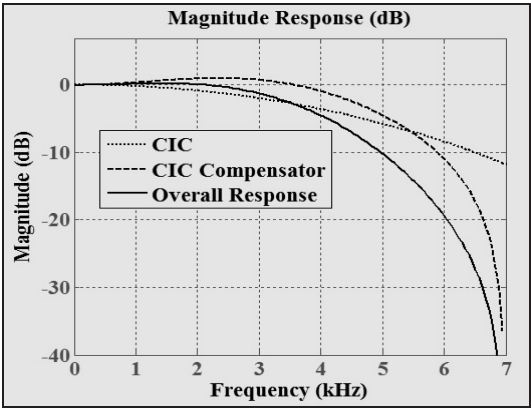


图 5 CIC,CIC Compensator 频率响应

在图 3 中,衰减点在 1kHz 左右,而从图 5 中可以看出,加入补偿滤波器后,衰减点出现在 2.5kHz 左右,因此,补偿滤波器可以很好地克服由于 CIC 滤波器在通带内幅值衰减的问题。

补偿滤波器的采样频率为 CIC 滤波器降采样后的频率( $F_s/R$ ),为了避免频率混叠,其截止频率的最大值为采样频率的一半: $F_c=(F_s/R)/2$ 。在实际应用中,为了得到更加理想的频率特性,截止频率一般设定为采样频率的四分之一,即  $F_c=(F_s/R)/4$ 。

4 实验数据以及结论

本设计针对电能计量芯片。Sigma-Delta 的采样频率为 1792kHz,数字电路工作时钟为 14kHz。CIC 滤波器的降采样率  $R=64$ 。根据经验,当 CIC 滤波器的阶数比 Sigma-Delta 调制器的阶数高一阶时可以达到较好的效果,因此,本 CIC 滤波器设定为 3 阶,延迟因子为 1。半带滤波器采样频率为 28kHz,通过 MATLAB 仿真,6 阶通带频率为 2.5kHz 可以满足系统要求。在实验过程中利用 Verilog HDL 语言,HBF 采样对称结构以及 CSD 编码,在 CSMC 0.18μm 工艺下综合,得到面积与功耗如表 1 所示。

表 1 CSD 编码与传统乘法相比面积与功耗值

	传统方法	优化后对称结构 以及 CSD 编码
面积(μm <sup>2</sup> )	11515	10577
功耗(μw)	119	101

## 5 结束语

本设计根据电能计量芯片的要求,对 Sigma-Delta 降采样滤波器进行优化设计。由于单级 CIC 滤波器在实现高倍降采样率时功耗大,效果不理想,因此,本设计对 128 倍的降采样进行分级抽取,前级采用 CIC 滤波器进行 64 倍抽取,后级采用半带滤波器实现 2 倍抽取。在 HBF 的实现过程中采用对称结构以及 CSD 编码,减少运算过程中乘法的次数以及乘法运算过程中移位相加次数,降低了电路功耗。与传统方法相比,经优化后,电路面积减少 8%,功耗降低 15%。

### 参考文献:

- [1] Ascari L, Pierazzi A, Morandi C. Low power implementation of a Sigma-Delta decimation filter for cardiac applications[C]//IEEE Instrumentation and Measurement Technology Conference. [s. l.]:[s. n.], 2001:750-755.
- [2] Nerurkar S B, Abed K H, Siferd R E, et al. Low Power Sigma-Delta Decimation Filter[C]//IEEE Midwest Symposium on Circuits and System. [s. l.]:[s. n.], 2002:647-650.
- [3] Abed K H, Nerurkar S B. Implementation of a Low Power Decimation Filter Using 1/3-Band IIR Filter[J]. IEEE Wireless Communications and Networking, 2003(1):460-465.
- [4] Chen Lei, Zhao Yuanfu, Gao Deyuan, et al. A Decimation Filter Design and Implementation for Oversampled Sigma-Delta A/D Converters[C]//IEEE Int. Workshop on VLSI Design & Video Tech. [s. l.]:[s. n.], 2005:55-58.
- [5] Hogenauer E B. An Economical Class of Digital Filters for

Decimation and Interpolation[J]. IEEE Transactions on Acoustics, Speech and Signal Processing, 1981, 29(21):155-162.

- [6] Cui Yingying, Huang Jie, Wu Lingjuan, et al. An Optimized Design for a Decimation Filter and Implementation for Sigma-Delta ADC[C]//IEEE International Conference on IEEE Electron Devices and Solid-State Circuits. [s. l.]:[s. n.], 2009:338-341.
- [7] 兰金保, 王 那, 张瑞涛, 等. 一种数字下变频抽取滤波器的设计[J]. 微电子学, 2011, 41(1):1-5.
- [8] 罗 燕, 唐 宁, 何颖子. 基于 Matlab 的 Sigma-Delta ADC 中抽取滤波器设计与分析[J]. 电声器件与电路, 2008, 32(11):16-19.
- [9] 郭来功, 欧阳名三, 赵泓扬. 应用于  $\Sigma-\Delta$  A/D 转换器的数字抽取滤波器设计[J]. 微形机与应用, 2010, 29(21):21-24.
- [10] 吴笑峰, 刘红侠, 李 迪, 等. 高精度  $\Sigma-\Delta$  ADC 中数字抽取滤波器设计[J]. 中南大学学报, 2010, 41(3):1037-1041.
- [11] 冯维婷. 多速率采样中的 CIC 滤波器设计与分析[J]. 现代电子技术, 2007, 30(14):18-20.
- [12] 许国威, 马胜前, 危淑平. 基于 LabVIEW 与 MATLAB 的自适应滤波器设计研究[J]. 计算机技术与发展, 2011, 21(1):226-229.
- [13] Koppula R M R, Balagopal S. Efficient Design and Synthesis of Decimation Filters for Wideband Delta-Sigma ADCs[C]//SOCC. [s. l.]:[s. n.], 2011:380-385.

(上接第 180 页)

为未来战略、战术的思想主流。联合作战必须具备战场上协同工作的能力,保证协同工作的基础就是网络化。作为网络化作战能力的基础,以体系结构框架为指导,充分考虑近期、中期和远期战略目标,采取分阶段实施、逐步验证、螺旋上升和可持续演进的策略,从装备、系统、能力、组织、条例等方面明确了具体实施的途径。

### 参考文献:

- [1] 曲爱华, 陆小龙, 陆 敏. 英国网络化作战能力与国防部体系结构框架[J]. 海军学术研究, 2009(8):12-16.
- [2] 夏文成. 2009 年世界各国网络战发展动态[J]. 外军信息战, 2010(1):22-27.
- [3] 罗爱民. 基于框架的 C4ISR 体系结构语法、语义设计与分析方法研究[D]. 长沙:国防科学技术大学, 2006.
- [4] 美国国防部体系结构框架(1.5 版)[R]. 中电集团第二十八研究所内部资料.
- [5] DoD Architecture Framework Working Group. DoD Architecture Framework Version 1.5 Volume I: Definitions and

Guidelines[R]. The United States: Department of Defense, 2007.

- [6] Sowa J F, John A. Extending and formalizing the framework for information systems architecture[J]. IBM Systems Journal, 1992(31):26-28.
- [7] Luis M, Rodriguez D. Executable Model Development from Architectural Description with Application to the Time Sensitive Target Problem[D]. U. S. A: Air Force Institute of Technology, 2005.
- [8] 刘东生. 美国国防部体系结构框架浅析[J]. 科技创新导报, 2010(26):254-256.
- [9] 赵洪伟, 邵超峰, 马丰文. 陆军网络中心战模型研究[J]. 计算机技术与发展, 2009, 19(8):172-174.
- [10] 王 磊, 罗雪山, 罗爱民. 面向服务的 C4ISR 体系结构服务视图描述框架[J]. 系统工程, 2009, 27(12):84-89.
- [11] 何频捷, 李 伟, 李玉龙, 等. 软件体系结构中接口连接规则研究[J]. 计算机技术与发展, 2008, 18(8):121-125.
- [12] 冯晓光, 魏江龙. 美国 DoDAF 对我武器装备系统发展的启示[J]. 装备制造技术, 2011(10):127-131.

# 电能计量芯片 Sigma-Delta ADC降采样滤波器设计



作者：[秦龙](#)，[陈光化](#)，[刘晶晶](#)，[曾为民](#)  
作者单位：[秦龙, 陈光化, 刘晶晶\(上海大学 微电子研究与开发中心, 上海 200072\)](#)，[曾为民\(华润上华科技有限公司, 江苏 无锡 214028\)](#)  
刊名：[计算机技术与发展](#)  
英文刊名：[Computer Technology and Development](#)  
年，卷(期)：2013(1)

本文链接：[http://d.g.wanfangdata.com.cn/Periodical\\_wjtz201301047.aspx](http://d.g.wanfangdata.com.cn/Periodical_wjtz201301047.aspx)