

一种高速 ZBT SRAM 控制器设计

姚志文

(中国空空导弹研究院,河南 洛阳 471009)

摘要: FPGA 已经在雷达领域得到了广泛应用,然而其内部存储容量通常无法达到系统需求,因此必须为 FPGA 配置外部高速存储器。本设计采用两片高性能 ZBT SRAM 作为乒乓缓冲区交替工作,最高访问速率可达 133MHz,使 FPGA 片外总存储容量达到 32Mbit,满足设计要求。由于 ZBT SRAM 具有特殊的访问时序,必须使用 FPGA 的内部数字时钟管理模块 DCM 对时钟的相位进行精确控制,同时还要使用时序约束高级设计技术调整控制器的输入输出延时特性,使该控制器能够顺利地在 FPGA 内部信号处理系统和 ZBT 芯片之间完成高速数据交换。经过上述优化设计,采用 VHDL 代码编写可综合代码完成布线,目前该控制器已经成功地在某雷达导引头信号处理机中获得应用,验证了其有效性。

关键词: ZBT SRAM;同步设计;时序约束

中图分类号: TP39

文献标识码: A

文章编号: 1673-629X(2012)10-0202-03

Design of a High-speed ZBT SRAM Controller

YAO Zhi-wen

(China Airborne Missile Academy, Luoyang 471009, China)

Abstract: FPGA has been widely used in radar domains. However, FPGA internal memory storages are often insufficient for system requirement. Therefore external memory becomes necessary. In this paper, 2 high-performance ZBT SRAMs were chosen as Pingpong buffer for FPGA, maximum access frequency attains 133MHz. And the total storages achieve 32Mbits, which is adequate for designed aim. Because of ZBT SRAM's special access timing, FPGA clock management modules have to be adopted to modify clock frequency and phase. Furthermore, to control FPGA I/O pad delay characteristic, advanced timing assignment tools were employed. So that designed ZBT SRAM controller can complete mass data exchanges between ZBT SRAM and FPGA internal module. Whole system was realized via synthesizable VHDL code, and implemented on Xilinx Virtex4 FPGA. Currently this design has been successfully used in certain radar missile signal processor, indicating its validity was verified.

Key words: ZBT SRAM; synchronous design; timing constraint

0 引言

随着性能的不断提高,数字信号处理系统中,现场可编程门阵列 FPGA 以其强大的性能、高度的灵活性、较低的开发成本等众多优势占据了越来越重要的地位。近年来,新一代的 FPGA 内部更是集成了包括 PLL、查找表、寄存器、块 RAM、DSP 运算块、微处理器核等诸多功能单元,足以完成片上集成系统 SOC 的开发^[1]。

在雷达领域中,随着现代信号处理算法复杂度的日益提高,而 FPGA 独有的并行运算特性使其性能超过传统 DSP 的数倍甚至数十倍^[2]。为达到较高的处理性能,多采用 FPGA 芯片完成各种复杂信号处理。

然而,雷达信号处理数据量巨大,而 FPGA 内部存储资源受限于制造工艺,在容量上无法满足要求,以 Xilinx 公司高端产品 Virtex4 系列中具有最强数字信号处理功能的 XC4VSX55 为例,其内部块 RAM 总容量也仅为 5760Kbit,即使再加上所有分布式存储资源,也不超过 6.2Mbit^[3]。而且,在实际运用中,其片内大部分存储资源还要用于实现各种数据信号处理算法,如 DDS、FIR 滤波、数据乒乓缓冲等均需占用不少存储资源。单纯使用 FPGA 片内 RAM 无疑不能满足雷达信号处理的要求,因此在 FPGA 片外配置外部存储器就成为必不可少的选择。

传统的片外存储器主要分成静态存储器(SRAM)和动态存储器(DRAM)两种,其中 SRAM 访问时间短、总线利用率高,但成本高,容量相对小。而 DRAM 访问时间较长,相对总线利用率也低,但成本低,容量也可以做得很大^[4]。综合考虑,针对某弹载雷达信号处理系统,采用高性能 SRAM 扩充 FPGA 存储容量是较

收稿日期:2012-02-22;修回日期:2012-05-24

基金项目:航空科学基金项目(20090180001)

作者简介:姚志文(1973-),男,河南西峡人,工程师,研究方向为雷达信号处理、嵌入式系统设计。

为合适地选择。

ZBT SRAM 则是传统 SRAM 的改进型,它消除了传统 SRAM 读写操作转换所需的切换周期,即所谓的零总线切换(Zero Bus Turnaround),使得其在任何操作模式下的总线利用率均可达 100%。具有无读写切换周期、访问速度快等众多优势,比传统 SRAM 性能更为优越^[5]。但 ZBT SRAM 的访问时序也较为特殊,且端口的建立保持时间比较严格,因此设计该控制器时必须精心控制各输入输出端口相对系统时钟的延时特性,从而使控制器与 ZBT SRAM 的时序相互配合,完成高速数据交换。使 FPGA 能进行大批量雷达信号处理,提高系统性能。

1 ZBT SRAM 控制器设计

ZBT SRAM 按操作时序不同又可分为 Pipelined 和 Flowthrough 两种类型,其中 Pipelined 的读写数据相比时钟有两个时钟的延时,而 Flowthrough 相对延时则为一个时钟周期。二者相比,Flowthrough 型最高工作频率低于 Pipelined 型,但读写操作更为简单。按照系统需求,Flowthrough 型 ZBT SRAM 已可满足要求。本设计使用两片 Cypress 公司的 CY7C1371C 型芯片作为片外乒乓缓冲区,总容量达到 32Mbit,其读写时序如图 1 所示:

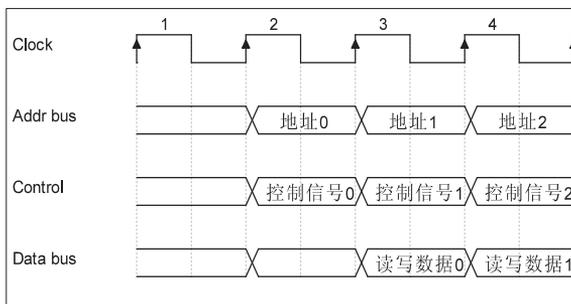


图 1 Flowthrough 型 ZBT SRAM 读写时序图

可以看出,Flowthrough 型 ZBT SRAM 的数据相对于地址和控制信号有一个时钟周期的延迟。此外,CY7C1371C 是一个全同步系统,其输入地址总线、读写控制信号、以及输入数据总线均在系统时钟 CLK 上升沿采样^[6]。按照数据手册,具体的建立、保持时间及输出延迟参考为:

输入信号建立时间:1.5ns

输入信号保持时间:0.5ns

数据输出有效相对于时钟上升沿延迟时间:6.5ns (133MHz 型器件)

可以看出:由于该 ZBT SRAM 芯片所有的信号均依赖于系统时钟 CLK,因此 ZBT SRAM 控制器必须提供一个高质量的时钟源,这可以通过 FPGA 内部的数字时钟管理模块实现,其内部包含有延迟锁相环组件

(DLL),使 FPGA 内部和 ZBT 使用完全相同的工作时钟,实现真正的系统同步设计。

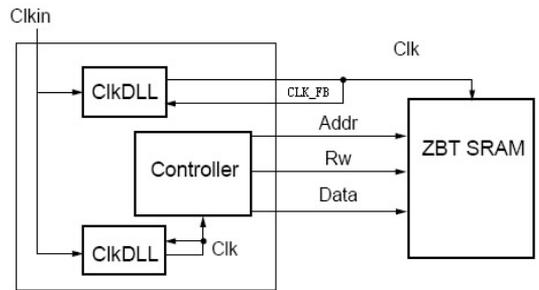


图 2 ZBT SRAM 控制器结构简图

整个控制器的结构简图如图 2 所示。可以看出,整个系统使用了 2 个 DLL 单元,二者接收同一个时钟,其中一组 DLL 输出时钟供给 FPGA 使用,另一组则输出时钟给 ZBT SRAM,该时钟同时还作为反馈端再输入到 DLL 中,以实现输出时钟与输入时钟的相位锁定。这样,采用了 2 个 DLL 模块,实现了外部输入时钟、FPGA 工作时钟、ZBT SRAM 工作时钟三者真正同源,且相位也完全一致,即系统同步设计。

控制器与 FPGA 主控模块和 ZBT SRAM 的主要接口信号如下。

与 FPGA 主控模块接口:

ui_addr:输入信号,19 位 ZBT SRAM 访问地址;

ui_write_data:输入信号,32 位待写入 ZBT SRAM 数据;

ui_rw_n:输入信号,低电平代表写操作,高电平代表读操作;

ui_read_data:输出信号,32 位 ZBT SRAM 输出数据。

与 ZBT SRAM 接口信号:

dq:双向 36 位数据总线信号;

addr:输出信号,19 位 ZBT SRAM 芯片访问地址;

rw_n:输出信号,低电平代表写操作,高电平代表读操作;

clk:输出信号,送往 ZBT SRAM 的同步工作时钟;

ce_n, oe_n:输出信号,芯片使能、输出使能,低电平有效。

由于本系统对工作频率要求较高,而在高速 FPGA 设计中,整个应用系统的最高工作频率由最大逻辑延时和最大布线延时决定,而前者又是决定工作频率的最重要因素^[7]。一般地,逻辑延时可以通过插入寄存器分隔逻辑减少,而且各子模块的输入、输出变量均采用时序型变量,输入变量在模块内部也先经过一级寄存器,这样在改善逻辑延时的同时,还能减少模块间走线延时,使工作频率最大化^[8]。

按照上述设计思路,控制器需要对各主要信号分

别寄存,也即 `addr_rw_n` 均比 `ui_addr/ui_rw_n` 信号延迟一个时钟周期,`ui_read_data` 也是 `dq` 信号经过一级寄存得到。这样,当向 ZBT SRAM 写入数据时,需要对 `ui_write_data` 作两级寄存,再送给 `dq` 双向数据总线,同样,当进行读操作时,当 `ui_rw_n` 有效后,需要经过 3 个时钟周期,相应数据才会出现在 `ui_read_data` 输出信号上。

各信号经过上述寄存处理后,相当于通过加入一级流水线将复杂的数据处理操作进行了有效分隔,使整个系统能工作在很高的时钟频率下。目前的设计足以满足 133MHz 下的数据存取。

而为了满足 ZBT SRAM 的建立保持时间要求,则需要在 ISE 中利用高级约束工具对输入输出信号进行约束。主要是 OFFSET 偏移约束,介绍如下:

建立保持时间约束:如果不考虑物理走线延时,FPGA 输出数据应该至少在时钟沿之前 1.5ns 将相关信号稳定下来,也即从时钟沿到 FPGA 有效数据输出延时最大不能超过 $11.1 - 1.5 = 9.6$ ns,再考虑到物理走线延时,及留有余量,可对其约束最大延迟 8ns^[9]。

输出延时约束:从 FPGA 端来看,ZBT 输出数据在时钟沿 6.5ns 后才有效,因此 ZBT 输出数据到 FPGA 内部寄存器输入端这部分物理延时不能大于 $11.1 - 6.5 = 4.6$ ns,再考虑余量,可约束为 4ns^[10]。

具体 UCF 约束摘取如下:

```
TIMESPEC TS_ui_board_clk = PERIOD "ui_board_clk" 7 ns HIGH 50% ;
```

```
TIMEGRP "Addr" OFFSET = OUT 8 ns AFTER "ui_board_clk" ;
```

```
TIMEGRP "Dq" OFFSET = OUT 8 ns AFTER "ui_board_clk" ;
```

```
TIMEGRP "RW_N" OFFSET = OUT 8 ns AFTER "ui_board_clk" ;
```

```
TIMEGRP "Dq" OFFSET = IN 4 ns BEFORE "ui_board_clk" RISING。
```

其中第一条语句对时钟进行周期约束,后面三条对 FPGA 输出端口的输出偏移作相应约束,最后一条则是对输入端口 `Dq` 作偏移约束^[11]。

2 FPGA 实现及验证

控制器主要核心模块内部结构设计如前所述,选用 Xilinx 公司的 Virtex4 系列 FPGA 芯片 XC4V5X55,采用 VHDL 编写可综合代码,在 ISE 10.1 环境下进行了综合及布局布线,占用芯片资源少于 1%,布线完成后,静态时序分析工具报告最高工作时钟可超过 200MHz,已远远超过了 CY7C1371C 芯片的最高工作频率,足以满足系统需求^[12]。

使用 ModelSim SE 6.2b 工具软件对该控制器进行了仿真,仿真结果表明,该控制器能够完成对 ZBT SRAM 读写操作,在 133MHz 的时钟频率建立、保持时间及数据延迟完全满足设计要求。该设计也已经经过了实际上板验证,证明可以在 133MHz 的时钟频率下完成 FPGA 与 ZBT SRAM 的数据交换,目前该控制器已经成功用于某弹载雷达导引头信号处理机中,证实了设计的有效性与正确性。

此外,为进一步提高该模块的通用性,将地址宽度和数据宽度均做成参数化,可支持任意大小的 ZBT SRAM,而且在时序已经经过验证后,即可通过 ISE 的 Floorplanner 工具对其进行区域约束,并做成固化 IP 核,这样可以任意嵌入到其它各类应用系统中,而且不需要进行重新布局布线,并能保证时序的正确性。

3 结束语

文中首先介绍了 ZBT SRAM 的特性,并给出了相关读写操作时序图,根据某弹载雷达导引头信号处理机的设计要求,为其 FPGA 芯片外扩 32MBit 的 ZBT SRAM,采用 VHDL 可综合代码编写了 ZBT SRAM 控制器,详细介绍了内部子模块的设计,为保证时序裕度,在输入级和输出级均插入了流水线,并给出了译码器仿真波形。通过相关时序约束使之满足 ZBT SRAM 的建立、保持时间要求。顺利地在 Xilinx 公司的 Virtex4 型 XC4V5X55 芯片上完成了布局布线,并已经通过了实际硬件验证,目前已经支持 133MHz 频率下的数据读写,达到了设计要求。

参考文献:

- [1] 刘永恩. 基于 SOPC 的软硬件协同设计[J]. 无线电通信技术, 2009(2): 20-24.
- [2] 方超. FPGA 在弹上信息处理机中的应用[J]. 电子产品世界, 2009(4): 44-46.
- [3] Xilinx Corp. Virtex-4 Family Overview[EB/OL]. 2010. <http://www.xilinx.com/datasheet/Virtex4.htm>.
- [4] 成立,王振宇,高平. DRAM 芯片的最新研制进展与发展趋势[J]. 半导体技术, 2004(4): 1-4.
- [5] 陈兴耀,王振华,田金文,等. 高速遥感图像压缩系统 ZBT SRAM 控制器的设计[J]. 微电子学与计算机, 2005, 22(3): 46-50.
- [6] CYPRESS. CY7C1371C ZBT SRAM DATA Sheet[EB/OL]. 2010. <http://www.cypress.com/datasheet/>.
- [7] 王嘉良,赵曙光. 用 FPGA 实现 PCI-E 接口和 DMA 控制器设计[J]. 计算机技术与发展, 2011, 21(6): 18-20.
- [8] 刘浩森,卞树檀,朱守保. SDRAM 控制器简化设计[J]. 电子设计工程, 2011(19): 52-54.
- [9] 李文星,樊晓桢,安建峰. ARINC659 航空总线监控器的设

物体对应子物体的状态也会发生相应变化,例如场景当中的角色运动,如果角色身上背有防毒呼吸装置,此时就可以把防毒呼吸装置设置为角色的子物体,当角色的运动发生变化时,防毒呼吸装置的运动就不需要再进行设置,可以自动产生运动状态变化。注视约束是指一个物体在运动过程中的法线始终朝向一个物体,一个方向,这种约束通常用在摄像机运动过程中,使摄像机在运动过程中始终朝向一个物体,即把该物体设置为摄像机的目标朝向点,这样就可以使该物体始终出现在视觉范围的中心,方便形成摄像机动画。交互式控制不仅体现在人机控制方面,而且体现在整个系统流程的约束上面。

3 虚拟人骨骼动作建模和虚拟手控制

3.1 虚拟人骨骼动作建模

在系统中实现了虚拟人动作,如:人物跑动,人物原地挥手等^[10]。虚拟人的三维模型和动作运用 3DSMAX 及其自带的 BIP 骨骼动画工具来制作。通过参数的调节确定骨骼的基本状态。动作实现运用“关键帧”方法。打开骨骼的时间轴,调整每一帧骨骼的动作。为了使骨骼的动作看起来更加的稳定和准确,利用 3DSMAX 中提供的复制工具对相同的和对称的动作进行复制^[11]。这种方式也在一定程度上减少了制作骨骼动画程序的工作量。

制作的骨骼动画一定要是骨骼运动的一个周期,并将时间轴上剩余的帧数去掉,否则当导入 Virtools 时会有动作不连贯的情况发生。并且,需要通过 3DSMAX 提供的运动混合器对一个或多个动作进行裁切与调整。动作建立好后具有一定的独立性,可以将其运用到任何一个基础骨骼模型上。

3.2 虚拟手控制

在场景中引入虚拟人后,为了避免出现虚拟人操作中对场景中某些物体造成遮挡,在系统设计中引入了虚拟手的模型,用虚拟手操作工具更加灵活,效果逼真。对虚拟手的控制要充分考虑手形^[12]。同一种类型工具的操作动作基本相似,其使用的手形也相似,因此需要对系统中所使用的工具进行分类,如分为阀门类、锤类、螺丝刀类、钳类等。

4 结束语

文中将虚拟现实技术应用于油田仿真培训中,利用 3DSMAX 和 Virtools 软件开发平台设计并实现了油田仿真培训系统。该系统虚拟场景逼真,培训功能齐全,用户可以进行多视点、多场景的浏览,让用户有身临其境的感觉。系统提供了演示、操作演练和考评三种培训模式,以及交互式菜单和三维实体的交互式操作两种人机交互方式,引入了虚拟人和虚拟手的模型及控制技术。

本系统在实际应用中得到了用户的好评,其开发模式和实现方法为今后此类系统的开发提供了有益的参考,具有较强的推广和应用价值。

参考文献:

- [1] 吴向东. 论虚拟现实技术在博物馆的应用[J]. 中小企业管理与科技, 2008(7):11-11.
- [2] 廖 聪. 基于 X3DVRML 实时交互虚拟现实展馆定制系统的研究[D]. 广州:广东工业大学, 2009.
- [3] Ottosson S. Virtual reality in the product development process [J]. Journal of Engineering Design, 2002, 13(2): 159-172.
- [4] 李从信, 吴秀芹, 刘铁良. 视景仿真技术在油田井下作业中的应用研究[J]. 系统仿真学报, 2005, 17(2): 195-206.
- [5] 贺越生, 卢晓军, 李 焱. 一个面向维修工程的虚拟人素分析系统软件框架[J]. 计算机仿真, 2006, 23(4): 265-268.
- [6] 王武礼, 王延江, 李瑞民. 基于虚拟现实技术的钻井仿真系统设计[J]. 计算机技术与发展, 2011, 21(9): 171-178.
- [7] Sayers H M, Wilson S. Navigational tools for desktop virtual environment interfaces [J]. Virtual Reality, 2004 (7): 131-139.
- [8] 刘明昆. 三维游戏设计师宝典-Virtools 开发工具篇[M]. 成都:四川电子音像出版社, 2005.
- [9] 张占军, 程行甫, 柳 平, 等. 电台三维虚拟维修仿真系统的研究[J]. 计算机技术与发展, 2011, 21(2): 250-253.
- [10] 王松山. 虚拟维修仿真中人的行为表示[J]. 系统仿真学报, 2005, 17(2): 507-512.
- [11] 董朝云. 大众健美操虚拟教学系统的设计与实现[D]. 成都:四川师范大学, 2010.
- [12] Tu Xiaoyuan. Artificial Animals for Computer Animation: Biomechanics, Locomotion, Perception and Behavior [D]. Toronto: University of Toronto, 1996.

(上接第 204 页)

- 计[J]. 计算机测量与控制, 2012, 20(1): 91-94.
- [10] Datta A, Bhunia S, Choi J, et al. Speed binning aware design methodology to improve profit under paravariations [C]// IEEE Proc. of Annu. on Design Autom. . [s. l.]: [s. n.], 2006: 712-717.
 - [11] Agarwal A, Chopra K, Blnaw D, et al. Circuit optimization u-

- sing statistical timing analysis [C]//IEEE Proc. of Annu. Conf. on Design Autom. (DAC). [s. l.]: [s. n.], 2005: 321-324.
- [12] Lin Y, Hutton M, He L. Placement and timing for FPGAs considering variations [C]//IEEE Proc. Int. Conf. on Field Program. Logic Appl. . [s. l.]: [s. n.], 2006: 1-7.

一种高速ZBT SRAM控制器设计

作者: [姚志文](#)
作者单位: [中国空空导弹研究院, 河南 洛阳471009](#)
刊名: [计算机技术与发展](#)
英文刊名: [Computer Technology and Development](#)
年, 卷(期): 2012(10)

参考文献(12条)

1. [刘永恩. 基于SOPC的软硬件协同设计](#) 2009(02)
2. [方超. FPGA在弹上信息处理机中的应用](#) 2009(04)
3. [Xilinx Corp. Virtex-4 Family Overview](#) 2010
4. [成立;王振宇;高平. DRAM芯片的最新研制进展与发展趋势](#) 2004(04)
5. [陈兴耀;王振华;田金文. 高速遥感图像压缩系统ZBT SRAM控制器的设计](#) 2005(03)
6. [CYPRESS. CY7C1371C ZBT SRAM DATA Sheet](#) 2010
7. [王嘉良;赵曙光. 用FPGA实现PCI-E接口和DMA控制器设计](#) 2011(06)
8. [刘浩森;卞树檀;朱守保. SDRAM控制器简化设计](#) 2011(19)
9. [李文星;樊晓桢;安建峰. ARINC659航空总线监控器的设计](#) 2012(01)
10. [Datta A;Bhunia S;Choi J. Speed binning aware design methodology to improve profit under paravariations](#) 2006
11. [Agarwal A;Chopra K;Blneau D. Circuit optimization u-sing statistical timing analysis](#) 2005
12. [Lin Y;Hutton M;He L. Placement and timing for FPGAs con-sidering variations](#) 2006

本文链接: http://d.g.wanfangdata.com.cn/Periodical_wjz201210053.aspx