

应用于北斗卫星通信系统的低噪声放大器设计

杨 阳,张 瑛

(南京邮电大学 电子科学与工程学院,江苏 南京 210003)

摘 要:北斗卫星导航系统由我国自主研发,其研制目的是为了在日益严峻的世界环境下巩固我国的军事实力。北斗射频接收芯片是北斗卫星导航系统中整个地面端设备的核心,因此,关于射频接收机芯片的研发工作具有十分重要且实际的意义。文中在基于窄带低噪声放大器理论的基础上,采用 TSMC 0.18 μm CMOS 工艺设计了一种应用于北斗通信系统中的低噪声放大器。放大器采用改进的单转双电路结构,并通过缓冲级电路对差分信号的幅度和相位偏差进行了有效的校正。实验结果表明该电路在 2.45GHz~2.55GHz 频带内输入回波损耗小于-28dB,噪声系数小于 1.1dB,功率增益大于 15dB,电压增益高于 32dB。

关键词:低噪声;放大器;单转双;缓冲级

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2012)09-0213-04

Low Noise Amplifier Used in Beidou Navigation Satellite System

YANG Yang,ZHANG Ying

(College of Electronic Science and Engineering,Nanjing University of Posts and Telecommunications,
Nanjing 210003, China)

Abstract:The Beidou satellite navigation system is independently developed by China,its development purpose is to consolidate Chinese military strength in an increasingly grim world environment. The Beidou RF receiver chip is the core of the entire ground-side equipment of the Beidou satellite navigation system,therefore the RF receiver chip's R&D work has important practical significance. Design a low-noise amplifier for Beidou (COMPASS) navigation satellite system based on the theory of narrow-band low noise amplifier by using TSMC 0.18 μm CMOS process. The amplifier uses the improved single to differential circuit structure,and through effective buffer stage circuit corrects the differential signal amplitude and phase deviation. The experimental results show that the circuit in 2.45GHz~2.55GHz band,the input return loss is less than -28dB,noise figure is less than 1.1dB, power gain greater than 15dB,voltage gain higher than 32dB.

Key words:low noise;amplifier;single to differential;buffer stage

0 引 言

低噪声放大器(Low Noise Amplifier,LNA)是射频接收机前端的主要部分,它位于接收机的最前端,所接收的信号是微弱的小信号,并且伴随着较强的干扰信号,因此系统对低噪声放大器的噪声和线性度性能要求均较高。此外,低噪声放大器一般直接与天线或天线滤波器相连,其输入阻抗必须实现良好的匹配以实现有效的功率传输^[1~3]。

近年来,随着亚微米、深亚微米和纳米 CMOS 技术日趋成熟,其性能在射频段内已具备了与 GaAs、Si 双极工艺竞争的能力;同时,凭借着成本低、集成度高、功耗小的优势,CMOS 射频集成电路(RFIC)已成为国

际上研发的热点^[4~7]。对于高频段电路,目前在设计上为了实现对信号的单转双,较多的还是考虑采用片外巴伦,但是采用片外巴伦一方面会引入功率损耗另一方面也会引入额外的噪声。在近几年国内外对于片内单转双电路进行了较多的研究^[8~10],已经实现了片内单转双,提高了系统整体的性能,也使得电路集成度进一步提高。

文中采用 TSMC 0.18 μm CMOS 工艺,设计了一款适用于北斗通信系统的低噪声放大器。该电路工作电压为 1.8V,在 2.45GHz~2.55GHz 频带内输入回波损耗小于-28dB,噪声系数小于 1.1dB,功率增益大于 15dB,电压增益高于 32dB^[11]。

1 LNA 电路设计

1.1 单转双低噪声放大结构设计

图 1 所示电路为所设计的窄带单转双低噪声放大

收稿日期:2012-02-09;修回日期:2012-05-13

基金项目:江苏省高校自然研究面上项目(11KJB510019)

作者简介:杨 阳(1987-),男,江苏盐城人,硕士研究生,研究方向为射频集成电路设计;张 瑛,讲师,研究方向为集成电路设计。

器,该电路结构由两个单独的放大器组成:M1 和 M3 构成单端 cascode 结构的窄带低噪声放大器,通过 L_g 和 L_s 阻抗匹配实现选频;M2 和 M4 构成单端 cascode 结构的低噪声放大器,用于实现另外一路反向以及等幅的输出信号。其中电容 CP 和 M2 管的 C_{gs2} 构成分压网络,可以通过调节 CP 的电容值调节 M2 输入信号的强度,进而可以改善输出电压的幅度平衡。

由于文中设计的电路结构,电路输入阻抗匹配以及电路的噪声主要由 M1 和 M3 构决定,因此以下篇幅将着重对 M1 和 M3 所构成的窄带放大器进行讨论。

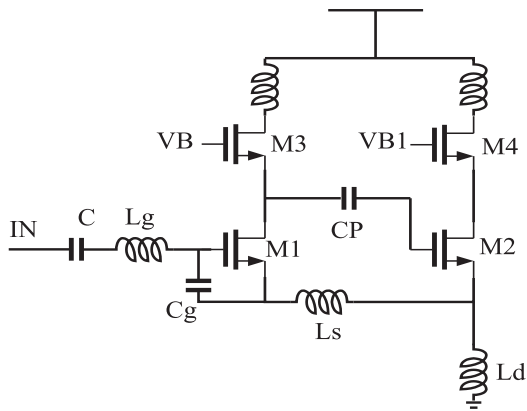


图 1 单端输入差分输出低噪声放大器

M1 和 M3 构成经典电感源简并结构 (Inductively Source Degeneration), 电感源简并结构因其噪声系数小、增益高等优点而在 CMOS 低噪声放大器设计中得到广泛应用。对其输入阻抗匹配以及增益等的特性做出如下分析。

放大器的输入阻抗^[12]为:

$$Z_{in} = s(L_g + L_s) + \frac{1}{sC_{gs}} + \frac{g_m}{C_{gs}}L_s + R_g \quad (1)$$

为了使输入阻抗与电源内阻匹配,需满足:

$$R_{in} = \frac{g_m}{C_{gs}} \cdot L_s; \omega_0^2 = \frac{1}{C_{gs}(L_g + L_s)}$$

这里 ω_0 是载波频率,单位是 rad/s。

在输入阻抗匹配的前提下,分析输入口的 Q 值,定义为 Q_L ,其结果如下:

$$Q_L = \frac{1}{R_s C_{gs} \omega_0} \quad (2)$$

在输出谐振的情况下,分析电路的等效负载,其中负载电感的 Q 值设为 Q ,输出阻抗的值如下所示:

$$R_L \approx \omega_0 \cdot L \cdot Q$$

通过上述的一些分析,可以得出在输入阻抗匹配以及输出谐振的情况下电路整体的电压增益表达式:

$$AV = Q_L \cdot g_m \cdot R_L = \frac{g_m}{\omega_0 R_s C_{gs}} \cdot R_L = \frac{\omega_r}{\omega_0 R_s} \cdot R_L \quad (3)$$

从式(1)中可以得出,通过调整 L_g 、 L_s 与 C_{gs} 的值

能够使电路得到 50Ω 输入阻抗。并且该结构可以在工作频率一定范围内达到较好的匹配效果。

以上分析了低噪放的输入匹配以及增益的一些表达式,以下主要分析 M1 和 M3 构成电感源简并结构的噪声性能,在本论文所设计频段主要考虑由 M1 管所引入的热噪声和栅噪声画出该低噪声放大器的小信号噪声等效模型^[13,14],如图 2 所示。

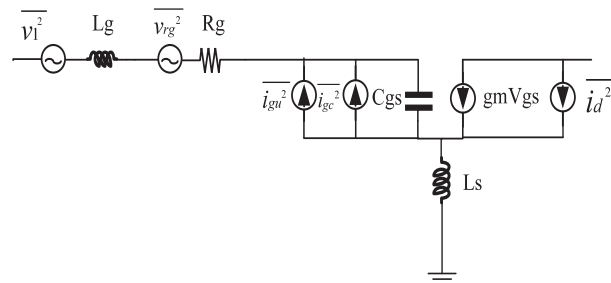


图 2 噪声计算小信号模型

由图 2 的等效电路,得到噪声系数的表达式:

$$F = 1 + \frac{R_1}{R_s} + \frac{R_g}{R_s} + \frac{\gamma}{\alpha} \frac{X}{Q_L} \left[\frac{W_0}{W_r} \right] \quad (4)$$

式中:

R_1 为电感 L_g 寄生电阻, R_g 为栅极电阻。

$$\chi = 1 + 2 |c| Q_L \sqrt{\frac{\delta \alpha^2}{5 \gamma}} + \frac{\delta \alpha^2}{5 \gamma} (1 + Q_L^2) \quad (5)$$

由式(3)可知增加 Q_L 可以增加电路增益,但是由式(4)和式(5)可知有一个最佳 Q_L 的值可以使电路有最小噪声系数,因此当偏置电流一定时,要选择合适的 MOS 管的宽长比设计出满足电路设计要求的指标的电路。

1.2 buffer 的结构设计

图 1 采用电感负载,处于谐振点时负载阻抗可等效为一实性电阻 R_L ,通过上述分析可知在理论上在谐振点输出的两路信号相位相反且幅度平衡。但是由于在高频段引入寄生电容和电阻效应,实际两路输出信号并不能完全实现相位相反以及幅度平衡。

为了进一步改善信号输出的幅度和相位平衡,可在低噪放后增加一级 buffer,电路结构如图 3 所示。

●考虑相位偏差时:

$$V_{in} = a \sin(\omega t) \quad (6)$$

$$V_{ip} = -a \sin(\omega t + \sigma) \quad (7)$$

两路输出信号的大小分别为:

$$V_{on} = \frac{g_m \cdot R_L}{g_m \cdot R + 1} \cdot \left(\frac{a \sin(\omega t + \sigma) - a \sin(\omega t)}{2} \right) + g_m \cdot R_L \cdot \left(\frac{a \sin(\omega t + \sigma) + a \sin(\omega t)}{2} \right) \quad (8)$$

$$V_{op} = \frac{g_m \cdot R_L}{g_m \cdot R + 1} \cdot \left(\frac{a \sin(\omega t + \sigma) - a \sin(\omega t)}{2} \right) + g_m \cdot R_L \cdot \left(\frac{-a \sin(\omega t) - a \sin(\omega t + \sigma)}{2} \right) \quad (9)$$

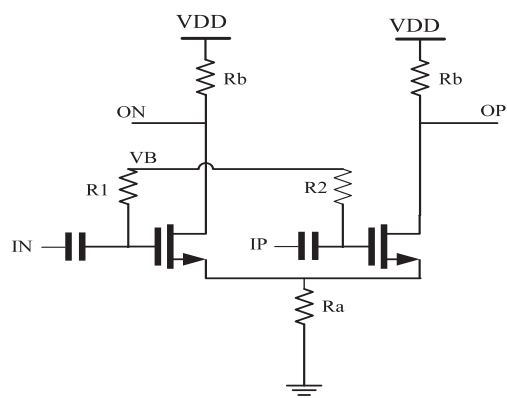


图3 buffer 电路结构

由式(8)和式(9)可得：

$$-\frac{V_{on}}{V_{op}} = \frac{(g_m * R + 2) * a * \sin(wt + \sigma)}{(g_m * R + 2) * (a) * \sin(wt)} \rightarrow$$
$$\leftarrow \frac{+g_m * R * \sin wt * (a)}{+g_m * R * \sin(wt + \sigma) * a} \tag{10}$$

设 $\cot \alpha = \frac{(g_m * R + 2) * a * \cos \sigma + g_m * R * a}{(g_m * R + 2) * a * \sin \sigma}$

$$= \cot \sigma + \frac{g_m * R * a}{(g_m * R + 2) * a * \sin \sigma}$$

设 $\cot \chi = \frac{(g_m * R + 2) * a + g_m * R * a * \cos \sigma}{g_m * R * \sin \sigma * a}$

$$= \cot \sigma + \frac{(g_m * R + 2) * a}{g_m * R * \sin \sigma * a}$$

若 $\sigma < 90$ 度,则 $\sin \sigma > 0$;
 $\Rightarrow \cot \chi > \cot \alpha > \cot \sigma$
 $\Rightarrow 0 < \chi < \alpha < \sigma$;
最终相位差为 $\alpha - \chi < \sigma$;

由上述可知,增加的该 buffer 电路可降低差分信号的相位差。

●考虑幅度偏差时：

$$V_{in} = a \sin(wt)$$

$$V_{ip} = -a \sin(wt + \sigma) \tag{11}$$

$$-\frac{V_{on}}{V_{op}} = \frac{(g_m * R + 2) * a * \sin wt}{(g_m * R + 2) * (a + v) * \sin(wt)} \rightarrow$$
$$\leftarrow \frac{+g_m * R * \sin wt * (a + v)}{+g_m * R * \sin(wt) * a}$$

$$= \frac{(2g_m * R + 2) * a + g_m * R * v}{(2g_m * R + 2) * a + (g_m * R + 2) * v} < \frac{a + v}{a};$$

由上述可知,增加的该 buffer 电路可降低差分信号的幅度差。

综上所述,增加的该 buffer 电路可进一步改善单转双低噪放输出的两路差分信号的相位以及幅度平衡。

2 仿真结果

文中设计采用 TSMC 的 0.18um CMOS 工艺库,采用 cadence 软件进行电路仿真。仿真在温度为 25℃、输入端口阻抗 50 欧姆、输出口负载为下一级 MIXER 提供的阻抗---3k 欧姆,以及 1.8V 电源电压环境下进行。

图4为该低噪放的噪声系数仿真值。由图可知在 2.45G~2.55GHz 的频带内,噪声系数小于 1.1dB。

图5为S参数。由图可知在 2.45G~2.55GHz 的频带内,功率增益 S21 高于 15dB;输入口的反射系数 S11 小于-28dB。

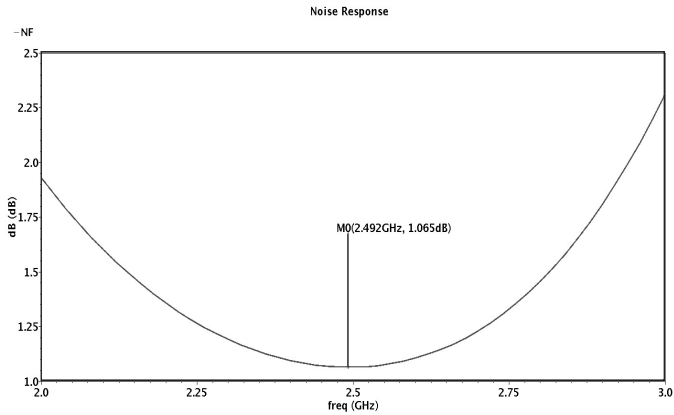


图4 噪声系数

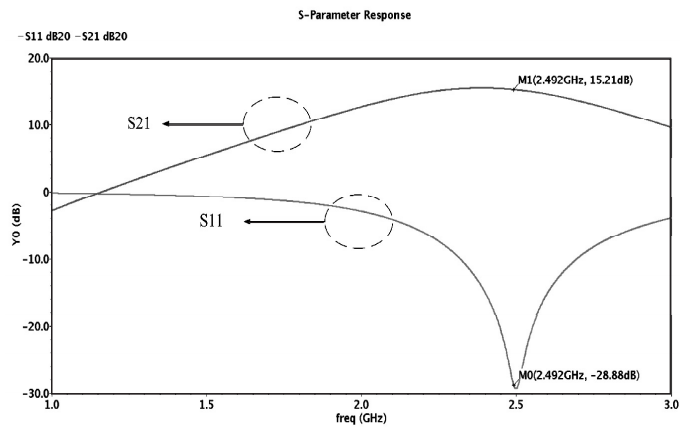


图5 S参数

为了便于比较,表1同时列出了文中仿真结果与近年其他 LNA 论文中相近频率仿真结果。从中可以看出,文中设计的 LNA 各项指标均衡合理,总体性能优良。

3 结束语

文中采用 TSMC 0.18 μm RF CMOS 工艺,设计实现了工作在 2.4GHz CMOS 全集成射频前端电路的低噪声放大器电路,该低噪放电路可实现单端到差分的变换,避免了片外巴伦的使用。此外,在 1.8V 电源电压下,在 2.45GHz~2.55GHz 频带内,该低噪放电路输

入回波损耗小于-28dB,噪声系数小 1. 1dB,功率增益大于 15dB,电压增益高于 32dB。

表 1 电路性能指标及与其它设计的比较

参数	本设计	文献 [4]	文献 [13]	文献 [14]	文献 [5]	文献 [8]
工艺/ μm	0. 18	0. 25	0. 35	0. 09	0. 18	0. 18
频率/GHz	2. 492	2. 4	2. 2	2. 4	2. 47	2. 45
NF/dB	1. 1	1. 35	1. 87	2. 56	2. 0	1. 956
S11	-28. 88	-20. 3	-13	-12. 66	-10. 62	-30
S21	15. 21	17. 0	10	22. 1	18. 9	20. 058
OP1dB/dBm	/	/	/	/	-13. 2	-17. 1
Vdd	1. 8	2. 5	1. 8	1	1. 5	1. 8
功耗/mW	9	16. 0	16. 2	12. 9	6. 45	22. 4

参考文献:

[1] 杨国敏,肖高标. 射频低噪声放大器电路结构设计[J]. 电子测量技术,2006,29(1):1-2.

[2] 殷 蔚. 0. 65 V 3mW CMOS 低噪声放大器设计[J]. 现代电子技术,2007(15):1-2.

[3] 王志功,陶 蕤. 我国第一块工作频率高于 2GHz CMOS 射频集成电路研制成功[J]. 高技术通讯,2000(9):1-3.

[4] 丘 聪,叶甜春,范 军. 2. 4GHz 可变增益 CMOS 低噪声放大器设计[J]. 固体电子学研究进展,2010(1):1-3.

[5] Razavi B. Design of Analog CMOS Integrated Circuits[M]. New York:McGraw-Hill,2001.

[6] 黄 伟,庄海孝,马成炎,等. 应用于双频 GPS 接收机的

CMOS 低噪声放大器设计[J]. 微电子学与计算机,2010(12):1-3.

[7] 王良坤,马成炎,叶甜春. 2. 4GHz CMOS 低噪声放大器设计[J]. 微电子学,2008,38(2):262-264.

[8] Gil I, Cairo I, Sieiro J J. Low-power single-to-differential LNA at S-band based on optimized transformer topology and integrated ESD[J]. IET Journals on Electronics Letters,2008,44(3):198-199.

[9] Choi J, Im D, Lee K. A Self-tuned Balun-LNA with Differential Imbalance Correction and Blocker Filtering[J]. Microwave and Wireless Components Letters,IEEE,2011,21(12):673-675.

[10] Lai Dengjun, Chen Yingmei, Wang Xiaodong, et al. A CMOS Single-differential LNA and current bleeding CMOS mixer for GPS receivers[C]//IEEE Conferences on Communication Technology (ICCT). [s. l.]:IEEE,2010:677-680.

[11] 齐 凯,蔡 理. 2. 45 GHz 0. 18 μm 全差分 CMOS 低噪声放大器设计[J]. 微电子学,2009(6):1-4.

[12] Razavi B. RF Microelectronics[M]. 北京:清华大学出版社,2003.

[13] Deen M J, Chen C H, Cheng Y. MOSFET Modeling for Low Noise, RF Circuit Design[C]// IEEE CICC 2002. [s. l.]:[s. n.],2002.

[14] Enz C, Cheng Y. MOS Transistor Modeling for RF IC Design[J]. IEEE Transactions on Solid-state Circuits,2000,35(2):186-201.

(上接第 212 页)

PID 控制的跟踪效果有一定的优势,并且 PID 参数可以自行进行整定,使得工程实际应用更加便捷^[12]。

4 结束语

将神经网络理论应用到传统 PID 领域,既能够充分利用神经网络较强的自主学习功能,又能够体现传统 PID 控制器在结构上和控制性能上的特点。它能够学习和适应系统的动态特性,显示了很强的鲁棒性和容错性,系统的控制性能在很大程度上得到了改善。通过 MATLAB 进行仿真分析,结果表明:应用 BP 神经网络理论设计的 PID 控制器与常规的 PID 控制相比较具有较高的控制品质。

参考文献:

[1] Demore L A, Andrianos N P, Peterson R A. Design study for a high accuracy three-axis test table[C]//AIAA Guidance, Navigation and Control Conference. [s. l.]:[s. n.],1985.

[2] 陈道炯,单世宝,宫赤坤,等. 基于神经网络 PID 控制的系统非线性校正的研究[J]. 仪器仪表学报,2006,27(7):715-719.

[3] 朱 玲. 基于 DSP 的无刷直流电机控制系统研究[D]. 武

汉:武汉理工大学,2010.

[4] 汪小锋. 基于 PWM 的直流无刷电机控制系统[D]. 南京:南京理工大学,2008.

[5] 朱喜娜,陆 达,范汉清. 基于 BP 算法 PID 控制器研究[J]. 计算机技术与发展,2010,20(5):183-186.

[6] 裴忠才,尹 丽,王占林. 基于神经网络的仿真转台控制系统[J]. 北京航空航天大学学报,2005,31(9):1045-1048.

[7] 刘金琨. 先进 PID 控制 MATLAB 仿真[M]. 北京:电子工业出版社,2005.

[8] 彭 奎,廖碧莲,宋绍剑. 基于 BP 神经网络的汽包建模及其控制器设计[J]. 计算机技术与发展,2011,21(6):122-124.

[9] Taek C M, Henryk F. Neural-network-based spacecraft attitude control[C]//AIAA Guidance, Navigation and Control Conference and Exhibit. [s. l.]:[s. n.],2002.

[10] 刘 军,孙发白,白华煜. 基于模糊神经网络自适应控制研究[J]. 科学技术与工程,2005,5(1):55-58.

[11] 任子武. 基于神经网络的参数自整定 PID 控制算法研究[D]. 哈尔滨:哈尔滨理工大学,2004.

[12] Kulkarni N V, Phan M Q. A Neural Network Based Design of Optimal Controllers for Nonlinear Systems[C]//AIAA Guidance, Navigation and Control Conference and Exhibit. [s. l.]:[s. n.],2002.

应用于北斗卫星通信系统的低噪声放大器设计

作者: [杨阳, 张瑛](#)
作者单位: [南京邮电大学 电子科学与工程学院, 江苏 南京 210003](#)
刊名: [计算机技术与发展](#)
英文刊名: [Computer Technology and Development](#)
年, 卷(期): 2012(9)

本文链接: http://d.g.wanfangdata.com.cn/Periodical_wjtz201209056.aspx