

# 基于FPGA和线阵CCD的高速图像采集系统

辛凤艳<sup>1</sup>, 孙晓晔<sup>2</sup>

(1. 河北省科学院应用数学研究所, 河北石家庄 050081;

2. 石家庄开发区冀科双实科技有限公司, 河北石家庄 050081)

**摘 要:**针对很多领域对被测物图像采集的高速和实时性要求,文中利用可编程的FPGA和线阵CCD技术,介绍了一种高速图像数据采集与传输系统的设计。该系统选用线阵CCD作为前端信号采集,采用FPGA产生与控制整个系统的时序,通过USB接口将采集到的数据传给PC机做进一步处理。本系统可在色选机中用于运动目标图像数据的采集,由于采用了高速且具有高度并行性的FPGA技术,在图像数据的高速实时采集和处理上较其他系统具有很大优势,且设计灵活,配合线阵CCD的运用,可有效提高精度、降低成本,对图像采集在其他方面的应用具有参考价值。

**关键词:**FPGA;线阵CCD;数据采集;USB

**中图分类号:**TP39

**文献标识码:**A

**文章编号:**1673-629X(2012)08-0205-03

## High Speed Image Acquisition System Based on FPGA and Linear CCD

XIN Feng-yan<sup>1</sup>, SUN Xiao-ye<sup>2</sup>

(1. Applied Mathematics Institute, Hebei Academy of Sciences, Shijiazhuang 050081, China;

2. Shijiazhuang Development Zone Jikeshuangshi Science and Tech. Co., Ltd, Shijiazhuang 050081, China)

**Abstract:** In order to meet high-speed and real-time requirements of image acquisition in many areas, introduce a high speed image acquisition system based on FPGA and linear CCD. In the system, linear CCD is used to acquire images, and FPGA controls the timing of the whole system, and data is transferred to computer through USB interface. The system can acquire images of moving objects in color sorter application and has great advantages in terms of speed and real time compared with other image acquisition systems. The use of linear CCD can effectively improve the accuracy and reduce costs. The system has some reference value for the application of image acquisition system in other areas.

**Key words:** FPGA; linear CCD; data acquisition; USB

## 0 引言

CCD(Charge Coupled Device)作为一种光电转换图像传感器,可以把图像信息直接转换成电信号,从而实现非电量的电测。CCD体积小、重量轻、噪声低、自扫描、工作速度快、测量精度高,在精密测量、非接触无损检测、文件扫描与航空遥感等领域应用广泛<sup>[1]</sup>。文中将CCD技术和FPGA技术相结合,设计了一种高速图像数据采集系统,在色选机功能改进项目中用于图像的高速实时采集和处理。

## 1 系统简介

基于FPGA和线阵CCD的高速图像采集系统,在

FPGA的控制下,利用线阵CCD将被测对象的光学图像信号转换成电信号,再经A/D数字化后缓存于FPGA内部的存储器中,最后经USB接口电路把所有数据送入计算机中,进行相应的处理。

## 2 系统组成

基于FPGA和线阵CCD的高速图像采集系统硬件平台主要包括线阵CCD、CCD信号处理电路、FPGA、USB接口电路等几个部分,如图1所示。

其中,线阵CCD接收光信号,在来自FPGA的驱动脉冲的控制下进行自扫描,将光信号转换成便于处理的电信号。线阵CCD输出信号处理电路采用CCD信号处理专用芯片。由于CCD输出信号包含有效的交流信号、直流分量和各种噪声,不便于系统传输、存储和处理,因此还需要对信号进行预处理抑制噪声<sup>[2,3]</sup>。CCD信号处理专用芯片通过暗电平校正、相

收稿日期:2011-12-23;修回日期:2012-03-26

基金项目:河北省科学院重大攻关项目(11619)

作者简介:辛凤艳(1975-),女,河北衡水人,助理研究员,研究方向为嵌入式系统的设计。

关双采样等技术消除噪声,其内部集成的 A/D 转换电路在 FPGA 产生的采样时钟的控制下将 CCD 输出的模拟信号转换成相应的数字信号,该数字信号又被传给 FPGA。在本系统中,作为整个系统控制核心的 FPGA,负责为 CCD 提供合适的驱动脉冲时序、控制 CCD 输出信号的 A/D 转换工作,利用其内部的 FIFO (First In First Out) 对采集的数据进行缓存,并将数据发送给 USB 控制器。USB 接口电路是把图像数据传入 PC 机的传输通道。

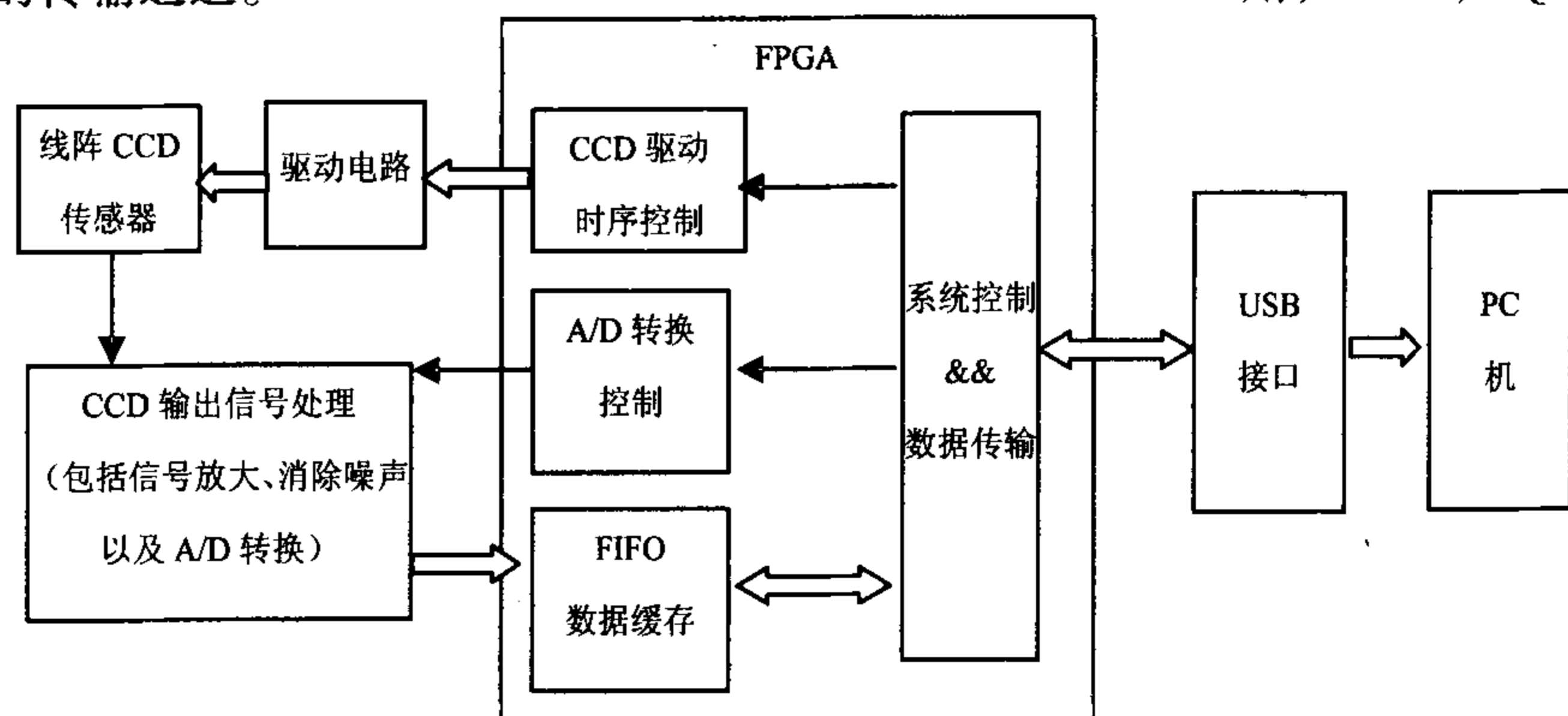


图 1 系统硬件结构图

## 2.1 线阵 CCD

选用的 CCD 为 TCD1209D, 是日本 TOSHIBA 公司生产的一款高速、低暗电流的线阵 CCD, 可用于传真、扫描和光学字符识别, 是一种 DIP22 封装形式的双列直插型器件。

TCD1209D 内部含 2088 个高灵敏度 PN 结光电二极管构成的光敏元阵列, 光敏阵列总长 28.6mm。该 CCD 有效像素为 2048 个, 这是因为光敏阵列中只有 2048 个光电二极管是可曝光光敏单元, 阵列前 32 个和后 8 个用作暗电流检测而被遮蔽了。TCD1209D 最佳工作频率 1MHz, 最高驱动频率可达 20MHz<sup>[4]</sup>。它主要由三个模块组成: 表面光电转换单元、移位寄存器和输出缓存。

表面光电转换单元即像元接收照射到 CCD 硅片的光, 并将之转换成电荷信号, 电荷量的大小依赖于光强和积分时间的大小且呈线性变化; 像元的光电信号电荷包在给定的驱动信号作用下, 经由转移栅, 最后从移位寄存器输出; 而输出缓存用于将电荷信号转换成电压信号, 并将其放大, 最后完成输出。

## 2.2 CCD 信号处理电路

CCD 信号处理电路中的专用芯片采用 PHILIPS 公司的 TDA9965, 该芯片具有功能强大、性能优越、价格便宜等特点。TDA9965 的工作电压为 5V, 输入信号的动态范围为 2V, 数字输出兼容 TTL 和 CMOS 电平标准。TDA9965 内部集成了带宽可调的钳位和跟踪保持电路、12Bit-30Msps 的 ADC、可编程增益放大器、参考电源模块及用于控制编码输入的三线串行接口等<sup>[5]</sup>。

采用专用芯片 TDA9965, 可以使得 CCD 输出信号处理电路大大简化, 降低了工作量。

## 2.3 FPGA

FPGA 采用 Cyclone III 系列中的 EP3C25E144C8, 它具有 24,624LEs, 66 个 M9K RAM blocks, RAM 总容量达 0.6Mbits, 适用于视频帧缓冲; 还具有经过预先优化的视频和图像 IP 核, 可大大提高图像处理的效能。EP3C25E144C8 有 4 个 PLLs, 144 引脚, 其中 82 个用户 I/O, EQFP 四方扁平封装<sup>[6]</sup>。利用 EP3C25

E144C8 进行设计, 可以解决面临的技术挑战——提高集成度和性能, 降低功耗, 产品及时面市, 同时满足低成本要求。

## 2.4 USB

USB 芯片选用的是 Cypress 公司生产的 EZ-USB FX2 芯片 CY7C68013。该芯片符合 USB2.0 协议标准, 将 480Mb/s 的收发器、SIE、最高可运行在 48MHz 频率的增强型 8051 内核和可编程外设接口集成在一个芯片上, 为产品的及时面市提供了一种低成本的解决方案。GPIF 通用可编程接口和 4KB 大小可调的高速缓冲端点 FIFO 便于与当前流行的诸如 ATA、UTOPIA、EPP、PCMCIA 等各种接口以及 DSP 或处理器相连<sup>[7]</sup>。EZ-USB FX2 有 3 种接口模式: 端口模式、GPIF 控制器模式和 Slave FIFO 模式<sup>[8,9]</sup>。本系统中采用 Slave FIFO 模式与 FPGA 进行通信。

## 2.5 电源电路

本系统中混合了多种工作电压, 其中 CCD 工作需要 12V 电压; CCD 信号处理专用芯片 TDA9965 需要 5V 电压; FPGA EP3C25E144C8 工作需要 1.2V、2.5V 和 3.3V 三种电压; USB 芯片 CY7C68013 工作也需要 3.3V 电压。在电源电路的设计中, 采用外部直流稳压源为系统提供 12V 和 5V 电压, 比较低的 1.2V、2.5V 和 3.3V 电压分别采用三个线性低压差稳压器 LT3021 (3.3V 转 1.2V)、TPS70302 (5V 转 2.5V) 和 LT1764 (5V 转 3.3V) 转换得到。

# 3 系统设计

## 3.1 FPGA 内部逻辑设计

FPGA 是整个系统的控制核心, 需要实现的功能包括: 产生 CCD 驱动时序驱动线阵 CCD TCD1209D、控制 A/D 转换、利用 FIFO 完成数据缓冲和 USB 控制器的接口设计<sup>[10]</sup>。本设计在 Altera 公司的 Quartus II 开发环境中, 采用原理图和硬件描述语言相结合的方式来实现这些功能, 硬件描述语言采用 Verilog HDL。

### 3.1.1 CCD 驱动时序设计

CCD 只有在满足要求的合适时序驱动下,才能达到最佳工作状态,输出稳定可靠的信号。因此,CCD 时序驱动模块的良好设计是成功采集图像数据的前提。CCD 时序驱动器模块需要完成两个功能:

- (1)产生 CCD 芯片工作的时序信号;
- (2)产生信号处理的时序信号。

TCD1209D 要想正常工作,需要 5 路驱动信号,分别是:时钟脉冲  $\Phi 1$ 、 $\Phi 2$ ,转移脉冲 SH、输出复位脉冲 RS 和钳位脉冲 CP<sup>[11,12]</sup>。根据 TCD1209D 的时序要求,当转移脉冲 SH 是高电平的时候,驱动脉冲  $\Phi 1$  必须也是高电平,而且还得保证转移脉冲 SH 的下降沿落在驱动脉冲  $\Phi 1$  的高电平上,也就是说  $\Phi 1$  脉冲必须在 SH 脉冲上升之前上升,在 SH 脉冲下降之后下降,而且至少得延时 200ns。时钟脉冲  $\Phi 1$  先上升意味着模拟移位寄存器中接受电荷包的势阱先形成,这样有利于电荷的转移;而  $\Phi 1$  脉冲比 SH 脉冲后下降,是为了隔离存储栅和模拟移位寄存器,从而避免  $\Phi 1$  电极下的电荷倒回到原势阱中去。

由于本系统选用的晶振为 80MHz,而 TCD1209D 的最高工作频率为 20MHz,需要对 80MHz 的工作时钟进行 4 等分分频。CCD 时序驱动器设计,主要包含 4 个功能模块,分别是 phi 模块、sh 模块、phish\_c1c2 模块和 rs\_cp 模块,每个模块内部用 Verilog HDL 编写,可以降低设计的复杂性。

①phi 模块,为 CCD 的时钟脉冲  $\Phi 1$  和  $\Phi 2$  的生成提供初始信号。此模块通过对 80MHz 的晶振进行 4 分频,得到 20MHz 的工作频率。

②sh 模块,用来产生转移脉冲 SH 信号。

③phish\_c1c2 模块,该模块用来对 phi 模块输出的“非”进行计数,维持 2087 个 phi 周期的低电平后,产生高电平并维持 3 个 phi 周期的时间。通过将该模块与 phi 的“非”进行“或”运算以后,就可以得到最终的  $\Phi 1$  和  $\Phi 2$ 。

④rs\_cp 模块,用来产生复位脉冲 RS 和钳位脉冲 CP。

从 FPGA 输出的信号是 3.3V 的,而 TCD1209D 使用的驱动信号为 5V,因此 FPGA 的输出信号不能直接加到 CCD 芯片 TCD1209D 上。要解决这一问题,需要附加外围电路来提高信号的驱动能力。本系统利用反相驱动器驱动原理来产生 CCD 的驱动时序,不仅能够使信号满足 CCD 的需求,解决驱动力不足的问题,而且电路设计非常简单,又能提高可靠性并降低功耗。但是由于反相驱动器对信号作了反相,所以在实际使用时 CCD 各时序信号输出也需要分别取反,从而保证信号输出的一致性。

### 3.1.2 FIFO 数据缓冲模块设计

CCD 信号处理专用芯片 TDA9965 内部集成的 ADC 的分辨率是 12bit 的,为了和 USB 控制器的 16 位数据相匹配,在 ADC 转换数据的最高位前补四个零,从而变成 16 位数据。对于多路数据采集,可以通过高 4 位的不同设置对各路数据进行区分。为了节省带宽,减少数据量,每一帧数据只将其中 2048 个有效像素的数据送到缓存,并插入一个 16 位的帧编号 16'hFFFF 在第一个有效数据前,将该编号作为一帧的起始标志。当数据被读取到计算机中后,通过寻找帧头数据 16'hFFFF 来判断一帧数据从哪开始,还可以通过数据与帧头的偏移量来确定这个数据所对应的是第几个像素。这样以来,就方便了对读出的数据进行分析。

在 FPGA 处理图像数据的过程中,采用 FIFO 来缓存图像数据。FIFO 是一种特殊功能的存储器,其特点是先进先出。由于应用场合的特殊性,要求数据实时进行传输和处理,所以 FIFO 的每一块 RAM 都是工作在刷新——读取——刷新这样的循环中,在牺牲一定物理 RAM 的基础上,可以获得更好的实时性能。文中采用 Verilog HDL 自己设计 FIFO,完成数据的缓存。

### 3.1.3 USB 接口的设计

USB 控制器工作模式采用的是 Slave FIFO 同步模式。USB 接口设计在文中是指 USB 控制器和 FPGA 之间的接口逻辑设计。本系统中的数据传输主要是 FPGA 通过 USB 接口将采集到的数据传给 PC 机,即 FPGA 需要向 USB 接口写数据,用 Slave FIFO 同步写来实现。

FPGA 程序中使用状态机来实现 Slave FIFO 同步写时序。下面是各个状态及其转换:

IDLE 状态:当 FPGA 的 FIFO 中存储的数据达到一定程度时,写事件被触发,跳转到 STATE1 状态;

STATE1 状态:传输指向 IN 端口(本系统是把 EP6 配置为 IN 端口),激活 FIFOADR[1:0],转向 STATE2 状态;

STATE2 状态:判断 FIFO 是否已满,如果 FIFO 未滿,转向下一状态 STATE3,否则停留在本状态;

STATE3 状态:传输数据,激活 SLWR,转向 STATE4 状态;

STATE4 状态:检查是否还有待写数据,如果没有,则转向 STATE2 状态,开始下一数据的传输,否则转向 IDLE 状态。

## 3.2 USB 固件设计

对于 USB 芯片中的固件程序,本系统利用 Cypress (下转第 212 页)

## 4 结束语

文中提出了一种基于四网融合的新型智能小区的建设内容,包括通信网、智能家居、智能社区、智能电网,其中对于智能电网建设,给出了具体建设模块和作用,对于智能小区的通信方案建设,在三网融合的基础上,加入 PLC(电力网络路由器),则简单实现了电力线接入网的转换,同时不影响其他三网融合的结构。同时,提出了使用限幅和平衡器技术的 PLC 系统模型,通过仿真确认了限幅和平衡器技术对信道性能的提高。

### 参考文献:

- [1] 李苑,张剑,曾剑秋. 三网融合现状及发展策略[J]. 中国通信,2010(3):158-162.
- [2] 贾丹华,戴啸涛. 电信企业携手国家电网迈向“四网融合”[J]. 通信企业管理,2011(5):34-35.
- [3] 陈嵩峰,宋明玉. 基于“三网融合”的智能小区建设[J]. 现代建筑电气,2011(6):16-18.
- [4] 闵丽娟,卢捍华,陈玲,等. 智能家居的系统结构及相关无线通信技术研究[J]. 计算机技术与发展,2011,21(8):169-172.
- [5] 黄理俊. 四网融合对我国广电媒体的影响[J]. 广播电视信息,2009(7):33-36.
- [6] 张宜. 基于智能小区建设的三网融合综合信息网络[J].

(上接第 207 页)

公司提供的固件程序框架和实例,在 KeilVision2 环境中,用 C 语言实现。简而言之,只需对描述符表范例文件 DSCR.A51 更改其中部分描述符的值得到需要的 USB 描述符表,然后在初始化函数 TD\_Init() 中对接口芯片内部 8051 CPU 的工作频率、芯片工作模式、端点、传输方式、数据包大小等进行设置,其余工作交由固件程序框架去完成即可<sup>[13]</sup>。采用这种方式进行 USB 固件设计非常简单,可以大大降低工作量。

## 4 结束语

文中介绍的基于 FPGA 和线阵 CCD 的图像采集系统,可在色选机中用于图像数据的采集。与传统色选机图像采集系统的设计技术和方案比较,系统不但具有并行处理程度高、集成度高、硬件电路简单等特点,而且具有筛选速度快、数据传输快的优点,对高性能工业色选机系统的开发,具有较好的应用价值。

### 参考文献:

- [1] 张旭. 高速线阵 CCD 数据采集、传输与处理技术的研究[D]. 长春:长春理工大学,2008.
- [2] 尹亮. CCD 智能相机图像采集硬件平台的研究[D]. 哈尔滨:哈尔滨工程大学,2008.

通信世界,2003(16):46-47.

- [7] Dostert K. 电力线通信[M]. 栗宁,郑福生译. 北京:中国电力出版社,2002.
- [8] Ferreira H C, Grove H M, Hooijen O, et al. Power line communications: an overview[C]//Proc. of 4th IEEE AFRICON. [s.l.]:[s.n.], 1996:558-563.
- [9] Philipps H. Performance measurements of powerline channels at high frequencies[C]//Proc. of IEEE Int. Symp. on Power Line Commun. and Its Applicat.. [s.l.]:[s.n.], 1998:229-237.
- [10] Meng H. Modeling of transfer characteristics for the broadband power line communication channel[J]. IEEE Trans. on Power Del., 2004, 19(3):1057-1064.
- [11] Anatory J, Kissaka M M, Mvungi N H. Channel model for broadband powerline communication[J]. IEEE Trans. on Power Del., 2007, 22(1):135-141.
- [12] Zimmermann M, Dostert K. A multipath model for the powerline channel[J]. IEEE Trans. on Commun., 2002, 50(4):553-559.
- [13] Katayama M. A mathematical model of noise in narrowband powerline communication system[J]. IEEE J. Sel. Areas Commun., 2006, 24(7):1267-1276.
- [14] Zhidkov S. Analysis and comparison of several simple impulsive noise mitigation schemes for OFDM receivers[J]. IEEE Trans. on Commun., 2008, 56(1):5-9.

- [3] 梁冰. 高速线阵 CCD 图像采集系统的设计[D]. 合肥:合肥工业大学,2010.
- [4] TCD1209D datasheet[M]. [s.l.]:TOSHIBA, 1999.
- [5] TDA9965 datasheet[M]. [s.l.]:PHILIPS, 2004.
- [6] Cyclone III Device Handbook[M]. [s.l.]:Altera Corporation, 2010.
- [7] Cy7c68013 datasheet[M]. [s.l.]:Cypress Semiconductor Corporation, 2005.
- [8] 蔡国强,黄兴利,慕德俊. USB 总线测量平台数据采集系统设计与实现[J]. 计算机技术与发展,2011, 21(6):161-164.
- [9] EZ-USB FX2 Technical Reference Manual[M]. [s.l.]:Cypress Semiconductor Corporation, 2005.
- [10] McBader S, Lee P. An FPGA implementation of a flexible, parallel image processing architecture suitable for embedded vision systems[C]//Parallel and Distributed Processing Symposium. [s.l.]:[s.n.], 2003.
- [11] 袁金凤,陈文艺,李凯. 基于 FPGA 的线阵 CCD 驱动时序电路的设计[J]. 现代电子技术,2009, 32(3):160-162.
- [12] 喻川,邹建. 基于 CPLD 的可调积分时间线阵 CCD 驱动的设计[J]. 四川兵工学报,2008, 29(3):94-96.
- [13] 王静红,刘教民,于富强,等. 采用 CY7C68013 芯片的系统固件程序设计[J]. 河北师范大学学报,2008, 32(2):169-173.

基于 NiosII 的音频信号分析仪设计

作者:

作者单位:

刊名:

英文刊名:

年, 卷(期):

孙科学, 张琰, 刘艳, 唐珂

南京邮电大学电子科学与工程学院, 江苏南京210046

计算机技术与发展

Computer Technology and Development

2012 (8)

参考文献(13条)

1. 张旭 高速线阵CCD数据采集、传输与处理技术的研究[学位论文] 2008
2. 尹亮 CCD智能相机图像采集硬件平台的研究[学位论文] 2008
3. 梁冰 高速线阵CCD图像采集系统的设计[学位论文] 2010
4. TCD1209D datasheet 1999
5. TD9965 datasheet 2004
6. Cyclone III Device Handbook 2010
7. Cy7c68013 datasheet 2005
8. 蔡国强;黄兴利;慕德俊 USB总线测量平台数据采集系统设计与实现[期刊论文]•计算机技术与发展 2011(06)
9. EZ-USB FX2 Technical Reference Manual 2005
10. McBader S;Lee P An FPGA implementation of a flexible,parallel image processing architerture suitable for embedded vision systems 2003
11. 袁金凤;陈文艺;李凯 基于FPGA的线阵CCD驱动时序电路的设计[期刊论文]•现代电子技术 2009(03)
12. 喻川;邹建 基于CPLD的可调积分时间线阵CCD驱动的设计[期刊论文]•四川兵工学报 2008(03)
13. 王静红;刘教民;于富强 采用CY7C68013芯片的系统固件程序设计[期刊论文]•河北师范大学学报 2008(02)

本文链接: [http://d.g.wanfangdata.com.cn/Periodical\\_wjfx201208053.aspx](http://d.g.wanfangdata.com.cn/Periodical_wjfx201208053.aspx)