

基于 NiosII 的音频信号分析仪设计

孙科学,张 瑛,刘 艳,唐 珂

(南京邮电大学 电子科学与工程学院,江苏 南京 210046)

摘 要:文中研究了一种基于傅立叶变换和 Nios 软核控制器的硬件音频信号分析方法,并构成一种音频信号分析仪。该仪器通过 Avalon-ST 总线有效的把 FFT IP 核与 Nios 软核处理器有机的结合起来,在 FPGA 芯片上配置 NiosII 软核处理器和相关的接口模块来实现嵌入式系统的主要硬件结构,该结构使得软件和硬件集成到一片可编程逻辑器件平台上,使设计同时获得软件的灵活性以及硬件的高性能优势。设计中,在 Altera EP2C35 系列 FPGA 芯片中嵌入 NiosII 软核处理器,使之集成在一片 FPGA 上,开发效率高、灵活性强,能较好地满足的市场需求。

关键词:音频分析仪;快速傅里叶变换;片上可编程系统

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2012)08-0196-04

Design for Audio Signal Analyzer Based on NiosII

SUN Ke-xue, ZHANG Ying, LIU Yan, TANG Ke

(College of Electronics Sci. and Eng., Nanjing Univ. of Posts and Telecomm., Nanjing 210046, China)

Abstract: A technique for realizing audio signal analyzer based on the NiosII that utilizes NiosII soft-core processor to achieve the real-time measurement and analysis is presented. The FFT IP core and NiosII soft-core processors are combined effectively through the Avalon-ST bus in the instrument. By configuring NiosII soft-core and interface module on the FPGA chip the main hardware structure of the embedded system is constructed. Software and hardware are integrated into a single programmable logic device platform, therefore the instrument has advantages in flexibility and high-performance both. In the design, Altera EP2C35 series FPGA chip is chosen and embedded with the NiosII soft-core processor. The instrument is able to better meet market demand with its efficiency and flexibility.

Key words: audio analyzer; FFT; SOPC

0 引言

音频信号分析是语音通信、语音合成与识别等技术的基础与前提。音频分析是通过测量各类音频参数来评价音频系统的性能的方法,而音频分析仪就是一套辅助人们方便进行音频信号处理的系统^[1,2]。常用的频率分析方法有扫频法、数字滤波法以及 FFT 法^[3],扫频法获得测量结果需要花费较长的时间,适用于测量稳态信号的频率和幅度;数字滤波法由于受到器件资源的限制,无法设置足够多的数字滤波器,从而无法实现高频率分辨力以及高扫频宽度;FFT 方法是通过傅立叶变换将被测信号分解为各个频率分量的和,可以达到与传统频谱分析仪的效果^[4,5],但实现的复杂度要简单的多。

文中研究了一种基于傅立叶变换和 Nios 软核控

制器的硬件音频信号分析方法,系统通过 Avalon-ST 总线有效的把 FFT IP 核与 Nios 软核处理器有机的结合起来,在 FPGA 芯片上配置 NiosII 软核处理器和相关的接口模块来实现嵌入式系统的主要硬件结构,该结构使得软件和硬件集成到一片可编程逻辑器件平台上,使设计同时获得软件的灵活性以及硬件的高性能优势。在设计中,使用 Altera EP2C35 系列 FPGA 芯片中嵌入 Nios II 软核处理器,使之集成在一片 FPGA 上,开发效率高、灵活性强,大大提高了系统的处理速度与效率,实现了控制灵活、高速实时的音频信号分析仪,较好的满足了市场的需求。

1 音频信号分析仪系统组成

音频信号分析仪采用全硬件的以 FPGA 架构为核心器件来实现。信号经过 50 欧姆阻抗匹配,信号幅度调整和抗混叠滤波器后,经过 AD 转换器后将信号送给 FPGA 芯片。在 FPGA 内部,以 NiosII 为控制核心,FFT IP Core 作为音频信号分析仪分析的核心,通过 Avalon-ST 总线有效的把 FFT IP 核与 Nios 软核处理器有机的结合起来,在 FPGA 芯片上配置 NiosII 软核处

收稿日期:2011-11-30;修回日期:2012-03-02

基金项目:南京邮电大学青蓝计划项目(NY210036);教改重点项目(JG03310JX02,JG003311JX26)

作者简介:孙科学(1981-),男,硕士,讲师,主要研究方向为嵌入式技术与通信信号处理。

理器和相关的接口模块来实现嵌入式系统的主要硬件结构,同时加入了 A/D 转换模块、FFT 控制器模块、LCD 显示及按键控制模块等其它一些用户自定义的 IP 核,实现了系统的高度集成。系统构成如图 1 所示。

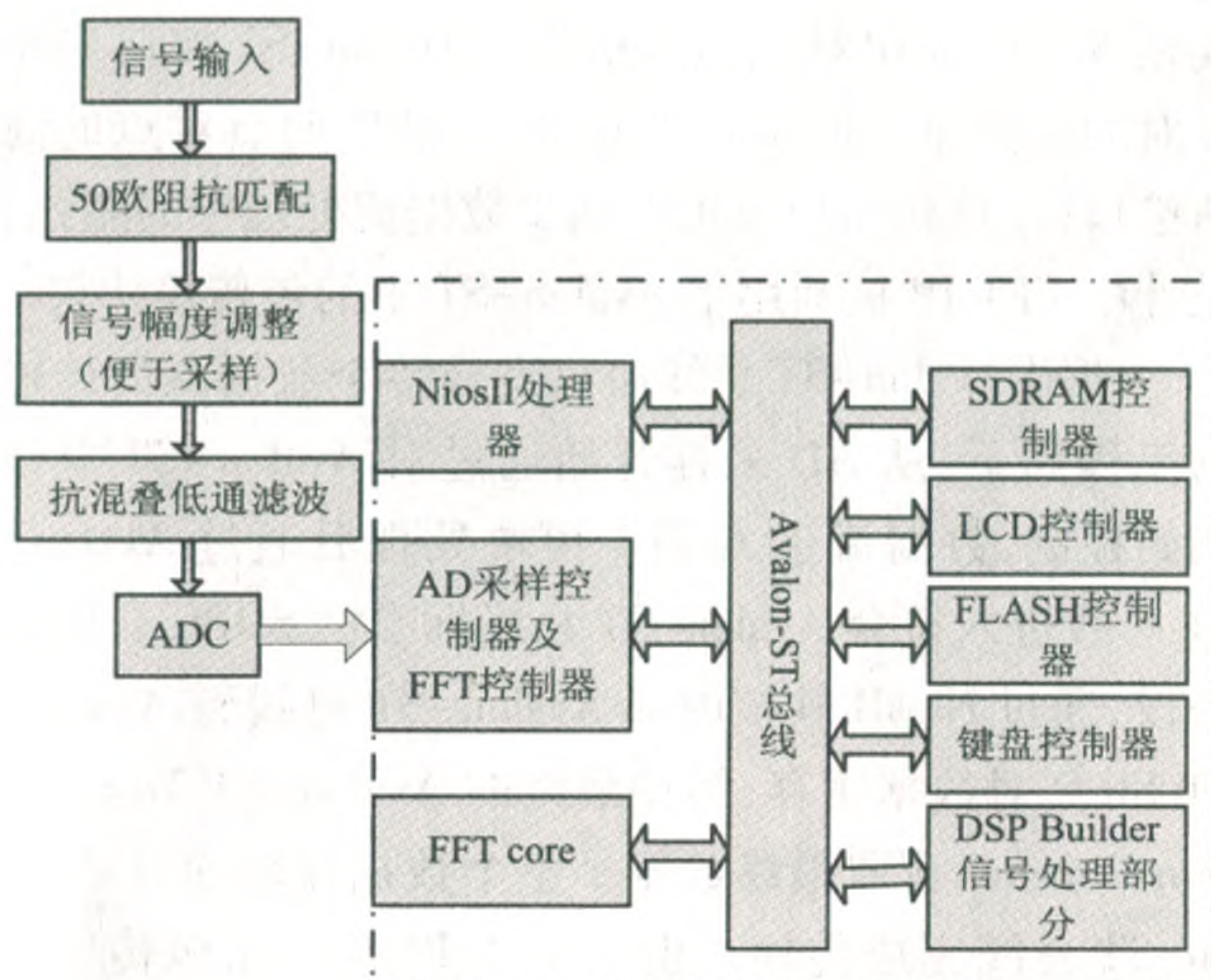


图1 系统总体框架图

2 理论分析与参数计算

2.1 功率谱测量

FFT 运算子程序运行结果是各次谐波的实部与虚部,即 $\text{Re}(i)$ 和 $\text{Im}(i)$, 设 A_m 为各次谐波的幅值, 则 u 和各次谐波的关系:

$$A_m = \sqrt{\text{Re}(i)^2 + \text{Im}(i)^2} \quad (1)$$

各次谐波的有效值为:

$$U = A_m / \sqrt{2} \quad (2)$$

已知输入阻抗 50 欧, 则各个谐波的功率 P 为:

$$P = U^2 / R \quad (3)$$

(1) 式中: $\text{Re}(i)$ 为各次谐波实部, $\text{Im}(i)$ 为各次谐波虚部;

(2) 式中: U 为各次谐波有效值;

(3) 式中: P 为各次谐波功率, U 为各次谐波有效值, R 为输入阻抗。

2.2 失真度计算

失真度为所有谐波能量之和与基波能量之比的平方根, 即

$$K = \sqrt{(P_1 + P_2 + \dots + P_N) / P_0} \\ = \sqrt{U_1^2 + U_2^2 + \dots + U_N^2} / U_0 \quad (4)$$

(4) 式中 K 为失真度, P_n 表示各次谐波功率, U_n 为各次谐波有效值。

2.3 周期性判断的方法

利用周期信号所具有的自相关特性来判断周期性。假设采样所得的时间序列想 $x(i) = x(i * T_s)$, $i =$

$1, 2, \dots, N$, 其中 T_s 为采样周期, 利用一长为 n 的滑窗来计算该采样序列的结构函数 $F(n)$, 即

$$F(n) = \frac{1}{M} \sum_{i=1}^M [x(i)x(i-n)] \quad (5)$$

(5) 式中, $1 \leq n \leq n_{\max}$, $M = N - n$, 一般取 $n_{\max} \approx N/5$, 以保证上式中即使在 $n = n_{\max}$ 时, 也有较多的数据差值求平均。 $F(n)$ 可以用来表征时间间隔为 nT_s 的两个时间点处信号的相似性。

假设时间序列是周期性的, 其周期 $T = n_p \cdot T_s$ 。当 $n = n_p$ 或 n_p 的整数倍时, $F(n) = 0$; 即使信号被噪声污染, $F(n) \neq 0$, 但在一定的信噪比范围内, 在 $n = n_p$ 处, $F(n)$ 仍然会取得最小值, 从而可识别信号的周期性并测量其周期。

3 系统各模块电路的设计

3.1 前级信号调整模块

信号输入后通过 FPGA 进行控制, 使输入信号放大或衰减到能够采样的幅值范围内^[6]。运放 OPA627 的噪声极低, 压摆率为 $55\text{V}/\mu\text{s}$, 带宽为 16MHz ; 运放 OPA637 的压摆率为 $80\text{V}/\mu\text{s}$, 带宽为 135MHz 满足设计要求。

3.2 抗混叠滤波模块

此模块采用程控开关电容滤波芯片 MAX270, MAX270 是数字可编程二阶连续低通滤波器, 它的外围电路简单、性能高。

抗混叠滤波电路如图 2 所示。

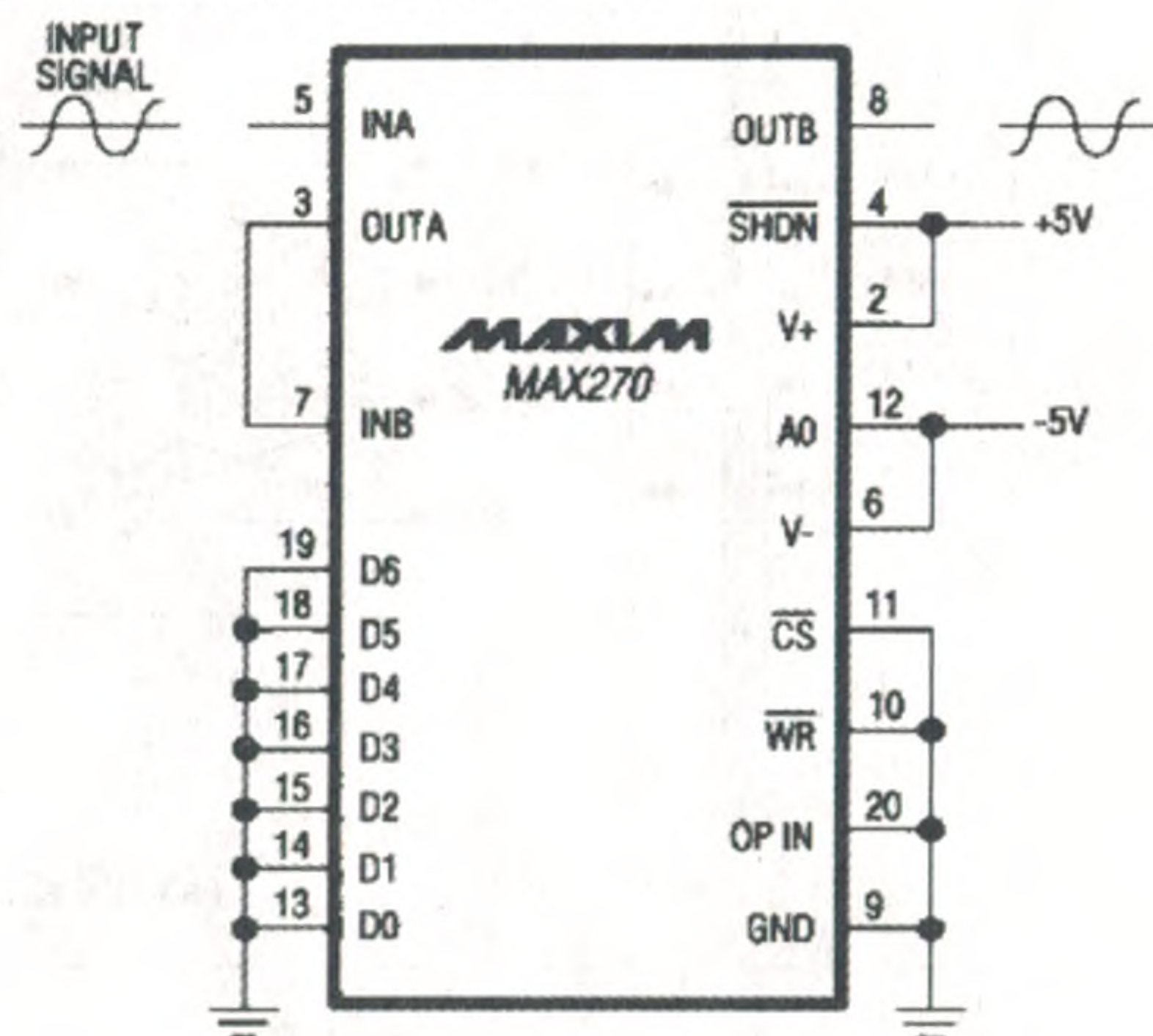


图2 抗混叠滤波电路图

3.3 FFT IP 核

FFT 的 IP 核通过定制参数可以使用四输出或单输出引擎结构, 可以通过使用多个并行引擎来提高 FFT IP 核函数的整体吞吐量。图 3 显示了两种 FFT 引擎结构图。

(1) FFT IPcore 四输出引擎结构。

四输出 FFT 引擎结构的四输出是指内部 FFT 蝶形处理器的吞吐量, 这种引擎结构可以实现在一个时

钟周期内计算所有四个基 4 蝶形的复数输出,该结构适用于需要最少转换时间的应用。四输出 FFT 引擎结构如图 3(a)所示。

四输出 FFT 引擎结构中,取样数据 $x[k, m]$ 从内部存储器并行读出后,经过变换开关(SW)重新排列顺序,排序后的数据由基 4 蝶形处理器计算得到复数数据输出 $G[k, m]$ 。基 4 按频率抽选(DIF)算法处理器输出仅需要完成 3 次乘旋转因子计算,即需要 3 个复数乘法器,输出数据通过四个输出通过块浮点单元(BFPU)并行估计辨别取样数据的最大动态范围。数据在写入内部存储器时,丢弃适当的最低位(LSB)后对复数值进行四舍五入并重新排列顺序。

(2) 单输出的 FFT 引擎结构。

单输出引擎适用于需要最小尺寸 FFT 函数应用中,在这种引擎结构中,每时钟周期计算一个单蝶形的输出,只需要一个复数乘法器。单输出引擎结构图如图 3(b)所示。

在 MegaWizard 中选择 FFT IP 核以进入设计界面,FFT 功能选项在 Parameters 栏中,包括器件类型,FFT 点数、位数、精度、引擎选项、使用存储单元等。注意 Verilog HDL 代码仅适合缓冲突发结构(Buffered Burst)与突发结构(Burst)。

生成的 FFT IP 中包括 inverse(傅立叶变换/反变换),Avalon-ST 总线与三个数据口(实部、虚部、指数

位)。FFT IP 核数据格式采用块浮点格式,以达到数据精度与硬件复杂度的平衡点。

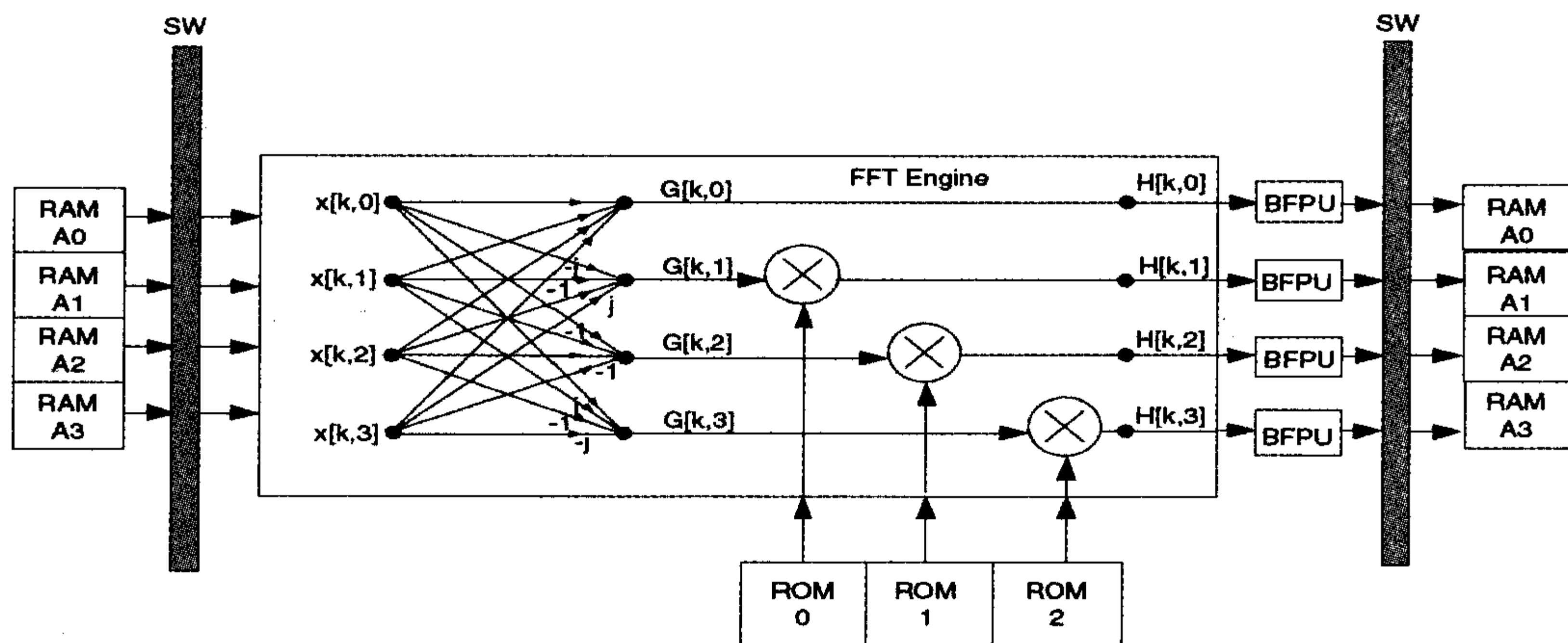
3.4 Avalon-ST 总线协议

Avalon 总线规定了 Avalon-MM(Memory Mapped)和 Avalon-ST(Streaming)两种接口协议^[7],Avalon 总线是 NiosII 与 IP 核交流的桥梁。Avalon-ST 接口主要针对的是高速数据流的传输,是一种单向点对点的高速接口,过该接口协议可以减少数据流处理中的瓶颈,设计中 FFT IP 核利用了 Avalon-ST 中的包传输协议。

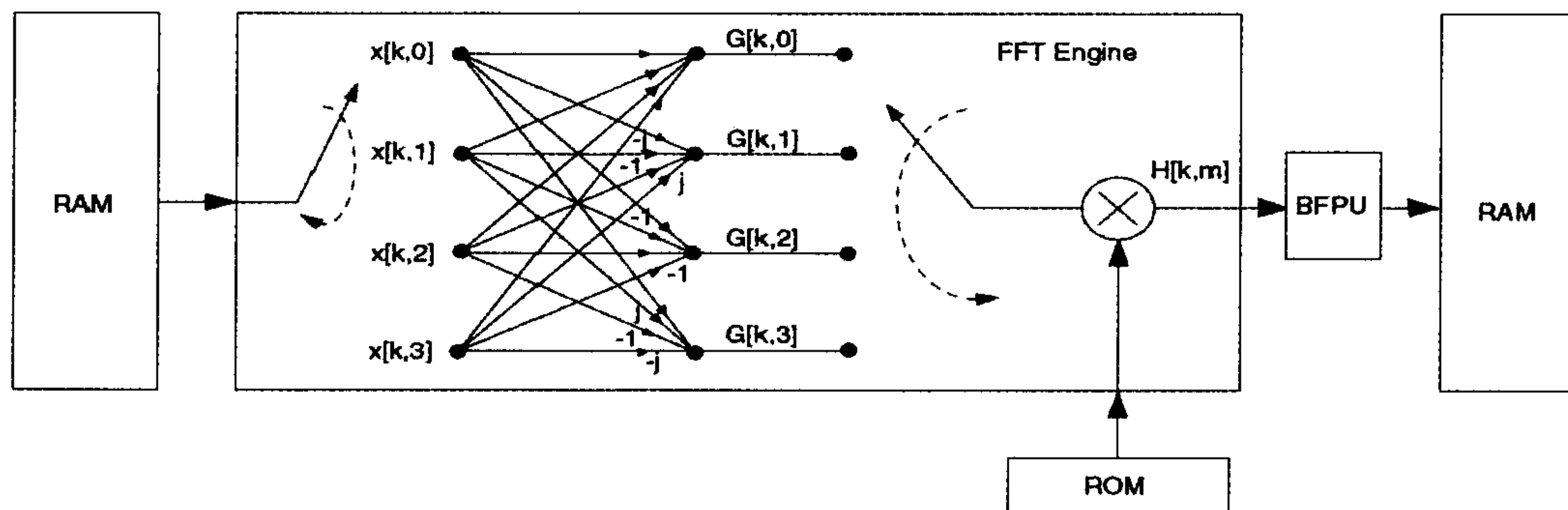
使用 Avalon-ST 总线协议完成整个数据流的传输的流程如下:从 AD 采样开始通过对 Avalon-ST 总线初始控制,数据流进入 FFT 模块处理后通过 Avalon-ST 总线进入符合 Avalon-ST 总线标准的 SOPC 自定义外设,通过 NiosII 软核内部 Avalon-ST 总线到 Avalon-ST FIFO 对数据缓存,等待最终的 Avalon-ST Test Pattern Checker 读取最终数据。整个数据流均通过 Avalon-ST 总线完成传输。由于 FFT IP 核使用包传输的方式,整个数据流在传输的过程均使用包传输。

3.5 DSP Builder 实现后级处理

DSP Builder 是 Altera 公司推出的一款面向 DSP 开发的系统工具箱,其内部包含多个适用于 DSP 开发的如算术库、复数信号库、总线控制库等,其中每个库都包含如乘累加模块、开方模块、加减模块等许多子模块。DSP Builder 是作为 Matlab 的一个 Simulink 工具



(a) 四输出 FFT 引擎结构图



(b) 单输出 FFT 引擎结构图

图 3 FFT 引擎结构图

箱出现的,使得用 FPGA 设计 DSP 系统完全可以通过 Simulink 的图形化界面进行图形化建模仿真,设计模型还可以转换成硬件描述语言,并可自动调用 Quartus 等软件完成系统综合。

考虑实际使用很多时候直接求得 FFT 最终幅值,就需要对实部和虚部进行平方相加再开方运算,如果这个操作在 Nios II 中做会大量占用系统的指令周期使整个系统速度下降^[8,9],在设计中采用 DSP Builder 设计 FFT 运算后的数据处理任务。

打开 DSP Builder 选择到 Simulink 中的 Altera DSP Builder Blockset 子库,其中包含了所有与 DSP Builder 相关的模型。第一步,选择其中的 IO,将模块的 input、output 端口建立。在 Arithmetic 中可以找到乘累加模块与开方模块。第二步,打开每个模块的选项将端口位数与 Quartus 中定义的位数保持一致,为了达到最快速的效果,将其中的流水线数(pipeline)选择为0,将这个模块为一个组合逻辑。第三步,点击 signal compiler,选择 Export,将 HDL 文件导出,加入整个系统中。DSP 模块使用倍频时钟 200MHz,这样 DSP 模块将一定在 FFT 模块下一个数据出来前完成计算。DSP Builder 实现后级处理电路图如图 4 所示。

3.6 Nios II 模块 SOPC 系统设计

Nios II IDE 是 SoPC 软件集成开发环境,提供编

辑、编译、链接、调试、下载等功能。设计程序应用 C 语言编写,软件开发在 Nios II IDE 平台上完成。

为了更好地将设计好的功能模块集成到 Nios 软核中,使用 SOPC Builder 完成 FPGA 部分的硬件设计,首先添加一个 PLL 模块,并设置一个 200MHz 系统时钟和一个 SDRAM 时钟,然后添加 Nios II 软核、SDRAM、flash,这样就完成系统的基本设置。通过添加新组件的方式加入 Avalon-ST 总线组件,在 HDL files 添加 Avalon-ST 总线的顶层模块。在 signal 选择每个端口的功能,如 Avalon_streaming_source 等。在 Peripherals/debug and performance 下添加 Avalon-ST Text Pattern checker 模块,以及 memories/on-chip 的 Avalon-ST Dual Clock FIFO^[10-12]。使用一个顶层文件预先模块化封装整个硬件电路,生成带 Avalon-ST 总线接口的顶层 Verilog HDL 文件。

4 结束语

本设计灵活的利用 Quartus II 开发平台、DSP Builder、Nios II IDE 外设定制的方式完成了音频信号分析仪的系统设计。实现了对音频信号的采集、频谱分析、数据显示,系统整体性能良好,通过增加 FFT 的分析点数 N 分辨率可达 5 Hz。该系统实用性好,开发流程简单,研发时间短,易于移植与更新。

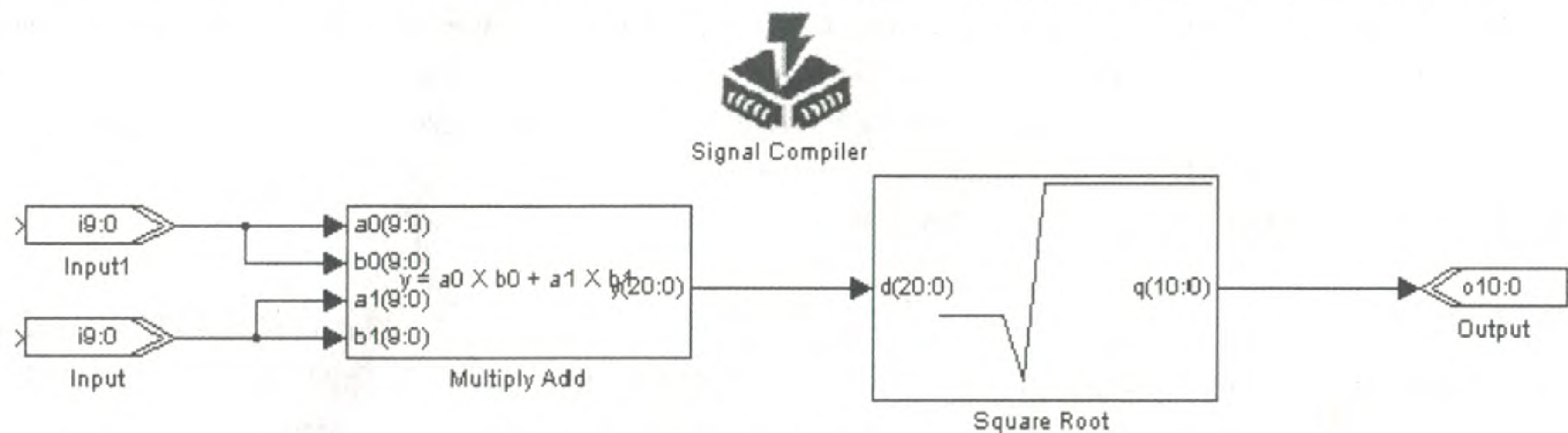


图 4 DSP Builder 实现后级处理电路图

参考文献:

- [1] 张家田,封川川,严正国. 基于 DSP 的音频信号分析仪设计[J]. 西安石油大学学报(自然科学版), 2009(1): 85-87.
- [2] 田文杰,李淑芬,艾 兰. 基于 SOPC 的音频信号失真度测量研究[J]. 微计算机信息, 2008(8): 29-31.
- [3] 张 裕,方康玲. 基于 FPGA 的通用 FFT 处理器的设计[J]. 计算机技术与发展, 2010, 20(8): 87-91.
- [4] 孙 伟,郭宝龙,陈 龙. 一种新的音频分析系统的实现方法[J]. 仪器仪表学报, 2009(11): 2249-2254.
- [5] 方 勇. 基于嵌入式的频谱分析仪的研究与设计[D]. 西安:西安电子科技大学, 2011.
- [6] 丁晓贵,刘桂江. 基于 SOPC 的远程数据采集系统设计[J]. 计算机技术与发展, 2010, 20(1): 229-231.

- [7] Altera Corporation. Avalon Memory-Mapped Interface Specification[EB/OL]. [2009]. <http://www.altera.com/literature>.
- [8] 曹晓琳,吴 平,丁铁夫. 基于 DSP 的语音处理系统设计[J]. 仪器仪表学报, 2005(8): 583-584.
- [9] 韦炯全,龚仁喜,孙 丹,等. 基于 CORDIC 算法的谐波实时谱分析仪的 FPGA 设计与实现[J]. 电测与仪表, 2011(7): 37-41.
- [10] Altera Corporation. Nios II Hardware Development Tutorial, Version 6.0[M]. [s. l.]: Altera, 2006.
- [11] Altera Corporation. Avalon Interface Specification[M]. [s. l.]: Altera, 2005.
- [12] Li Qi, Liu Yan, Liu Yanfei, et al. The Design and Implementation of Audio Analyzer Based on ARM[C]//Proceedings of the 2011 IEEE International Conference on Mechatronics and Automation. Beijing, China: [s. n.], 2011: 2238-2242.

基于 DO-254的航空集成电路设计保障研究

作者:	胡小婷, 田泽
作者单位:	中国航空计算技术研究所, 陕西西安710119
刊名:	计算机技术与发展
英文刊名:	Computer Technology and Development
年, 卷(期):	2012 (8)



参考文献(12条)

1. 张家田;封川川;严正国 基于DSP的音频信号分析仪设计[期刊论文]-西安石油大学学报(自然科学版) 2009(01)
2. 田文杰;李淑芬;艾兰 基于SOPC的音频信号失真度测量研究[期刊论文]-微计算机信息 2008(08)
3. 张裕;方康玲 基于FPGA的通用FFT处理器的设计[期刊论文]-计算机技术与发展 2010(08)
4. 孙伟;郭宝龙;陈龙 一种新的音频分析系统的实现方法[期刊论文]-仪器仪表学报 2009(11)
5. 方勇 基于嵌入式频谱分析仪的研究与设计 2011
6. 丁晓贵;刘桂江 基于SOPC的远程数据采集系统设计[期刊论文]-计算机技术与发展 2010(01)
7. Altera Corporation Avalon Memory-Mapped Interface Specification
8. 曹晓琳;吴平;丁铁夫 基于DSP的语音处理系统设计[期刊论文]-仪器仪表学报 2005(08)
9. 韦桐全;龚仁喜;孙丹 基于CORDIC算法的谐波实时谱分析仪的FPGA设计与实现[期刊论文]-电测与仪表 2011(07)
10. Altera Corporation Nios II Hardware Development Tutorial, Version 6.0 2006
11. Altera Corporation Avalon Interface Specification 2005
12. Li Qi;Liu Yan;Liu Yanfei The Design and Implementation of Audio Analyzer Based on ARM 2011

本文链接: http://d.g.wanfangdata.com.cn/Periodical_wjfx201208051.aspx